

# Микроконтроллеры семейства LPC2000 (ARM7TDMI-S) от Philips – ещё один шаг к идеальной платформе для встраиваемых приложений

(часть 6)

Павел Редькин (г. Ульяновск)

Автор продолжает знакомить с 16/32-разрядными встраиваемыми микроконтроллерами семейства LPC2000 фирмы Philips Semiconductors. В этой части статьи рассматривается работа таймеров и широтно-импульсного модулятора.

## ТАЙМЕРЫ TIMER0 и TIMER1

Таймеры TIMER0 и TIMER1 МК семейства LPC2000 функционально идентичны, за исключением их базовых периферийных адресов, и имеют следующие основные особенности:

- таймер может считать только циклы периферийной тактовой частоты (pclk);

- 32-разрядный таймер с программируемым 32-разрядным предвзвешенным делителем (предделителем);
- до четырёх 32-разрядных каналов захвата на один таймер. Каждый из каналов захвата может захватить (скопировать) текущее значение таймера при изменении некоторого входного сигнала. В случае захвата

имеется дополнительная возможность генерировать прерывание;

- четыре 32-разрядных регистра сравнения (совпадения), которые позволяют:
  - непрерывное функционирование с дополнительной возможностью генерировать прерывание при совпадении;
  - остановку таймера при совпадении с дополнительной возможностью генерировать прерывание;
  - сброс таймера при совпадении с дополнительной возможностью генерировать прерывание;
- до четырёх внешних выходов, соответствующих регистрам совпадения, со следующими возможностями:
- сброс в низкий уровень при совпадении;
- установка в высокий уровень при совпадении;
- переключение (смена уровня) при совпадении;
- сохранение состояния при совпадении.

Таймеры TIMER0 и TIMER1 могут использоваться для следующих приложений:

- интервальный таймер для подсчёта внутренних событий МК;
- широтно-импульсный демодулятор через входы захвата;
- свободно функционирующий таймер.

Краткое описание выводов МК LPC2000, связанных с каждым таймером (на примере устройств LPC2119/2129/2194/2292/2294), приведено в табл. 56.

Каждый таймер обслуживается следующими регистрами.

*Регистр прерываний* (IR: TIMER0 – TOIR: 0xE0004000; TIMER1 – T1IR:

Таблица 56. Описание выводов, связанных с таймерами для устройств LPC2119/2129/2194/2292/2294

Имя вывода	Тип вывода	Описание вывода
CAP0.3...0; CAP1.3...0	Входы	Сигналы захвата: перепад внешнего сигнала на выводе захвата может быть программно выбран, чтобы загрузить в один из регистров захвата текущее значение таймера и в качестве добавочной возможности сгенерировать прерывание
		Функция захвата может быть задана для множества выводов. Если, например, в качестве входов захвата выбраны 2 вывода, с тем чтобы обеспечивать функцию захвата CAP0.2 параллельно, то внешние сигналы на них будут объединяться в соответствии с логической функцией OR и результирующее значение будет обработано как единственный вход
		Для CAP0.0 может быть выбрано до 3 выводов одновременно
		Для CAP0.1 – до 2 выводов одновременно
		Для CAP0.2 – до 3 выводов одновременно
		Для CAP0.3 – 1 вывод
		Для CAP1.0 – 1 вывод
		Для CAP1.1 – 1 вывод
		Для CAP1.2 – до 2 выводов одновременно
Для CAP1.3 – до 2 выводов одновременно		
MAT0.3...0; MAT1.3...0	Выходы	Внешние выходы совпадения 0/1: когда содержимое регистра совпадения 0/1 (MR3:0) равно содержимому счётчика таймера (TC), этот вывод может переключиться, сброситься, установиться или не изменить своё состояние, что может быть задано программно. Регистр внешнего совпадения (EMR) управляет функциональными возможностями этого выхода. Одна и та же функция выхода совпадения может быть выбрана для нескольких выводов одновременно. Можно, например, выбрать два вывода, с тем чтобы они обеспечивали функцию MAT1.3 параллельно
		Для MAT0.0 может быть выбрано до 2 выводов одновременно
		Для MAT0.1 – до 2 выводов одновременно
		Для MAT0.2 – до 2 выводов одновременно
		Для MAT0.3 – 1 вывод
		Для MAT1.0 – 1 вывод
		Для MAT1.1 – 1 вывод
		Для MAT1.2 – до 2 выводов одновременно
		Для MAT1.3 – до 2 выводов одновременно

0xE0008000). Если прерывание сгенерировано, то соответствующий бит в регистре IR будет установлен. Запись 1 в бит регистра IR сбросит соответствующее ему прерывание. Битовая структура регистра IR приведена в табл. 57.

**Регистр управления таймером** (TCR: TIMER0 – TOTCR: 0xE0004004; TIMER1 – T1TCR: 0xE0008004). Битовая структура регистра TCR приведена в табл. 58.

**Счётчик таймера** (TC: TIMER0 – T0TC: 0xE0004008; TIMER1 – T1TC: 0xE0008008). 32-разрядный счётчик таймера инкрементируется, когда счётчик предделителя достигает своего конечного значения. Если TC не был сброшен при достижении заданного верхнего предела, то он досчитает до значения 0xFFFFFFFF, а затем сбросится в значение 0x00000000. Этот случай не вызовет прерывания.

**Регистр предделителя** (PR: TIMER0 – T0PR: 0xE000400C; TIMER1 – T1PR: 0xE000800C). 32-разрядный регистр предделителя определяет максимальное (конечное) значение для счётчика предделителя.

**Регистр счётчика предделителя** (PC: TIMER0 – T0PC: 0xE0004010; TIMER1 – T1PC: 0xE0008010). 32-разрядный счётчик предделителя управляет делением *psclk* на небольшое постоянное значение, прежде чем счётная частота поступит на счётчик таймера. Счётчик предделителя инкрементируется в каждом цикле *psclk*. Когда он достигает значения, сохранённого в регистре предделителя (PR), счётчик таймера инкрементируется, а счётчик предделителя сбрасывается в следующем цикле *psclk*. Например, TC будет инкрементироваться в каждом цикле *psclk*, когда PR = 0, каждые 2 цикла *psclk*, когда PR = 1, и т.д.

**Регистры совпадения** (MR0 – MR3). Значение регистра совпадения непрерывно сравнивается со значением счётчика таймера. Когда эти значения равны, автоматически производятся некоторые заданные действия (генерация прерывания, сброс счётчика таймера или остановка таймера). Производимые действия определяются параметрами настройки регистра MCR.

**Регистр управления совпадением** (MCR: TIMER0 – T0MCR: 0xE0004014; TIMER1 – T1MCR: 0xE0008014). Регистр используется, чтобы управлять тем, какие операции будут выполне-

ны, когда содержимое одного из регистров совпадения станет равным содержимому счётчика таймера. Функции каждого из битов регистра управления совпадением показаны в табл. 59. После сброса значение во всех битах равно 0.

**Регистры захвата** (CR0 – CR3). Каждый регистр захвата связан с выводом устройства и может быть загружен значением счётчика таймера, когда на этом выводе происходит заданное событие. Параметры настройки в регистре управления захватом определяют, разрешена ли функция захвата и производится ли он по

положительному фронту внешнего сигнала на соответствующем выводе, по отрицательному фронту или по обоим фронтам.

**Регистр управления захватом** (CCR: TIMER0 – T0CCR: 0xE0004028; TIMER1 – T1CCR: 0xE0008028). Регистр управления захватом используется, чтобы задавать, загружается ли один из четырёх регистров захвата значением счётчика таймера, когда происходит событие, вызывающее захват, и генерируется ли прерывание в случае захвата. Функции каждого из битов регистра управления захватом показаны в табл. 60. Символ п

**Таблица 57. Биты регистра прерываний**  
(IR: TIMER0 – T0IR: 0xE0004000; TIMER1 – T1IR: 0xE0008000)

Номер бита IR	Функция бита	Описание	Значение после сброса
0	Прерывание MR0	Флаг прерывания для канала совпадения 0	0
1	Прерывание MR1	Флаг прерывания для канала совпадения 1	0
2	Прерывание MR2	Флаг прерывания для канала совпадения 2	0
3	Прерывание MR3	Флаг прерывания для канала совпадения 3	0
4	Прерывание CR0	Флаг прерывания для канала случаев захвата 0	0
5	Прерывание CR1	Флаг прерывания для канала случаев захвата 1	0
6	Прерывание CR2	Флаг прерывания для канала случаев захвата 2	0
7	Прерывание CR3	Флаг прерывания для канала случаев захвата 3	0

**Таблица 58. Биты регистра управления таймером**  
(TCR: TIMER0 – T0TCR: 0xE0004004; TIMER1 – T1TCR: 0xE0008004)

Номер бита TCR	Функция бита	Описание	Значение после сброса
0	Разрешение счётчика	Когда этот бит установлен, счётчику таймера и счётчику предделителя разрешён счёт. Когда бит сброшен, счётчики заблокированы	0
1	Сброс счётчика	Когда этот бит установлен, счётчик таймера и счётчик предделителя синхронно сбрасываются по следующему после установки положительному перепаду <i>psclk</i> . Счётчики остаются сброшенными, пока бит TCR[1] не возвращается в низкий уровень	0

**Таблица 59. Биты регистра управления совпадением**  
(MCR: TIMER0 – T0MCR: 0xE0004014; TIMER1 – T1MCR: 0xE0008014)

Номер бита MCR	Функция бита	Описание
0	Прерывание от MR0	Когда этот бит установлен, прерывание будет сгенерировано, если значение MR0 совпадёт со значением TC. Когда бит сброшен, это прерывание запрещено
1	Сброс от MR0	Когда этот бит установлен, TC будет сброшен, если значение MR0 совпадёт со значением TC. Когда бит сброшен, эта возможность запрещена
2	Останов от MR0	Когда этот бит установлен, TC и PC будут остановлены и бит TCR[0] будет сброшен, если значение MR0 совпадёт со значением TC. Когда бит сброшен, эта возможность запрещена
3	Прерывание от MR1	Когда этот бит установлен, прерывание будет сгенерировано, если значение MR1 совпадёт со значением TC. Когда бит сброшен, это прерывание запрещено
4	Сброс от MR1	Когда этот бит установлен, TC будет сброшен, если значение MR1 совпадёт со значением TC. Когда бит сброшен, эта возможность запрещена
5	Останов от MR1	Когда этот бит установлен, TC и PC будут остановлены и бит TCR[0] будет сброшен, если значение MR1 совпадёт со значением TC. Когда бит сброшен, эта возможность запрещена
6	Прерывание от MR2	Когда этот бит установлен, прерывание будет сгенерировано, если значение MR2 совпадёт со значением TC. Когда бит сброшен, это прерывание запрещено
7	Сброс от MR2	Когда этот бит установлен, TC будет сброшен, если значение MR2 совпадёт со значением TC. Когда бит сброшен, эта возможность запрещена
8	Останов от MR2	Когда этот бит установлен, TC и PC будут остановлены и бит TCR[0] будет сброшен, если значение MR2 совпадёт со значением TC. Когда бит сброшен, эта возможность запрещена
9	Прерывание от MR3	Когда этот бит установлен, прерывание будет сгенерировано, если значение MR3 совпадёт со значением TC. Когда бит сброшен, это прерывание запрещено
10	Сброс от MR3	Когда этот бит установлен, TC будет сброшен, если значение MR3 совпадёт со значением TC. Когда бит сброшен, эта возможность запрещена
11	Останов от MR3	Когда этот бит установлен, TC и PC будут остановлены и бит TCR[0] будет сброшен, если значение MR3 совпадёт со значением TC. Когда бит сброшен, эта возможность запрещена

**Таблица 60. Биты регистра управления захватом (CCR: TIMERO – TOCCR: 0xE0004028; TIMER1 – T1CCR: 0xE0008028)**

Номер бита CCR	Функция бита	Описание
0	Захват по положительному фронту на CAPn.0	Когда этот бит установлен, перепад с «0» на «1» на выводе CAPn.0 загрузит в CR0 содержимое TC. Когда бит сброшен, эта особенность заблокирована
1	Захват по отрицательному фронту на CAPn.0	Когда этот бит установлен, перепад с «1» на «0» на выводе CAPn.0 загрузит в CR0 содержимое TC. Когда бит сброшен, эта особенность заблокирована
2	Прерывание по случаю захвата на CAPn.0	Когда этот бит установлен, при загрузке CR0 по случаю захвата на CAPn.0 генерируется прерывание. Когда бит сброшен, эта особенность заблокирована
3	Захват по положительному фронту на CAPn.1	Когда этот бит установлен, перепад с «0» на «1» на выводе CAPn.1 загрузит в CR1 содержимое TC. Когда бит сброшен, эта особенность заблокирована
4	Захват по отрицательному фронту на CAPn.1	Когда этот бит установлен, перепад с «1» на «0» на выводе CAPn.1 загрузит в CR1 содержимое TC. Когда бит сброшен, эта особенность заблокирована
5	Прерывание по случаю захвата на CAPn.1	Когда этот бит установлен, при загрузке CR1 по случаю захвата на CAPn.1 генерируется прерывание. Когда бит сброшен, эта особенность заблокирована
6	Захват по положительному фронту на CAPn.2	Когда этот бит установлен, перепад с «0» на «1» на выводе CAPn.2 загрузит в CR2 содержимое TC. Когда бит сброшен, эта особенность заблокирована
7	Захват по отрицательному фронту на CAPn.2	Когда этот бит установлен, перепад с «1» на «0» на выводе CAPn.2 загрузит в CR2 содержимое TC. Когда бит сброшен, эта особенность заблокирована
8	Прерывание по случаю захвата на CAPn.2	Когда этот бит установлен, при загрузке CR2 по случаю захвата на CAPn.2 генерируется прерывание. Когда бит сброшен, эта особенность заблокирована
9	Захват по положительному фронту на CAPn.3	Когда этот бит установлен, перепад с «0» на «1» на выводе CAPn.3 загрузит в CR3 содержимое TC. Когда бит сброшен, эта особенность заблокирована
10	Захват по отрицательному фронту на CAPn.3	Когда этот бит установлен, перепад с «1» на «0» на выводе CAPn.3 загрузит в CR3 содержимое TC. Когда бит сброшен, эта особенность заблокирована
11	Прерывание по случаю захвата на CAPn.3	Когда этот бит установлен, при загрузке CR3 по случаю захвата на CAPn.3 генерируется прерывание. Когда бит сброшен, эта особенность заблокирована

**Таблица 61. Регистр внешнего совпадения (EMR: TIMERO – TOEMR: 0xE000403C; TIMER1 – T1EMR: 0xE000803C)**

Номер бита EMR	Функция бита	Описание
9	Внешнее совпадение 0	Этот бит отражает состояние выхода MAT0.0/MAT1.0 вне зависимости от того, связан он или нет с соответствующим выводом МК. Когда происходит совпадение для MR0, этот выход может переключить своё состояние, сброситься, установиться или не изменить своего состояния. Биты EMR[4:5] управляют функциональными возможностями этого выхода
1	Внешнее совпадение 1	Этот бит отражает состояние выхода MAT0.1/MAT1.1 вне зависимости от того, связан он или нет с соответствующим выводом МК. Когда происходит совпадение для MR1, этот выход может переключить своё состояние, сброситься, установиться или не изменить своего состояния. Биты EMR[6:7] управляют функциональными возможностями этого выхода
2	Внешнее совпадение 2	Этот бит отражает состояние выхода MAT0.2/MAT1.2 вне зависимости от того, связан он или нет с соответствующим выводом МК. Когда происходит совпадение для MR2, этот выход может переключить своё состояние, сброситься, установиться или не изменить своего состояния. Биты EMR[8:9] управляют функциональными возможностями этого выхода
3	Внешнее совпадение 3	Этот бит отражает состояние выхода MAT0.3/MAT1.3 вне зависимости от того, связан он или нет с соответствующим выводом МК. Когда происходит совпадение для MR3, этот выход может переключить своё состояние, сброситься, установиться или не изменить своего состояния. Биты EMR[10:11] управляют функциональными возможностями этого выхода
5:4*	Управление внешним совпадением 0	Определяет функциональные возможности внешнего совпадения 0
7:6*	Управление внешним совпадением 1	Определяет функциональные возможности внешнего совпадения 1
9:8*	Управление внешним совпадением 2	Определяет функциональные возможности внешнего совпадения 2
11:10*	Управление внешним совпадением 3	Определяет функциональные возможности внешнего совпадения 3

\*В табл. 62 показано кодирование этих битов.

в таблице указывает на номер таймера: 0 или 1. После сброса значение во всех битах равно 0.

**Регистр внешнего совпадения** (EMR: TIMERO – TOEMR: 0xE000403C; TIMER1 – T1EMR: 0xE000803C). Регистр внешнего совпадения обеспечивает управление состоянием входов внешнего совпадения M (0 – 3). Битовая структура регистра EMR приведена в табл. 61 и 62. После сброса значение во всех битах равно 0.

На рис. 26а показан таймер, сконфигурированный таким образом,

чтобы сбросить счётчик таймера и сгенерировать прерывание при совпадении. На рис. 26б показан таймер, сконфигурированный, чтобы остановить счётчик таймера и сгенерировать прерывание при совпадении. Блок-схема TIMERO и TIMER1 приведена на рис. 27.

### Широтно-импульсный модулятор (PWM)

Построение модуля широтно-импульсного модулятора (PWM) МК LPC2000 основано на стандартном

модуле таймера. Таймер PWM предназначен для счёта периодов pclk.

Модуль PWM имеет следующие основные особенности:

1. Семь регистров совпадения позволяют сформировать на выходах PWM до шести отдельных управляемых перепадов, или до трёх двойных перепадов, или комбинировать эти типы сигналов. Регистры совпадения модуля PWM также позволяют:
  - производить непрерывные операции с возможностью генерации прерывания при совпадении;
  - остановить таймер при совпадении с возможностью генерации прерывания;
  - сбросить таймер при совпадении с возможностью генерации прерывания.
2. Внешний выход для каждого регистра совпадения со следующими возможностями:

**Таблица 62. Управление внешним совпадением с помощью битов внешнего совпадения EMR**

Биты EMR [11:10], [9:8], [7:6], [5:4]	Функция
0	Ничего не происходит
1	Сбрасывается выход внешнего совпадения (если он скомутирован на вывод МК, то этот вывод также сбрасывается)
10	Устанавливается выход внешнего совпадения (если он скомутирован на вывод МК, то этот вывод также устанавливается)
11	Выход внешнего совпадения переключает своё состояние на противоположное



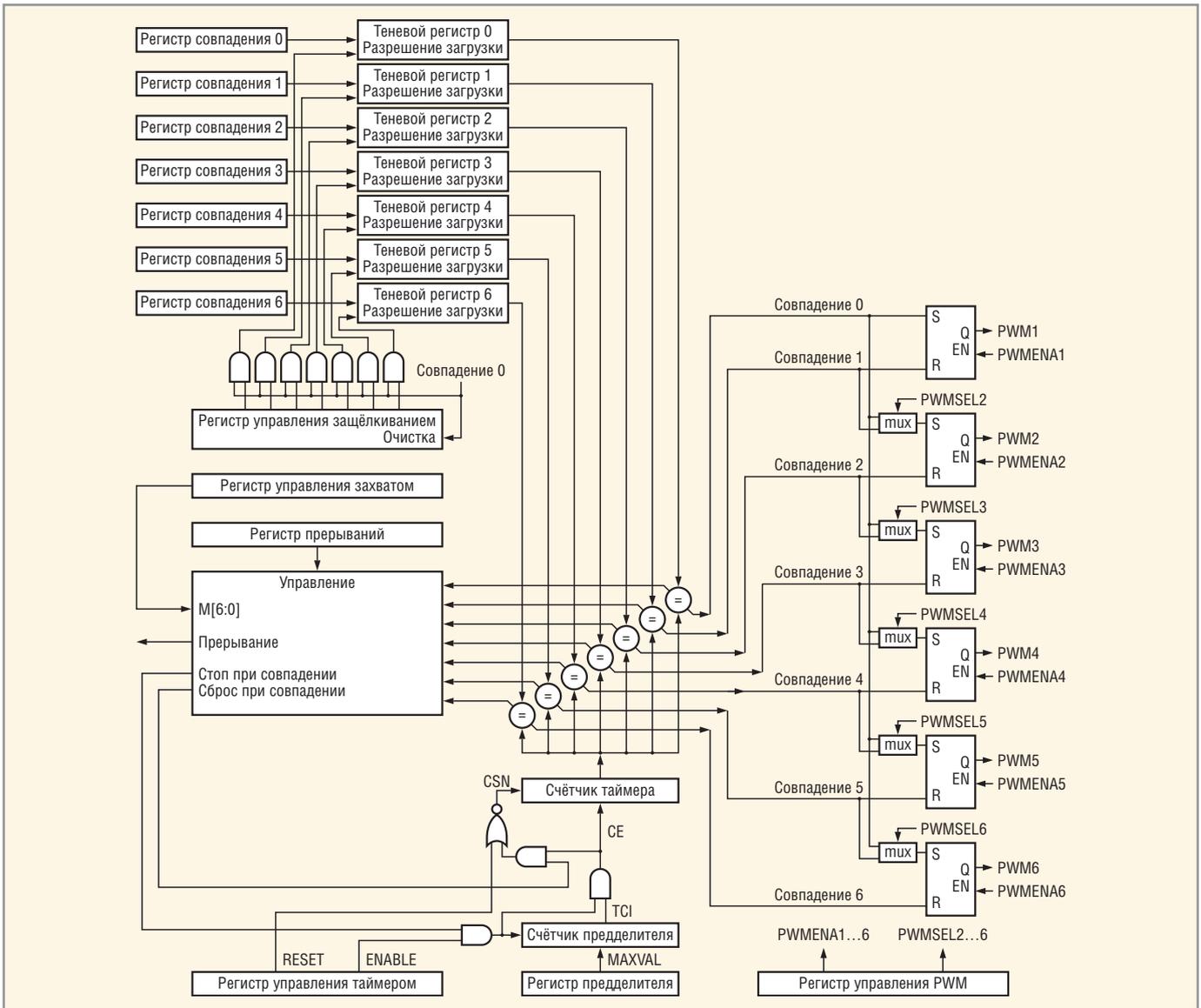


Рис. 28. Блок-схема модуля PWM устройств семейства LPC2000

Чтобы управлять двумя перепадами на одном выходе PWM, требуется три регистра совпадения. Регистр PWMMR0 управляет периодом выходной последовательности PWM. Другие два регистра управляют положениями в периоде положительного и отрицательного перепадов выходного сигнала PWM, задавая, таким обра-

зом, длительность, фазу и полярность выходных импульсов PWM. Если период выходной последовательности одинаков для всех выходов PWM, то для управления двумя перепадами на одном выходе PWM требуется только два регистра совпадения. Управление двумя перепадами на одном выходе PWM позволяет формировать на этом

выходе как положительные (положительный перепад предшествует отрицательному перепаду), так и отрицательные (отрицательный перепад предшествует положительному перепаду) импульсы.

Блок-схема PWM устройств LPC2000 приведена на рис. 28. Выбор управления отдельным или двойным перепадом выходного сигнала PWM производится мультиплексорами (mux), управляемыми битами PWMSELn.

На рис. 29 показан пример выборки выходных сигналов PWM. Состояние выходов PWM будет циклически меняться, как показано на рисунке, при следующих условиях:

- таймер сконфигурирован для режима PWM;
- регистр совпадения 0 сконфигурирован, чтобы сбрасывать счётчик таймера при наступлении совпадения;

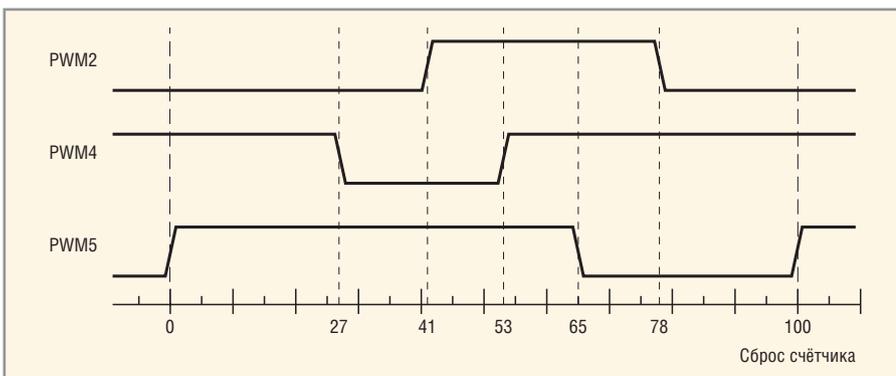


Рис. 29. Пример выборки выходных сигналов модуля PWM

- служебные биты PWMSEL2 и PWMSEL4 установлены;
- регистры совпадения PWM должны иметь следующие значения:
  - MR0 = 100 (период выходной последовательности PWM),
  - MR1 = 41, MR2 = 78 (для выхода PWM2),
  - MR3 = 53, MR4 = 27 (для выхода PWM4),
  - MR5 = 65 (для выхода PWM5).

Соответствие регистров PWM выходам PWM показано в табл. 63. Модуль PWM поддерживает управление до (N – 1) отдельными перепадами на своих выходах или до (N – 1)/2 двойными перепадами, где N – количество имеющихся в модуле PWM регистров совпадения. Поддерживается также управление смешанного типа, если в этом есть необходимость.

Модуль PWM обслуживается следующими регистрами и счётчиками.

**Регистр прерываний от PWM (PWMIR – 0xE0014000).** Если прерывание сгенерировано, устанавливается соответствующий бит в PWMIR. Запись лог. 1 в установленный значащий бит регистра PWMIR сбросит соответствующее прерывание. Битовая структура регистра PWMIR приведена в табл. 64. После сброса значение во всех битах равно 0.

**Регистр управления таймером PWM (PWMTCR – 0xE0014004).** Битовая структура регистра PWMTCR приведена в табл. 65.

**Счётчик таймера PWM (PWMTS – 0xE0014008).** 32-разрядный счётчик таймера PWM инкрементируется, когда счётчик предделителя достигает своего конечного состояния. Если PWMTS не будет сброшен до достижения своего верхнего предела, то он переполнится значением 0xFFFFFFFF, а затем сбросится в значение 0x00000000. Этот случай не вызовет прерывания.

**Регистр предделителя PWM (PWMPR – 0xE001400C).** 32-разрядный регистр счётчика предделителя PWM определяет максимальное значение для счётчика предделителя PWM.

**Счётчик предделителя PWM (PWMPCR – 0xE0014010).** 32-разрядный счётчик предделителя PWM управляет делением частоты pclk на небольшое постоянное значение до того, как эти импульсы поступают на счётчик таймера PWM. Счётчик предделителя PWM инкрементируется в каждом периоде pclk. Когда он достигает значения, содержащегося в реги-

стре предделителя PWM, счётчик таймера PWM инкрементируется, а счётчик предделителя PWM сбрасывается в следующем периоде pclk. Например, PWMTS будет инкрементироваться в каждом периоде pclk, когда PWMPR = 0, и каждые два периода pclk, когда PWMPR = 1, и т.д.

**Регистры совпадения PWM (PWMMR0 – PWMMR6).** Значение регистра совпадения PWM непрерывно сравнивается со значением счётчика таймера PWM. Когда эти два значения равны, автоматически производятся некоторые заданные действия (генерация прерывания, сброс счётчика таймера PWM или остановка тайме-

ра). Выбор конкретного действия задаётся параметрами настройки в регистре PWMMCR.

**Регистр управления совпадением PWM (PWMMCR – 0xE0014014).** Битовая структура регистра PWMMCR приведена в табл. 66. После сброса значение во всех битах равно 0.

**Регистр управления PWM (PWMPCR – 0xE001404C).** Битовая структура регистра PWMPCR приведена в табл. 67.

**Регистр разрешения «защёлкивания» PWM (PWMLER – 0xE0014050).** Регистр управляет обновлением регистров совпадения PWM, когда они используются для генерации выход-

Таблица 63. Соответствие между регистрами и выходами (каналами) модуля PWM

Канал PWM	Отдельный перепад PWM (PWMSELn = 0)		Двойной перепад PWM (PWMSELn = 1)	
	установка	сброс	установка	сброс
1	Совпадение 0	Совпадение 1	Совпадение 0*	Совпадение 1*
2	Совпадение 0	Совпадение 2	Совпадение 1	Совпадение 2
3	Совпадение 0	Совпадение 3	Совпадение 2**	Совпадение 3**
4	Совпадение 0	Совпадение 4	Совпадение 3	Совпадение 4
5	Совпадение 0	Совпадение 5	Совпадение 4**	Совпадение 5**
6	Совпадение 0	Совпадение 6	Совпадение 5	Совпадение 6

\* Случай идентичен режиму управления отдельным перепадом, т.к. в канале PWM1 отсутствует мультиплексор выбора режима управления двойным перепадом. Таким образом, канал PWM1 не поддерживает управление двойным перепадом.

\*\* Каналы PWM3 и PWM5 нецелесообразно использовать для формирования сигналов с двойным управляемым перепадом, поскольку из-за особенностей построения внутренней логики PWM (см. рис. 28) в результате их использования уменьшается общее количество каналов PWM, поддерживающих управление двойным перепадом. Для формирования сигналов с двойным управляемым перепадом рекомендуется использовать каналы PWM2, PWM4 и PWM6.

Таблица 64. Биты регистра прерываний от PWM (PWMIR – 0xE0014000)

Биты регистра PWMIR	Функция бита	Описание
0	Прерывание PWMMR0	Флаг прерывания при совпадении в канале 0 PWM
1	Прерывание PWMMR1	Флаг прерывания при совпадении в канале 1 PWM
2	Прерывание PWMMR2	Флаг прерывания при совпадении в канале 2 PWM
3	Прерывание PWMMR3	Флаг прерывания при совпадении в канале 3 PWM
4–7	Зарезервированы	Приложение не должно записывать 1 в эти биты
8	Прерывание PWMMR4	Флаг прерывания при совпадении в канале 4 PWM
9	Прерывание PWMMR5	Флаг прерывания при совпадении в канале 5 PWM
10	Прерывание PWMMR6	Флаг прерывания при совпадении в канале 6 PWM

Таблица 65. Биты регистра управления таймером PWM (PWMTCR – 0xE0014004)

Биты регистра PWMTCR	Функция бита	Описание	Значение после сброса
0	Разрешение счётчика	Когда этот бит установлен, разрешён счёт счётчика таймера и счётчика предделителя PWM. Когда бит сброшен, эти счётчики заблокированы	0
1	Сброс счётчика	Когда этот бит установлен, счётчик таймера и счётчик предделителя PWM синхронно сбрасываются по следующему положительному перепаду pclk. Счётчики остаются в сброшенном состоянии до обновления бита PWMTCR[1]	0
2	Зарезервирован	Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA
3	Разрешение PWM	Когда этот бит установлен, режим PWM разрешён. В режиме PWM теневые регистры подключаются к регистрам совпадения. Программная запись в регистр совпадения не окажет влияния на результат совпадения, пока соответствующий бит в PWMLER не будет установлен, а также пока не произойдёт совпадение в канале PWM 0. Регистр совпадения PWM, который определяет период выходной последовательности PWM (регистр совпадения PWM 0), должен быть инициализирован до разрешения PWM. В противном случае в канале PWM 0 не произойдёт совпадения, и, следовательно, содержимое теневого регистра не вступит в силу	0

ных импульсных последовательностей PWM. Когда программа производит запись в регистр совпадения PWM и таймер находится в режиме PWM, записываемое значение первоначально попадает в теневой ре-

гистр. Содержимое теневых регистров копируется в регистры совпадения, когда происходит совпадение в канале PWM0, но только если соответствующий бит в регистре разрешения «защёлкивания» был предва-

рительно установлен. В этот момент новые значения регистров совпадения вступают в силу и определяют параметры выходных сигналов следующего цикла PWM. После активации новых значений регистров сов-

Таблица 66. Битовая структура регистра управления совпадением PWM (PWMMCR – 0xE0014014)

Биты регистра PWMMCR	Функция бита	Описание
0	Включение прерывания от PWMMR0	Когда этот бит установлен, в случае совпадения значений PWMMR0 и PWMTC генерируется прерывание. Когда бит сброшен, это прерывание запрещено
1	Включение сброса от PWMMR0	Когда этот бит установлен, в случае совпадения значений PWMMR0 и PWMTC последний сбрасывается. Когда бит сброшен, сброс PWMTC не происходит
2	Включение останова от PWMMR0	Когда этот бит установлен, в случае совпадения значений PWMMR0 и PWMTC счётчики PWMTC и PWMPC будут остановлены, а бит PWMTCR[0] будет сброшен. Когда этот бит сброшен, указанные действия не происходят
3	Включение прерывания от PWMMR1	Когда этот бит установлен, в случае совпадения значений PWMMR1 и PWMTC генерируется прерывание. Когда бит сброшен, это прерывание запрещено
4	Включение сброса от PWMMR1	Когда этот бит установлен, в случае совпадения значений PWMMR1 и PWMTC последний сбрасывается. Когда бит сброшен, сброс PWMTC не происходит
5	Включение останова от PWMMR1	Когда этот бит установлен, в случае совпадения значений PWMMR1 и PWMTC счётчики PWMTC и PWMPC будут остановлены, а бит PWMTCR[0] будет сброшен. Когда этот бит сброшен, указанные действия не происходят
6	Включение прерывания от PWMMR2	Когда этот бит установлен, в случае совпадения значений PWMMR2 и PWMTC генерируется прерывание. Когда бит сброшен, это прерывание запрещено
7	Включение сброса от PWMMR2	Когда этот бит установлен, в случае совпадения значений PWMMR2 и PWMTC последний сбрасывается. Когда бит сброшен, сброс PWMTC не происходит
8	Включение останова от PWMMR2	Когда этот бит установлен, в случае совпадения значений PWMMR2 и PWMTC счётчики PWMTC и PWMPC будут остановлены, а бит PWMTCR[0] будет сброшен. Когда этот бит сброшен, указанные действия не происходят
9	Включение прерывания от PWMMR3	Когда этот бит установлен, в случае совпадения значений PWMMR3 и PWMTC генерируется прерывание. Когда бит сброшен, это прерывание запрещено
10	Включение сброса от PWMMR3	Когда этот бит установлен, в случае совпадения значений PWMMR3 и PWMTC последний сбрасывается. Когда бит сброшен, сброс PWMTC не происходит
11	Включение останова от PWMMR3	Когда этот бит установлен, в случае совпадения значений PWMMR3 и PWMTC счётчики PWMTC и PWMPC будут остановлены, а бит PWMTCR[0] будет сброшен. Когда этот бит сброшен, указанные действия не происходят
12	Включение прерывания от PWMMR4	Когда этот бит установлен, в случае совпадения значений PWMMR4 и PWMTC генерируется прерывание. Когда бит сброшен, это прерывание запрещено
13	Включение сброса от PWMMR4	Когда этот бит установлен, в случае совпадения значений PWMMR4 и PWMTC последний сбрасывается. Когда бит сброшен, сброс PWMTC не происходит
14	Включение останова от PWMMR4	Когда этот бит установлен, в случае совпадения значений PWMMR4 и PWMTC счётчики PWMTC и PWMPC будут остановлены, а бит PWMTCR[0] будет сброшен. Когда этот бит сброшен, указанные действия не происходят
15	Включение прерывания от PWMMR5	Когда этот бит установлен, в случае совпадения значений PWMMR5 и PWMTC генерируется прерывание. Когда бит сброшен, это прерывание запрещено
16	Включение сброса от PWMMR5	Когда этот бит установлен, в случае совпадения значений PWMMR5 и PWMTC последний сбрасывается. Когда бит сброшен, сброс PWMTC не происходит
17	Включение останова от PWMMR5	Когда этот бит установлен, в случае совпадения значений PWMMR5 и PWMTC счётчики PWMTC и PWMPC будут остановлены, а бит PWMTCR[0] будет сброшен. Когда этот бит сброшен, указанные действия не происходят
18	Включение прерывания от PWMMR6	Когда этот бит установлен, в случае совпадения значений PWMMR6 и PWMTC генерируется прерывание. Когда бит сброшен, это прерывание запрещено
19	Включение сброса от PWMMR6	Когда этот бит установлен, в случае совпадения значений PWMMR6 и PWMTC последний сбрасывается. Когда бит сброшен, сброс PWMTC не происходит
20	Включение останова от PWMMR6	Когда этот бит установлен, в случае совпадения значений PWMMR6 и PWMTC счётчики PWMTC и PWMPC будут остановлены, а бит PWMTCR[0] будет сброшен. Когда этот бит сброшен, указанные действия не происходят

Таблица 67. Битовая структура регистра управления PWM (PWMPCR – 0xE001404C)

Биты регистра PWMPCR	Функция бита	Описание	Значение после сброса
1:0	Зарезервированы	Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA
2	PWMSEL2	Когда этот бит сброшен, выбирается режим управления отдельным перепадом для выхода PWM2. Когда этот бит установлен, выбирается режим управления двойным перепадом для выхода PWM2	0
3	PWMSEL3	Когда этот бит сброшен, выбирается режим управления отдельным перепадом для выхода PWM3. Когда этот бит установлен, выбирается режим управления двойным перепадом для выхода PWM3	0
4	PWMSEL4	Когда этот бит сброшен, выбирается режим управления отдельным перепадом для выхода PWM4. Когда этот бит установлен, выбирается режим управления двойным перепадом для выхода PWM4	0
5	PWMSEL5	Когда этот бит сброшен, выбирается режим управления отдельным перепадом для выхода PWM5. Когда этот бит установлен, выбирается режим управления двойным перепадом для выхода PWM5	0
6	PWMSEL6	Когда этот бит сброшен, выбирается режим управления отдельным перепадом для выхода PWM6. Когда этот бит установлен, выбирается режим управления двойным перепадом для выхода PWM6	0
8:7	Зарезервированы	Пользовательское ПО не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA
9	PWMENA1	Когда этот бит установлен, выход PWM1 включен. Когда этот бит сброшен, выход PWM1 отключен	0
10	PWMENA2	Когда этот бит установлен, выход PWM2 включен. Когда этот бит сброшен, выход PWM2 отключен	0
11	PWMENA3	Когда этот бит установлен, выход PWM3 включен. Когда этот бит сброшен, выход PWM3 отключен	0
12	PWMENA4	Когда этот бит установлен, выход PWM4 включен. Когда этот бит сброшен, выход PWM4 отключен	0
13	PWMENA5	Когда этот бит установлен, выход PWM5 включен. Когда этот бит сброшен, выход PWM5 отключен	0
14	PWMENA6	Когда этот бит установлен, выход PWM6 включен. Когда этот бит сброшен, выход PWM6 отключен	0
15	Зарезервирован	Пользовательское ПО не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA

Таблица 68. Биты регистра разрешения «защёлкивания» PWM (PWMLER – 0xE0014050)

Биты регистра PWMLER	Функция бита	Описание	Значение после сброса
0	Разрешение «защёлкивания» в канале 0 PWM	Запись 1 в этот бит позволяет активировать последнее значение, записанное в регистр совпадения PWM 0, когда таймер будет сброшен в следующий раз при совпадении PWM*	0
1	Разрешение «защёлкивания» в канале 1 PWM	Запись 1 в этот бит позволяет активировать последнее значение, записанное в регистр совпадения PWM 1, когда таймер будет сброшен в следующий раз при совпадении PWM*	0
2	Разрешение «защёлкивания» в канале 2 PWM	Запись 1 в этот бит позволяет активировать последнее значение, записанное в регистр совпадения PWM 2, когда таймер будет сброшен в следующий раз при совпадении PWM*	0
3	Разрешение «защёлкивания» в канале 3 PWM	Запись 1 в этот бит позволяет активировать последнее значение, записанное в регистр совпадения PWM 3, когда таймер будет сброшен в следующий раз при совпадении PWM*	0
4	Разрешение «защёлкивания» в канале 4 PWM	Запись 1 в этот бит позволяет активировать последнее значение, записанное в регистр совпадения PWM 4, когда таймер будет сброшен в следующий раз при совпадении PWM*	0
5	Разрешение «защёлкивания» в канале 5 PWM	Запись 1 в этот бит позволяет активировать последнее значение, записанное в регистр совпадения PWM 5, когда таймер будет сброшен в следующий раз при совпадении PWM*	0
6	Разрешение «защёлкивания» в канале 6 PWM	Запись 1 в этот бит позволяет активировать последнее значение, записанное в регистр совпадения PWM 6, когда таймер будет сброшен в следующий раз при совпадении PWM*	0
7	Зарезервирован	Пользовательское ПО не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA

\*См. описание регистра управления совпадением PWM (PWMMCR)

падения все биты PWMLER автоматически сбрасываются. Пока соответствующий бит в PWMLER не установлен и совпадение в канале PWM0 не произошло, запись любого значения в регистры совпадения PWM не окажет никакого влияния на работу модуля PWM. Битовая структура регистра PWMLER приведена в табл. 68.

Продолжение следует

### ЛИТЕРАТУРА

1. Редькин П.П. Микроконтроллеры ARM7. Семейство LPC2000 компании Philips: полное руководство пользователя. М.: Додэка-XXI. 2006 (готовится к выпуску).
2. LPC2119/2129/2194/2292/2294 USER MANUAL. Feb. 2004. Philips Semiconductors (www.LPC2000.com).
3. ARM 7TDMI Data Sheet. Document Number: ARM DDI 0029E. Issued: August 1995. Copyright Advanced RISC Machines Ltd. (ARM) 1995 (www.arm.com).

4. ARM7TDMI-S Technical Reference Manual (Rev 4) Copyright © ARM Limited. ARM DDI 0234A (www.arm.com).
5. ARM Instruction Set. Quick Reference Card (www.arm.com).
6. Thumb Instruction Set. Quick Reference Card (www.arm.com).
7. 80C51 Family Derivatives 8XC552/562 Overview. Philips Semiconductors, 1996 Aug 06, www.semiconductors.philips.com/acrobat/various/8XC552\_562OVERVIEW\_2.pdf.



## Микросхемы для счётчиков электроэнергии:



**Точность измерения, простота использования**



### Основные достоинства

- Высокая точность и стабильность
- Минимум внешних компонентов
- Низкая цена конечного устройства
- Простота калибровки
- Большое количество контролируемых параметров
- Расширенный диапазон температур –40...+85 °C

Наименование	Каналов	Линейность в диапазоне 1000:1	Импульсные выходы	Последовательный интерфейс	Текущ. I и V	Активная мощность	IRMS, VRMS	Полная мощность	Реактивная мощность	Температ. сенсор	Корпус
CS5451A	6	—	—	+	+	—	—	—	—	—	28 SSOP
CS5460A	2	0,1% от значения	+	+	+	+	+	—	—	—	24 SSOP
CS5461A	2	0,1% от значения	+	+	+	+	+	+	—	+	24 SSOP
CS5462	2	0,1% от значения	+	—	—	+	—	—	—	—	24 SSOP
CS5463	2	0,1% от значения	+	+	+	+	+	+	+	+	24 SSOP
CS5466	2	0,1% от значения	+	—	—	+	—	—	—	—	24 SSOP

Реклама

**PROSOFT® ПРОСОФТ — АКТИВНЫЙ КОМПОНЕНТ ВАШЕГО БИЗНЕСА**  
 Телефон: (495) 232-2522 • E-mail: info@prochip.ru • Web: www.prochip.ru