

Генератор синусоидального напряжения на микросхеме DDS

Валентин Сокол (Московская обл.)

В статье описан генератор, в котором использован метод вычисления шестнадцатеричного кода загрузки микросхемы DDS с помощью накапливающего сумматора на ПЛИС. Периодическая коррекция суммы, осуществляемая в процессе вычисления, позволяет получить приемлемую погрешность установки выходной частоты генератора.

Описываемый генератор вырабатывает синусоидальные колебания в диапазоне от 1 Гц до 2047,999 кГц с дискретностью установки частоты 1 Гц. В указанном диапазоне генератор обеспечивает амплитуду выходного сигнала около 1 В на нагрузке 75 Ом.

Микросхема DDS (прямой цифровой синтез) типа AD9830 при хороших выходных параметрах допускает только 5-вольтовое питание, поэтому является совместимой с ПЛИС Altera EPМ7128SLC84-15. Последняя выполняет расчёт и загрузку в DDS шестнадцатеричного кода. Сам метод вычисления прост: берём фрагмент кода 1 МГц, 1 кГц или 1 Гц и складываем его в накапливающем сумматоре столько раз, сколько задано двоично-десятичным кодом частоты. Для упрощения схемы это можно сделать отдельно, используя один сумматор и переключая константу на его параллельном входе. Однако удобнее, чтобы констан-

та была целым числом. Но это является проблемой. Дело в том, что значение константы зависит и от опорной частоты синтезатора. Получить целочисленное значение для фрагментов единиц или десятых долей герц в принципе возможно, если выбрать опорную частоту равной 42,94967296 МГц, но где взять такой генератор? Здесь автору пришлось проявить изобретательность.

Выходная частота AD9830 определяется основным уравнением:

$$F_{\text{вых}} = K F_{\text{mclk}} / 4294967296,$$

где K – код загрузки, F_{mclk} – опорная частота, число 4294967296 равно 2^{32} . Источником F_{mclk} в устройстве служит кварцевый генератор с частотой 32 768 кГц (2^{15} кГц). При этой частоте фрагмент кода 1 кГц будет целым числом (равным 131 072, или 20 000 hex).

Фрагмент кода 1 Гц для выбранной F_{mclk} равен 131,072, или, округлённо,

83 hex. Ошибка округления при задании частоты, например, 999 Гц, приведёт к погрешности выходной частоты 0,55 Гц. Чтобы решить эту проблему и обеспечить точность установки не хуже 0,1 Гц, автор применил периодическую коррекцию кода, осуществляемую в процессе суммирования. Дополнительная единица вводится по входу переноса сумматора на каждом 14-м такте ($999/072 = 13,8$). При такой коррекции погрешность установки единиц герц в диапазоне 1...999 Гц будет периодической и будет изменяться от минимального (0,0011 Гц) до максимального значения (0,01...0,02 Гц). В изготовленном образце генератора измеренная погрешность установки не превысила 0,1 Гц в любой точке диапазона 1...999 Гц. Измерения проводились частотомером цифрового осциллографа. Можно предположить, что в остальной части диапазона погрешность, обусловленная методом вычисления кода, не ухудшится.

Итак, значение частоты мы ввели более-менее точно, а что же будет на выходе? По мере повышения выходной частоты преобладающим источником отклонения выходной частоты от заданной становится кварцевый генератор. Это видно из анализа основного уравнения. С используемым образцом генератора (с собственной погрешностью ± 25 ppm) отклонение на частоте 2047,999 кГц составляет 1 Гц (измеренная $F_{\text{вых}} = 2048,0$ кГц), что приемлемо. И хотя ресурсы ПЛИС позволяют повысить загружаемую частоту до 10 МГц и более, автор решил ограничиться приведённым значением. Качество выходного сигнала генератора – превосходное. Неравномерность уровня выходного сигнала по диапазону не более 10%. Одним словом, утилизация старых микросхем удалась. Теперь подробнее о схеме ПЛИС и некоторых узлах.

Блок-схема ПЛИС приведена на рисунке 1. Загрузочный код для DDS вычисляется в 28-разрядном накапливающем сумматоре. Устройство управления в зависимости от требуемой операции подключит на параллельные входы сумматора константу килогерц

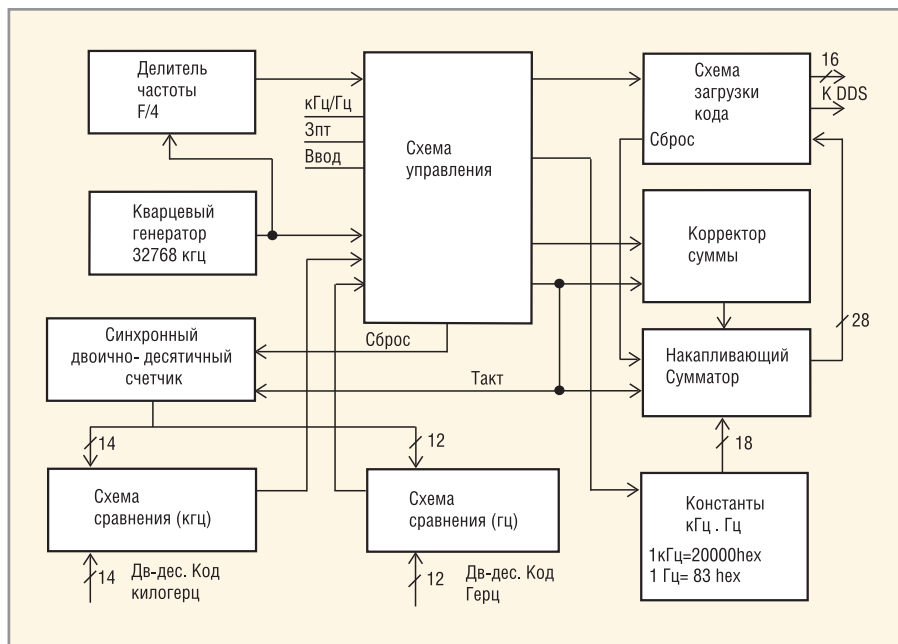


Рис. 1. Блок-схема управляющей ПЛИС

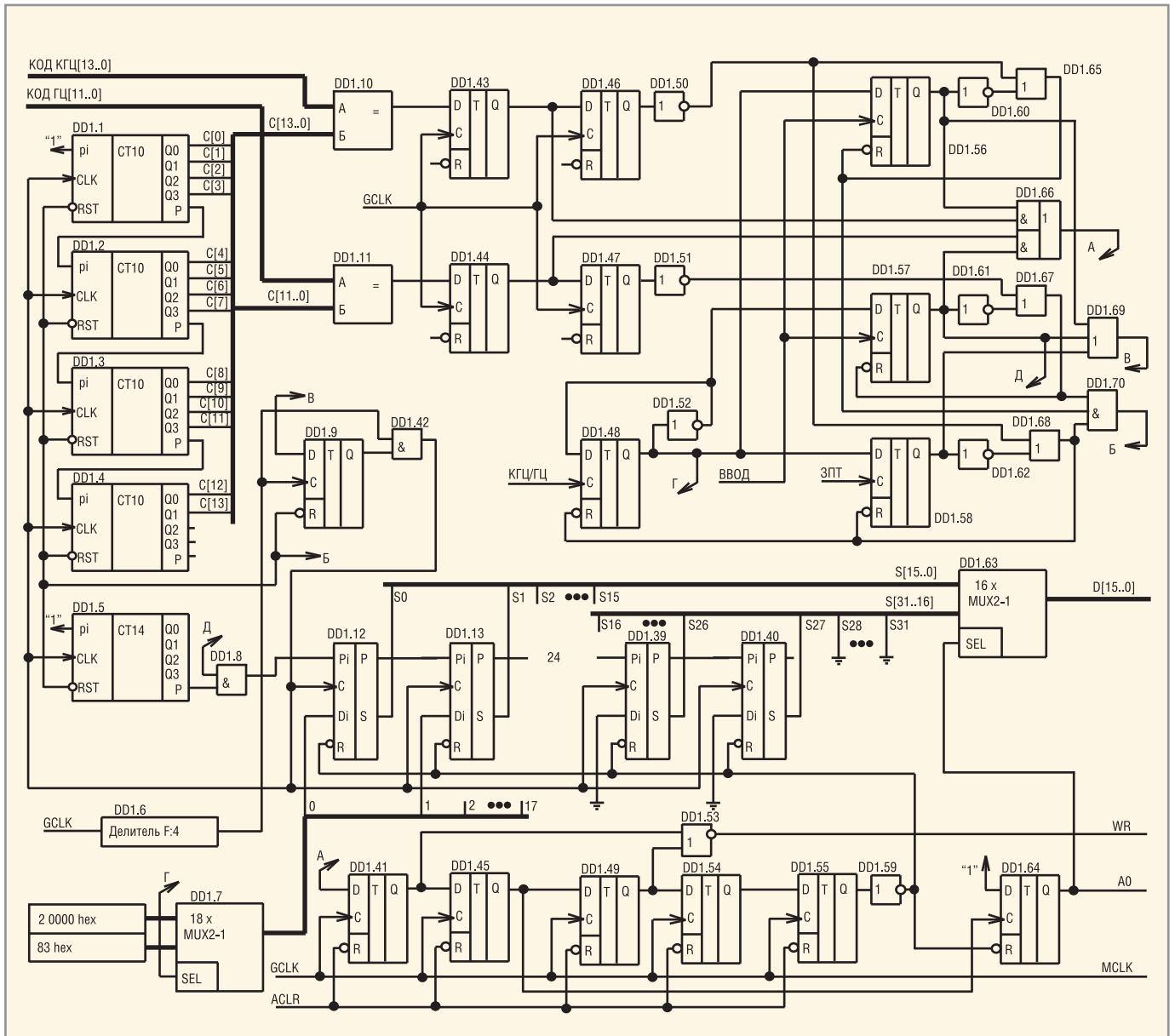


Рис. 2. Принципиальная схема управляющей ПЛИС

или герц и по сигналу ВВОД подаст импульсы на тактовые входы сумматора, двоично-десятичного синхронного счётчика и схемы коррекции суммы. Подача импульсов прекращается при совпадении текущего кода счётчика с числом, заданным на соответствующем входе схемы сравнения.

Устройство может загружать в микросхему DDS или целые значения килогерц (от 1 до 2047), или целые значения герц (от 1 до 999), или код в диапазоне от 0000,001 до 2047,999. В последнем случае после набора килогерц вводится команда запятой (ЗПТ), далее сумматор обрабатывает введённый код килогерц и останавливается; автоматически изменяется константа. После набора дробной части числа вычисление продолжается по команде ВВОД.

Загрузочный код вычисляется на тактовой частоте 8192 кГц, расчёт и

загрузка кода выполняются за доли миллисекунды. Схема загрузки кода вырабатывает строб-импульс записи для 16 старших разрядов, переключает адресный вход DDS и записывает 16 младших разрядов. После завершения ввода кода частоты в DDS сумматор сбрасывается.

Принципиальная схема ПЛИС приведена на рисунке 2. Команды КГц/Гц, ЗПТ и ВВОД поступают от кнопок на лицевой панели или могут быть поданы от внешних устройств. Триггер DD1.48 работает в счётном режиме и переключает диапазон после каждого нажатия кнопки «КГц/Гц».

Функционирование схемы рассмотрим на примере загрузки в синтезатор целого значения килогерц. Если триггер DD1.48 находится в состоянии лог. 1 (диапазон «килогерцы»), подача команды ВВОД установит триггер DD1.56

в единичное состояние. Через элемент DD1.69 на D-вход триггера DD1.9, разрешающего тактирование счётчиков DD1.1 – DD1.5 и накапливающего сумматора DD1.12 – DD1.40, поступит лог. 1. Ближайшим положительным фронтом с выхода делителя F/4 (DD1.6) триггер DD1.9 будет переведён в единичное состояние, и на тактовых входах счётчиков и накапливающего сумматора появится последовательность тактовых импульсов.

С каждым тактовым импульсом производится сложение константы 20000 hex с накопленным значением. Момент равенства кодов на выходе схемы сравнения DD1.10 будет зафиксирован триггером DD1.43 по ближайшему фронту опорной частоты GCLK. Лог. 1 с выхода DD1.43 через элемент DD1.66 2И-ИЛИ пройдёт на D-вход DD1.41 и будет удерживаться на нём в

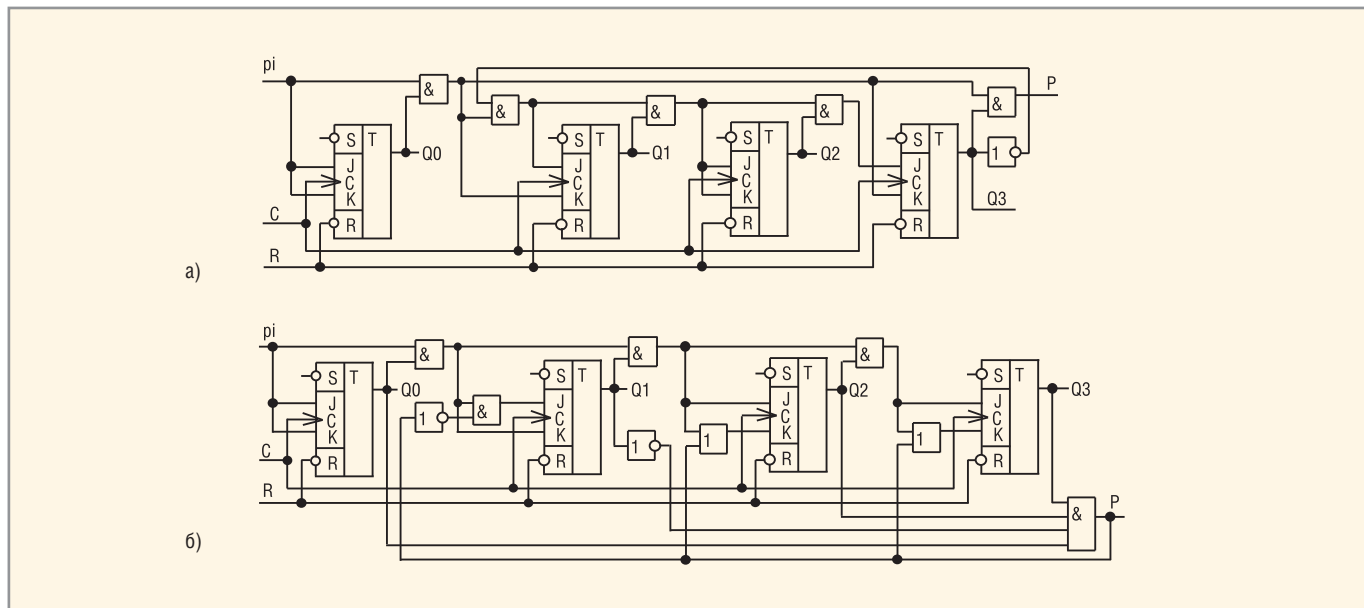


Рис. 3. Синхронные счётчики

а) двоично-десятичный, б) по модулю 14

тение одного такта опорной частоты. В следующем такте лог. 0 с выхода DD1.50 через DD1.65 сбросит стартовый триггер DD1.56, а через элемент DD1.70 – счётчики и триггер DD1.9. Поступление импульсов на тактовый вход накапливающего сумматора прекратится, и на выходе S[27..0] будет зафиксирован результат.

Цепочка триггеров DD1.41, DD1.45, DD1.49, DD1.54, DD1.55 образует управляющий регистр записи кода в микросхему DDS. Лог. 0 с выхода DD1.50 ограничит продолжительность единичного состояния D-входа DD1.41 величиной

чуть более одного такта, что необходимо для записи в управляющий регистр только одной единицы. Эта единица, продвигаясь в регистре, инициирует первый импульс записи WR на выходе DD1.53 при нулевом значении шины A0, переведёт A0 в состояние лог. 1 и через такт выработает второй импульс записи. Переключение A0 в лог. 1, соответственно, выведет на выходы D[15..0] 16 старших разрядов. Далее лог. 0 с выхода DD1.59 сбрасывает накапливающий сумматор и триггер DD1.64. Загрузка кода в микросхему DDS завершена.

По аналогичной схеме можно загружать и другие микросхемы DDS, например AD9851. Для последней следует увеличить длину регистра для формирования пяти строб-импульсов записи и импульса загрузки. Соответственно, изменится схема выходного мультиплектора.

Загрузка дробного значения частоты отличается тем, что команда ЗПТ установит в лог. 1 триггер DD1.58, поскольку на его D-входе присутствует разрешающая лог. 1. Мультиплексор DD1.7 подключит константу килогерц, и будет выполнено вычисление загрузочного кода килогерц. Но команда на загрузку кода не будет выработана элементом DD1.66, т.к. от триггера DD1.56 не поступает разрешающий уровень. После вычисления кода будут сброшены счётчики и триггеры DD1.9, DD1.48, DD1.58. Сброс последнего означает автоматическое изменение режима на расчёт загрузочного кода герц. Если входной код герц установлен, достаточно дать команду ВВОД, чтобы про-

цесс вычисления был продолжен. Вычисленный код будет добавлен к предыдущему. После этого произойдёт выдача команды на загрузку кода в микросхему DDS по нижней половине элемента DD1.66.

Рассмотрим структуру отдельных узлов. По схеме, показанной на рисунке 3а [1], выполнены синхронные параллельные счетчики DD1.1 – 1.4; рисунку 3б соответствует счётчик-корректор по модулю 14 DD1.5.

Многоразрядные счётчики на основе схемы, показанной на рис. 3а, имеют при реализации в ПЛИС хорошо сфазируемые выходные перепады. Счётчик (см. рис. 3б) формирует импульс переноса в состоянии «1101» (13) и по следующему тактовому импульсу переходит в состояние «0000».

Схема одного разряда накапливающего сумматора (DD1.12 – DD1.40) приведена на рисунке 4.

Для мультиплекторов, схем сравнения и констант использованы стандартные параметрические элементы, имеющиеся в фирменной библиотеке. Ресурсы ПЛИС (128 логических ячеек) использованы менее чем на 80%, что позволяет увеличить разрядность счётчика, схемы сравнения и накапливающего сумматора для увеличения выходной частоты до 10 МГц и выше. Но качество выходного сигнала синтезатора неизбежно снизится вследствие роста амплитуды комбинационных частот. Поднять выходную частоту до 10...20 МГц без ущерба для качества сигнала можно с применением микросхемы DDS типа AD9851 с опорной

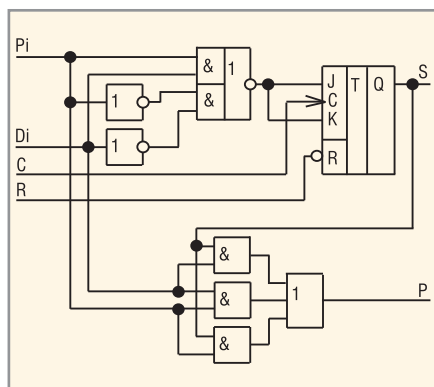


Рис. 4. Одноразрядный сумматор



Рис. 5. Отладочная плата генератора с устройством набора частоты

частотой 65,536 МГц при минимальной доработке схемы.

Генератор смонтирован на экспериментальной плате (см. рис. 5), содержащей, помимо микросхемы DDS и ПЛИС загрузки, выходной каскад для работы на кабель, устройство набора кода частоты и источник питания.

Описывать общую схему и остальные узлы устройства, по мнению автора, нет необходимости. Каждый разработчик имеет свои проверенные решения или опирается на доступную элементную базу. В данном приборе для набора частоты автор использует несколько кнопок и небольшую ПЛИС, содержащую формирователь двоично-десятичного кода нажатой кнопки и схемы подавления дребезга контактов. Код набранной частоты хранится в регистре, выполненном на четырёх микросхемах K561ИР2, откуда он подаётся на входы загрузочной ПЛИС и на дешифраторы светодиодных индикаторов. Более детально рассмотрим выходной каскад (см. рис. 6), поскольку здесь могут возникнуть проблемы с устойчивостью.

Фильтр L1 – L4, C1 – C4 ослабляет амплитуду комбинационных частот,

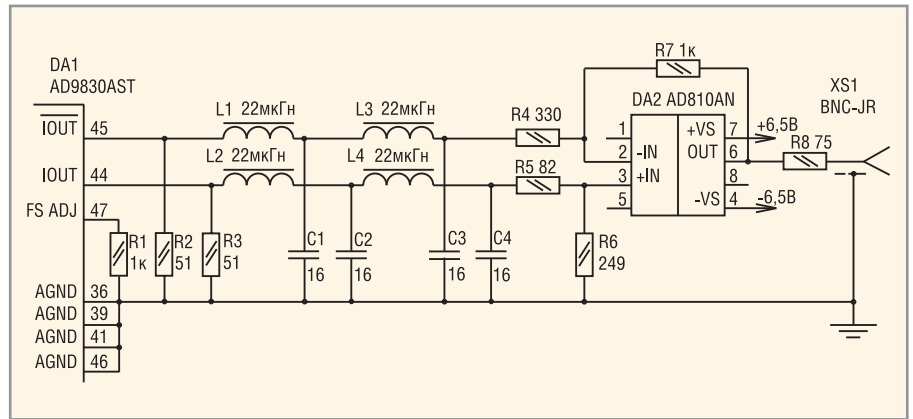


Рис. 6. Принципиальная схема выходного каскада генератора

уровень которых уже заметен выше частоты 1 МГц. До этой частоты фильтр можно упростить, что улучшит частотную характеристику прибора. На выходе DDS применены стандартные значения резисторов R1 – R3. Дифференциальный усилитель на ОУ DA2 имеет коэффициент передачи 3 В/В. Выбор номинала резистора R7 в цепи обратной связи ОУ 1 кОм и последовательное согласование (R8) обеспечивают устойчивую работу на 75-омный кабель.

Генератор занял почётное место на моём рабочем столе и своим видом

внушает уважение проходящих мимо коллег. Однако у него есть недостаток – выбор опорной частоты по существу ограничен двумя «удобными» номиналами – 32 768 и 16 384 кГц. В процессе работы над «утилизацией» ИС автором был найден метод коррекции кода, пригодный для произвольной частоты. Но это решение будет использовано в другом устройстве.

ЛИТЕРАТУРА

1. Гутников В.С. Интегральная электроника в измерительных устройствах. Энергия, 1980.

