

# Практический курс сквозного проектирования цифровых устройств на основе ПЛИС фирмы Xilinx

(часть 12)

Валерий Зотов (Москва)

В двенадцатой части курса приведена информация о назначении и возможных значениях параметров процесса синтеза, выполняемого с помощью средств XST САПР серии Xilinx ISE, с целью последующей реализации проектируемого устройства на базе ПЛИС с архитектурой FPGA. Рассмотрены отличия в структуре и содержании отчёта о ходе выполнения и результатах этапа синтеза при использовании кристаллов с различной архитектурой.

При выборе ПЛИС с архитектурой FPGA для реализации разрабатываемого устройства диалоговая панель параметров синтеза содержит те же три страницы, что и при использовании кристаллов с архитектурой CPLD. Однако содержание этих страниц существенно отличается, так как FPGA обладают более разнообразными аппаратными ресурсами и предоставляют более широкие возможности управления процессом синтеза. Некоторые параметры, рассмотренные в двух предыдущих частях данной статьи, применяются также и в процессе синтеза устройств, проектируемых на базе ПЛИС с архитектурой FPGA. Поэтому в последующих разделах эти параметры только перечисляются, а основное внимание уделено параметрам, которые используются исключительно для управления синтезом устройств, реализуемых на основе кристаллов семейств FPGA.

## КРАТКОЕ ОПИСАНИЕ ПАРАМЕТРОВ, УПРАВЛЯЮЩИХ ОПТИМИЗАЦИЕЙ В ПРОЦЕССЕ СИНТЕЗА FPGA

Параметры *Optimization Goal*, *Optimization Effort*, *Use Synthesis Constraints File*, *Synthesis Constraints File*, *Library Search Order*, *Keep Hierarchy*, *Generate RTL Schematic*, *Hierarchy Separator*, *Bus Delimiter*, *Case*, *Work Directory*, *HDL INI File*, *Verilog 2001*, *Verilog Include Directories*, *Custom Compile File List* и *Other XST Command Line Options*, представленные на странице *Synthesis options*, выполняют те

же функции, что и при синтезе устройств, проектируемых на базе ПЛИС с архитектурой CPLD.

Параметр *Global Optimization Goal* позволяет выбрать критерий глобальной оптимизации. В процессе синтеза проектов, реализуемых на базе FPGA, производится два вида оптимизации:

- оптимизация отдельных объектов и модулей;
- глобальная оптимизация проекта в целом.

Значение *AllClockNets* устанавливает стратегию глобальной оптимизации, ориентированную на достижение максимальной тактовой частоты проектируемого устройства. При выборе значения *Inpad to Outpad* целью оптимизации является минимизация задержек распространения сигналов от входных до выходных контактов через комбинационную логику кристалла. Значение *Offset In Before* задаёт режим оптимизации максимального времени запаздывания сигналов на маршрутах от входных контактов ПЛИС до информационных входов триггеров по отношению к тактовому сигналу. При выборе значения *Offset Out After* оптимизируется максимальная задержка распространения выходных сигналов триггеров до выходных контактов кристалла относительно сигнала синхронизации. Значение *Maximum Delay* устанавливает в качестве критерия минимизацию задержки распространения сигналов для всех цепей проекта. По умолчанию для параметра *Global*

*Optimization Goal* установлено значение *AllClockNets*.

Параметр *Read Cores* разрешает или запрещает в процессе вычисления и оптимизации временных параметров проекта чтение соответствующей информации из файлов, содержащих описания используемых параметризованных модулей (логических «ядер», *cores*) в формате EDIF или NGC, NGO. По умолчанию для этого параметра установлено значение «включено», допускающее чтение необходимых данных из указанных файлов.

С помощью параметра *Cores Search Directories* можно указать разделы, в которых будет производиться поиск файлов, содержащих описания параметризованных модулей в формате EDIF или NGC, NGO. Названия требуемых каталогов, включающие полный путь доступа, могут быть введены непосредственно с клавиатуры после активизации поля редактирования значения этого параметра или выбраны при использовании стандартной диалоговой панели открытия файла, которая отображается на экране при нажатии кнопки с пиктограммой «...». При указании нескольких разделов для поиска файлов описаний параметризованных модулей их названия отделяются друг от друга символом «|».

Параметр *Write Timing Constraints* управляет размещением временных ограничений в файле, содержащем результаты синтеза проекта (.NGC). Эти ограничения учитываются как при синтезе, так и в процессе размещения и трассировки проекта в кристалле. По умолчанию для этого параметра установлено значение «выключено», запрещающее запись временных ограничений в файл NGC.

Значение параметра *Cross Clock Analysis* разрешает или запрещает выполнение временного анализа совокупности связанных синхронных

элементов, управляемых различными тактовыми сигналами, в процессе оптимизации, которая осуществляется на этапе синтеза проектируемого устройства. По умолчанию этот параметр находится в состоянии «выключено», запрещающем проведение временного анализа указанных групп элементов в процессе синтеза разрабатываемого устройства.

С помощью параметра *Slice Utilization Ratio* указывается размер области (объём физических ресурсов) кристалла в процентном отношении, в пределах которой выполняется оптимизация временных соотношений в процессе синтеза. По умолчанию для этого параметра установлено значение 100%. Для блокировки автоматического управления временной оптимизацией средств синтеза XST следует указать значение -1. Если при временной оптимизации, выполняемой в процессе синтеза устройства, невозможно выполнить установленные топологические ограничения, то оптимизация производится без учёта этих ограничений.

Параметр *Slice Utilization Ratio* используется в процессе синтеза проектируемых устройств, реализуемых на базе ПЛИС всех серий с архитектурой FPGA, за исключением семейства Virtex-5. При синтезе устройств, разрабатываемых на базе кристаллов семейства Virtex-5, для выполнения аналогичной функции применяется параметр *LUT-FF Pairs Utilization Ratio*, который позволяет задать размер области (объём физических ресурсов) кристалла семейства Virtex-5 в процентном отношении, в пределах которого должна выполняться временная оптимизация в процессе синтеза проектируемого устройства. По умолчанию установлено значение 100%.

Значение параметра *BRAM Utilization Ratio* определяет максимальное количество модулей блочной памяти ПЛИС (Block RAM), которое может использоваться в процессе синтеза проектируемого устройства. Требуемое значение задаётся в виде соответствующего процента от максимального объёма ресурсов блочной памяти, присутствующей в выбранном кристалле. Параметр *BRAM Utilization Ratio* применяется только при синтезе устройств, реализуемых на основе ПЛИС, в составе архитектуры которых представлена блочная память. По умолчанию установлено значение 100%.

С помощью параметра *DSP Utilization Ratio* устанавливается предельное количество аппаратных блоков цифровой обработки сигналов DSP 48, которое может использоваться в процессе синтеза разрабатываемого устройства. Значение этого параметра указывается в процентном отношении к максимальному числу данных аппаратных модулей, представленных в выбранном кристалле. Параметр *DSP Utilization Ratio* присутствует только в тех случаях, когда для реализации синтезируемого устройства выбираются ПЛИС семейств Virtex-4, Virtex-5 или Spartan-3AD, содержащих аппаратные блоки цифровой обработки сигналов. По умолчанию установлено значение 100%.

Настройка *Generics, Parameters* позволяет определить или переопределить значения настраиваемых параметров (*generic* в VHDL-описании или *parameter* в Verilog-описании) в модуле исходного описания верхнего уровня иерархии проекта. В процессе синтеза разрабатываемого устройства значения соответствующих настраиваемых параметров (*generic/parameter*) заменяются значениями, указанными в поле редактирования *Generics, Parameters*. Если необходимо определить или переопределить значения нескольких параметров, то соответствующие выражения отделяются друг от друга символом «|».

Параметр *Verilog Macros* предназначен для определения или переопределения Verilog-макроса, используемого в составе HDL-описания проектируемого устройства. В поле редактирования значения этого параметра могут быть указаны несколько макросов, которые отделяются друг от друга символом «|». При выполнении этапа синтеза макросы, которые перечислены в поле редактирования, определяющие значение параметра *Verilog Macros*, заменяют соответствующие макросы в модуле исходного описания разрабатываемого устройства.

### **КРАТКОЕ ОПИСАНИЕ ПАРАМЕТРОВ, УПРАВЛЯЮЩИХ СИНТЕЗОМ ОТДЕЛЬНЫХ КАТЕГОРИЙ ОБЪЕКТОВ HDL-ОПИСАНИЙ ПРОЕКТИРУЕМЫХ УСТРОЙСТВ, РЕАЛИЗУЕМЫХ НА FPGA**

Параметры *FSM Encoding Algorithm, Safe Implementation, Case Implemen-*

*tation Style, Mux Extraction* и *Resource Sharing*, расположенные на странице *HDL Options*, имеют то же назначение, что и при синтезе устройств на базе ПЛИС с архитектурой CPLD.

Значение параметра *FSM Style* определяет тип элементов, используемых для реализации конечных автоматов, входящих в состав описания проектируемого устройства. Конечные автоматы могут быть реализованы на базе таблиц преобразования *Look-Up Table (LUT)* или модулей памяти *Block RAM*. По умолчанию для данного параметра установлено значение *LUT*, при котором для реализации конечных автоматов применяются ресурсы таблиц преобразования. Чтобы использовать ресурсы блочной памяти кристалла, необходимо в выпадающем списке возможных значений рассматриваемого параметра выбрать *Block RAM*.

Параметр *RAM Extraction* позволяет включить или выключить режим извлечения макросов ОЗУ (*RAM*) в процессе синтеза разрабатываемого устройства. Значение «включено», установленное по умолчанию, разрешает средствам синтеза XST выделение макросов ОЗУ в исходном коде HDL-описания.

С помощью параметра *RAM Style* указывается способ реализации макросов ОЗУ, формируемых средствами синтеза XST. Выпадающий список возможных значений этого параметра содержит три варианта: *Auto, Distributed* и *Block*. По умолчанию используется значение *Auto*, при котором средства синтеза XST для каждого идентифицированного макроса ОЗУ автоматически устанавливают тип памяти ПЛИС, обеспечивающий его оптимальную реализацию. При выборе значения *Distributed* все синтезированные макросы ОЗУ представляются на этапе реализации в виде распределённой памяти. Значение *Block* определяет последующую реализацию всех макросов ОЗУ на базе модулей блочной памяти.

Значение параметра *ROM Extraction* разрешает или запрещает средствам синтеза XST извлечение макросов ПЗУ (*ROM*). По умолчанию установлено значение «включено», разрешающее выделение *ROM*-макросов в исходных HDL-описаниях проекта. Обычно макросы ПЗУ могут создаваться (извлекаться) из операторов выбора (*Case*), в которых присваива-

емые значения являются постоянными величинами.

Параметр *ROM Style* предназначен для выбора способа реализации макросов ПЗУ, извлекаемых средствами синтеза XST. В выпадающем списке допустимых значений данного параметра представлено три варианта: *Auto*, *Distributed* и *Block*. По умолчанию установлено значение *Auto*, при котором для каждого идентифицированного макроса ПЗУ средства синтеза автоматически выбирают тип памяти кристалла, обеспечивающий оптимальную реализацию этого макроса. Если для рассматриваемого параметра указано значение *Distributed*, то все синтезированные макросы ПЗУ представляются в виде, соответствующем реализации на основе ресурсов распределённой памяти ПЛИС. Выбор варианта *Block* обеспечивает последующую реализацию всех синтезированных макросов ПЗУ на основе модулей блочной памяти.

С помощью параметра *Automatic BRAM Packing* разработчик может установить режим синтеза элементов запоминающих устройств, реализуемых на базе ресурсов блочной памяти ПЛИС, при котором два элемента однопортовой памяти автоматически объединяются (упаковываются) в один примитив двухпортового запоминающего устройства. При этом следует учитывать, что объединяемые элементы блочной памяти должны соответствовать одному уровню иерархии проекта. По умолчанию для параметра *Automatic BRAM Packing* используется значение «выключено», при котором упаковка элементов блочной памяти не производится.

Параметр *Mux Style* используется для управления выбором метода реализации макросов мультиплексоров, сформированных средствами синтеза. Выпадающий список возможных значений включает три варианта: *Auto*, *MUXF* и *MUXCY*. Значение *Auto*, установленное по умолчанию, позволяет средствам синтеза автоматически выбрать наилучший способ последующей реализации для каждого макроса мультиплексора, извлекаемого в процессе синтеза проектируемого устройства. При выборе значения *MUXF* в качестве ресурсов для реализации всех макросов мультиплексоров, обнаруженных средствами синтеза, назначаются мультиплексоры MuxF5, MuxF6, MuxF7 или MuxF8, ко-

торые входят в состав дополнительной логики каждого конфигурируемого логического блока ПЛИС соответствующих серий (Virtex и Spartan). Значение *MUXCY* задаёт в качестве способа интерпретации всех макросов мультиплексоров использование ресурсов мультиплексоров MuxCY.

Значение параметра *Decoder Extraction* разрешает или запрещает средствам синтеза извлечение макросов декодеров (дешифраторов). По умолчанию установлено значение «включено», разрешающее выделение указанных макросов в исходном коде HDL-описаний.

С помощью параметра *Priority Encoder Extraction* осуществляется управление синтезом макросов приоритетных шифраторов. В выпадающем списке доступных значений этого параметра содержится три варианта: *Yes*, *No* и *Force*. Значение *No* запрещает извлечение (создание) макросов приоритетных шифраторов. При выборе значения *Yes*, установленного по умолчанию, для каждого обнаруженного описания приоритетного шифратора, выполненного на базе некоторого внутреннего алгоритма, средства синтеза XST формируют макрос или оптимизируют его совместно с остальной частью проекта. Значение *Force* предписывает средствам синтеза игнорировать внутренние алгоритмы и всегда создавать макросы для идентифицированных блоков описания приоритетных шифраторов.

Параметр *Shift Register Extraction* разрешает или запрещает извлечение макросов регистров сдвига в процессе синтеза. Значение «включено», установленное по умолчанию, разрешает средствам синтеза выделение макросов сдвиговых регистров в исходном коде HDL-описания.

Значение параметра *Logical Shifter Extraction* указывает способ синтеза описаний устройств логического сдвига. По умолчанию установлено значение «включено», разрешающее формирование макросов для идентифицированных описаний устройств логического сдвига.

Параметр *XOR Collapsing* определяет метод синтеза каскадных конструкций «Исключающее ИЛИ» (XOR). При использовании значения «включено», установленного по умолчанию, в процессе синтеза производится «сжатие» каскадных XOR-структур в одиночные структуры.

Параметр *Multiplier Style* позволяет указать метод синтеза и последующей реализации макросов умножителей при использовании ПЛИС семейств Virtex-II, Virtex-II Pro, Virtex-II Pro X, Spartan-3, Spartan-3E и Spartan-3A. В выпадающем списке доступных значений этого параметра представлено четыре варианта: *Auto*, *Block*, *LUT* и *Pipe\_LUT*. Значение *Auto*, установленное по умолчанию, позволяет средствам синтеза автоматически выбрать наилучший метод последующей реализации для каждого обнаруженного макроса умножителя. Использование варианта *Block* указывает на то, что процесс синтеза должен осуществляться с учётом последующего использования встроенных аппаратных блоков умножителей в кристаллах указанных семейств. При выборе значения *LUT* синтез макросов умножителей выполняется с учётом их последующей реализации на базе ресурсов таблиц преобразования. Вариант *Pipe\_LUT* соответствует синтезу умножителей для реализации на основе таблиц преобразования с привлечением дополнительных регистров.

Значение параметра *Use DSP48* определяет возможность использования аппаратных блоков цифровой обработки сигналов DSP 48 для реализации соответствующих макросов в проектах, выполняемых на базе ПЛИС семейства Virtex-4. Выпадающий список возможных значений этого параметра включает три варианта: *Auto*, *Yes* и *No*. По умолчанию данный параметр принимает значение *Auto*, при котором средства синтеза автоматически определяют наиболее эффективный вариант реализации соответствующих макросов. Если для параметра *Use DSP48* указано значение *Yes*, то в процессе синтеза разрабатываемого устройства блоки цифровой обработки сигналов будут задействованы там, где это возможно. При выборе варианта *No* синтез проектируемого устройства осуществляется с учётом последующей реализации соответствующих макросов на базе стандартных ресурсов ПЛИС с архитектурой FPGA.

С помощью параметра *Use DSP Block* определяется возможность применения аппаратных модулей цифровой обработки сигналов для реализации соответствующих макросов в проектах, выполняемых на базе ПЛИС семейств Virtex-5 или Spartan-3AD. В вы-

падающем списке доступных значений данного параметра представлены те же три варианта, что и для параметра *Use DSP48*. Эти варианты устанавливают аналогичные режимы использования аппаратных модулей цифровой обработки сигналов в процессе синтеза устройств, разрабатываемых на основе кристаллов семейств Virtex-5 или Spartan-3AD.

Параметр *Asynchronous to Synchronous* разрешает или запрещает в процессе синтеза проектируемого устройства преобразование сигналов (цепей) асинхронного сброса и установки в сигналы синхронного сброса и установки. По умолчанию для этого параметра используется значение *No*, запрещающее преобразование указанных сигналов.

### КРАТКОЕ ОПИСАНИЕ ПАРАМЕТРОВ СИНТЕЗА, УЧИТЫВАЮЩИХ ТРЕБОВАНИЯ СРЕДСТВ ТРАССИРОВКИ САПР СЕРИИ XILINX ISE ДЛЯ ПРОЕКТОВ, РЕАЛИЗУЕМЫХ НА FPGA

Описание и возможные значения параметров *Add I/O Buffers, Equivalent*

*Register Removal*, представленных на странице *Xilinx Specific Options*, можно найти в предыдущих частях статьи.

Значение параметра *Max Fanout* устанавливает максимально допустимое количество ветвлений цепей в процессе синтеза. Наличие цепей с большим количеством ветвлений создаёт проблемы в процессе их последующей трассировки. Для исключения таких проблем с помощью параметра *Max Fanout* задаётся предельное значение, ограничивающее количество ветвлений результирующих цепей. Средства синтеза могут сократить количество ветвлений путём дублирования соответствующих регистров и вентилях, а также за счёт установки дополнительных буферных элементов. Значение, предлагаемое по умолчанию для рассматриваемого параметра, зависит от выбранного семейства ПЛИС. Если для реализации синтезируемого устройства используются ПЛИС семейства Virtex-5, то параметр *Max Fanout* по умолчанию принимает значение 100 000. При выборе кристаллов семейств Virtex-II, Virtex-II Pro, Virtex-4, Spartan-3,

Spartan-3E и Spartan-3A это значение равно 500. В случае реализации синтезируемого устройства на базе ПЛИС семейств Virtex, Virtex-E, Spartan-II и Spartan-III для рассматриваемого параметра по умолчанию устанавливается значение 100.

С помощью параметра *Number of Clock Buffers* определяется максимальное количество глобальных буферных элементов, создаваемых средствами XST при синтезе проектируемого устройства. Задаваемое значение этого параметра должно соответствовать объёму глобальных ресурсов, который указан в справочных данных для выбранного типа ПЛИС. Значение по умолчанию для параметра *Number of Clock Buffers* определяется типом кристалла, используемого для реализации проектируемого устройства.

Параметр *Number of Regional Clock Buffers* позволяет указать максимальное количество буферных элементов BUFR, используемых в процессе синтеза разрабатываемого устройства. Этот параметр может применяться только при синтезе проектируемых устройств для последующей реализа-



## ВЫСОКОТЕМПЕРАТУРНЫЕ РАДИАЦИОННОСТОЙКИЕ SiC и GaN СВЧ-транзисторы



- ✓ Диапазон частот: до 4 ГГц
- ✓ Напряжение питания: 28...48 В
- ✓ Мощность: 10...60 Вт
- ✓ КПД: > 45%
- ✓ Температура перехода: > 255°C
- ✓ Наработка на отказ (MTTF) SiC СВЧ-приборов:  
2,2 млн. часов при +225°C  
60 млн. часов при +175°C



ПРОСОФТ - официальный дистрибьютор компании Cree

**PROSOFT**®

ПРОСОФТ — АКТИВНЫЙ КОМПОНЕНТ ВАШЕГО БИЗНЕСА

Телефон: (495) 232-2522 • E-mail: info@prochip.ru • Web: www.prochip.ru

ции на базе ПЛИС семейств Virtex-4 или Virtex-5. Значение, установленное по умолчанию для рассматриваемого параметра, зависит от выбранного типа кристалла.

Значение параметра *Register Duplication* разрешает или запрещает средствам синтеза дублирование регистров при временной оптимизации и сокращении количества разветвлений цепей. Значение «включено», установленное по умолчанию, разрешает дублирование регистров в процессе синтеза проектируемого устройства.

Параметр *Register Balancing* используется для повышения тактовой частоты разрабатываемого устройства за счёт перемещения триггеров относительно логики. Выпадающий список возможных значений этого параметра содержит четыре варианта: *Yes*, *No*, *Forward* и *Backward*. По умолчанию установлено значение *No*, запрещающее перестановку триггеров. Значение *Yes* разрешает перестановку триггеров в прямом и обратном направлениях. При выборе значения *Forward* перемещение разрешается только в прямом направлении, т.е. триггеры на входах таблицы преобразования *LUT* заменяются триггером на её выходе. Значение *Backward* допускает только обратное перемещение триггеров, при котором триггер на выходе *LUT*-таблицы преобразуется в серию триггеров на её входах.

С помощью параметра *Move First Flip-Flop Stage* расширяются возможности применения настройки *Register Balancing*. При использовании значения «включено», установленное по умолчанию, в процессе перестановки триггеров могут участвовать и триггеры, подключаемые к входным контактам кристалла. Значение «выключено» позволяет исключить из процесса перемещения входные триггеры.

Параметр *Move Last Flip-Flop Stage* оказывает аналогичное влияние на применение настройки *Register Balancing* в процессе синтеза проектируемого устройства. По умолчанию для этого параметра установлено значение «включено», разрешающее использовать в процессе перестановки триггеры, подключаемые к выходным контактам кристалла. При выборе значения «выключено» выходные триггеры исключаются из процесса перемещения. Следует обратить внимание на то, что настройки *Move First Flip-Flop Stage*

и *Move Last Flip-Flop Stage* доступны для использования, только если для параметра *Register Balancing* выбрано значение, допускающее перестановку триггеров (*Yes*, *Forward* или *Backward*). Для этих параметров рекомендуется использовать значения, установленные по умолчанию.

С помощью параметра *Pack I/O Registers into IOBs* осуществляется управление компоновкой триггеров в блоки ввода-вывода на этапе синтеза. В выпадающем списке доступных значений этого параметра представлено три варианта: *Auto*, *Yes* и *No*. Значение *Auto*, установленное по умолчанию, предписывает средствам синтеза выполнять упаковку триггеров в блоки ввода-вывода при соблюдении требований временных спецификаций. При выборе значения *Yes* средства синтеза используют триггеры, входящие в состав блоков ввода-вывода, везде, где это возможно. Значение *No* запрещает средствам синтеза поглощение входных и выходных триггеров.

Значение параметра *Slice Packing* разрешает или запрещает средствам синтеза выполнять упаковку блоков кода с критическими связями в одну секцию *Slice* или конфигурируемый логический блок *CLB (Configurable Logic Block)*. Значение «включено», установленное по умолчанию, позволяет увеличить производительность устройства за счёт использования высокоскоростных цепей связи с таблицами преобразования в рамках одного конфигурируемого логического блока *CLB*. При выборе значения «выключено» встроенный компоновщик средств синтеза не используется.

Параметр *Convert Tristates to Logic* определяет возможность представления буферных элементов, имеющих выходы с тремя состояниями, в виде конструкций, реализуемых на основе логических элементов. Такое представление позволяет в ряде случаев повысить производительность проектируемых устройств. При использовании значения *Yes*, установленного по умолчанию, средства синтеза преобразуют описания буферных элементов с тристабильными выходами в соответствующие логические конструкции. Если для данного параметра выбирается значение *No*, то описания указанных буферных элементов реализуются на основе примитивов *TBUF*. Параметр *Convert Tristates to*

*Logic* недоступен при синтезе устройств, реализуемых на базе ПЛИС семейств Spartan-3, Virtex-4 и Virtex-5.

С помощью параметра *Use Clock Enable* указывается возможность использования в триггерах синтезируемого устройства входов сигналов разрешения синхронизации *Clock Enable*. Выпадающий список доступных значений этого параметра включает в себя три варианта: *Auto*, *Yes* и *No*. При выборе значения *Auto* средства синтеза автоматически определяют необходимость использования входов сигналов разрешения синхронизации. Значение *Yes* разрешает задействовать входы разрешения синхронизации в триггерах синтезируемого устройства. Вариант *No* запрещает использование входов сигналов разрешения синхронизации. По умолчанию для параметра *Use Clock Enable* установлено значение *Auto* при синтезе устройств, реализуемых на базе ПЛИС семейств Virtex-4 и Virtex-5. Для всех остальных семейств *FPGA* данный параметр по умолчанию принимает значение *Yes*.

Значение параметра *Use Synchronous Set* определяет возможность использования входов сигналов синхронной установки в триггерах синтезируемого устройства. В выпадающем списке доступных значений этого параметра представлены те же варианты, что и для параметра *Use Clock Enable*. Если для параметра *Use Synchronous Set* указано значение *Auto*, то средства синтеза автоматически оценивают эффективность использования входов сигналов синхронной установки в триггерах и выбирают оптимальный вариант. При указании значения *Yes* входы синхронной установки будут задействованы в триггерах синтезируемого устройства. Выбор значения *No* устанавливает запрет на использование входов синхронной установки. Параметр *Use Synchronous Set* по умолчанию принимает те же значения, что и параметр *Use Clock Enable*.

С помощью параметра *Use Synchronous Reset* осуществляется управление использованием входов синхронного сброса в триггерах синтезируемого устройства. Выпадающий список возможных значений данного параметра включает в себя те же варианты, что и для параметра *Use Synchronous Set*. Эти значения соответствуют аналогичным вариантам использования

входов синхронного сброса в триггерах синтезируемого описания. Значения по умолчанию для параметра *Use Synchronous Reset* устанавливаются в соответствии с теми же правилами, что и для параметра *Use Clock Enable*.

Параметр *Optimize Instantiated Primitives* позволяет выбрать режим оптимизации примитивов, используемых в составе синтезируемого описания. Значение «выключено», установленное по умолчанию, запрещает оптимизацию примитивов в процессе синтеза разрабатываемого устройства. Если для данного параметра выбрано значение «включено», то средства синтеза дополнительно выполняют оптимизацию используемых примитивов.

Все вновь установленные значения параметров синтеза вступают в силу только после нажатия клавиши ОК, расположенной в нижней части диалоговой панели.

### Выполнение этапа синтеза устройств, проектируемых на базе ПЛИС с архитектурой FPGA

Запуск процесса синтеза устройств, разрабатываемых на базе ПЛИС се-

мейств FPGA, при использовании средств XST CAIP серии Xilinx ISE осуществляется так же, как и для проектов, реализуемых на основе кристаллов серий CPLD. Подробные сведения о ходе и результатах выполнения этапа синтеза отражаются в отчете, который открывается двойным щелчком левой кнопкой мыши на строке View Synthesis Report во встроенном окне Processes Window. Структура этого отчета незначительно отличается от структуры подобного файла, формируемого в процессе синтеза устройств для последующей реализации на основе кристаллов с архитектурой CPLD.

В состав генерируемого отчета также входят девять разделов, назначение которых было рассмотрено в предыдущей части статьи. При этом содержание этих разделов имеет ряд отличий по сравнению с отчетом о результатах синтеза устройств, проектируемых на базе ПЛИС семейств CPLD. Первые восемь разделов отчета имеют незначительные различия, которые обусловлены изменением состава параметров синтеза и базисных элементов. Наиболее существенные

отличия проявляются в девятом разделе отчета. При синтезе устройств, реализуемых на базе ПЛИС с архитектурой FPGA, в его состав добавляются подразделы, которые рассматриваются ниже.

В качестве примера на сайте журнала приведен текст заключительного раздела отчета о выполнении процесса синтеза схематехнического описания счётчика Джонсона, реализуемого на основе ПЛИС с архитектурой FPGA.

В начале этого раздела приведена информация о выходных параметрах процесса синтеза и количестве примитивов (базисных элементов) каждого типа, использованных в синтезированном описании проектируемого устройства. По классификации, выполняемой средствами синтеза XST, существует восемь типов примитивов (базисных элементов):

- BELS, базовые элементы, к которым относятся таблицы преобразований (LUT), мультиплексоры (MUXCY, MUXF5, MUXF6, MUXF7, MUXF8) и стандартные логические элементы (например, AND2, OR2);
- Flip-flops/Latches, триггеры с динамическим и потенциальным управ-

## ЗАО «НПФ «ДОЛОМАНТ» –

Одна из самых высокотехнологичных компаний России – приглашает к сотрудничеству и осуществляет:



ЗАО «НАУЧНО-ПРОИЗВОДСТВЕННАЯ ФИРМА «ДОЛОМАНТ»



#### поставку ☆

электронных компонентов в качестве второго поставщика (номенклатура порядка 400 тыс. наименований более 60 зарубежных производителей) при сотрудничестве с группой компаний ПРОСОФТ

#### производство ☆

промышленных и встраиваемых компьютеров (в форматах Compact PCI, VME, EPIC, 3,5", PC/104, MicroPC, AT96, PICMG, Mini-ITX, ATX), плат для монтажа на DIN-рейку, а также каркасов, шлейфов, кабелей и аксессуаров, предназначенных для работы в жестких условиях эксплуатации с военной приёмкой

#### разработку ☆

программных и аппаратных средств по ТЗ заказчика под контролем ВП

#### контрактную сборку ☆

изделий по КД заказчика, включая изготовление печатных плат, поверхностный монтаж и тестирование электронных модулей, изготовление механических деталей корпусов и передних панелей под контролем ВП

Производственное высокоавтоматизированное оборудование для поверхностного монтажа электронных модулей ЗАО «НПФ» «Доломант» соответствует уровню требований мировых производителей. Оборудование адаптировано к использованию бессвинцовой технологии, позволяет производить автоматическую разбраковку и рентгеновский контроль качества пайки.

#### ЗАО «НПФ «ДОЛОМАНТ»

имеет лицензии на разработку и производство электронных средств для ВВТ и атомных электростанций, свидетельство об аттестации второго поставщика, а также СМК, сертифицированную в системе «Военный регистр» на соответствие ГОСТ Р ИСО 9001 и ГОСТ РВ 15.002.

117437, Москва, ул. Профсоюзная, д. 108

Тел./факс: (495) 232-20-33

E-mail: info@dolomant.ru

Web: www.dolomant.ru

Реклама

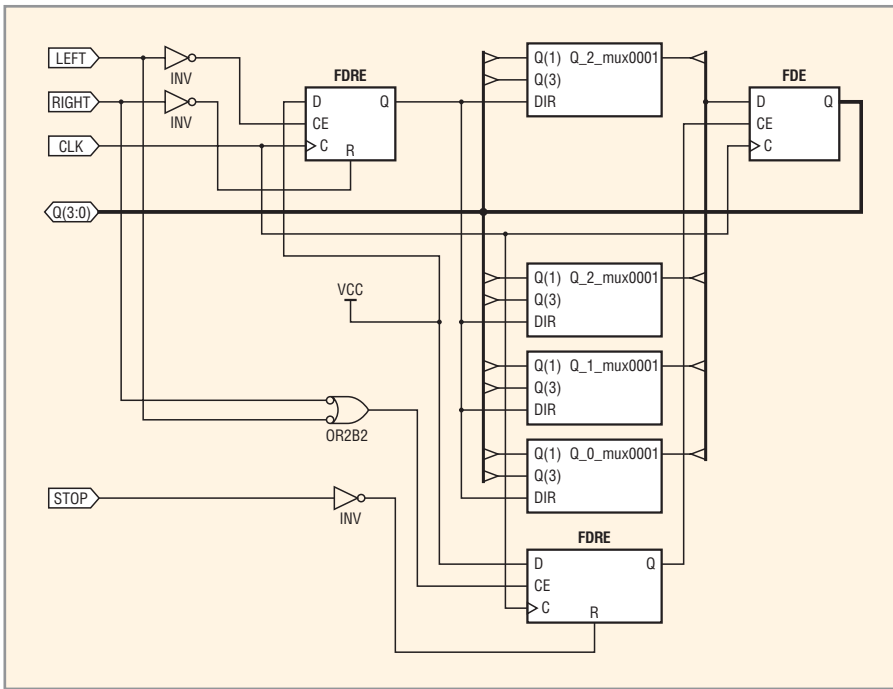


Рис. 7. Отображение списка соединений VHDL-описания счётчика Джонсона, реализуемого на базе ПЛИС с архитектурой FPGA, на RTL-уровне в схематехнической форме

- лением (защёлки) (например, элементы FDR, FDRE, LD);
- RAMS, элементы ОЗУ;
- SHIFTERS, регистры сдвига (например, элементы SRL16, SRL16\_1, SRL16E, RL16E\_1);
- Tri-States, элементы с тристабильными выходами (например, BUFT);
- Clock Buffers, глобальные буферные элементы, используемые в

- цепях синхронизации (например, элементы BUFG, BUFGP, BUFGDLL);
- IO Buffers, стандартные входные и выходные буферные элементы, подключаемые к выводам кристалла (например, элементы IBUF, OBUF, IOBUF, OBUFT, IBUF\_GTL);
- OTHER, элементы, не включенные ни в одну из предыдущих групп.

Иногда стандартные логические элементы выделяются в отдельную группу LOGICAL.

Затем в подразделе *Device utilization summary* отображаются итоговые статистические характеристики полученных результатов синтеза проектируемого устройства. Здесь представлены сведения об абсолютном и относительном количестве базисных элементов, применяемых в составе синтезированного описания разрабатываемого устройства. В следующем подразделе (*Partition Resource Summary*) содержится итоговая информация о разбиении разрабатываемого проекта на секции.

Последняя часть заключительного раздела отчёта (*TIMING REPORT*) содержит информацию о временных параметрах синтезированного проекта. Все временные характеристики, приведённые в этом разделе, носят предварительный (оценочный) характер. Более достоверная информация может быть получена только после выполнения этапа размещения и трассировки проекта в кристалле ПЛИС.

Подраздел временных характеристик (*TIMING REPORT*) включает в себя четыре секции: *Clock Information*, *Asynchronous Control Signals Information*, *Timing Summary* и *Timing Detail*. В первой секции (*Clock Information*) перечисляются сигналы синхронизации

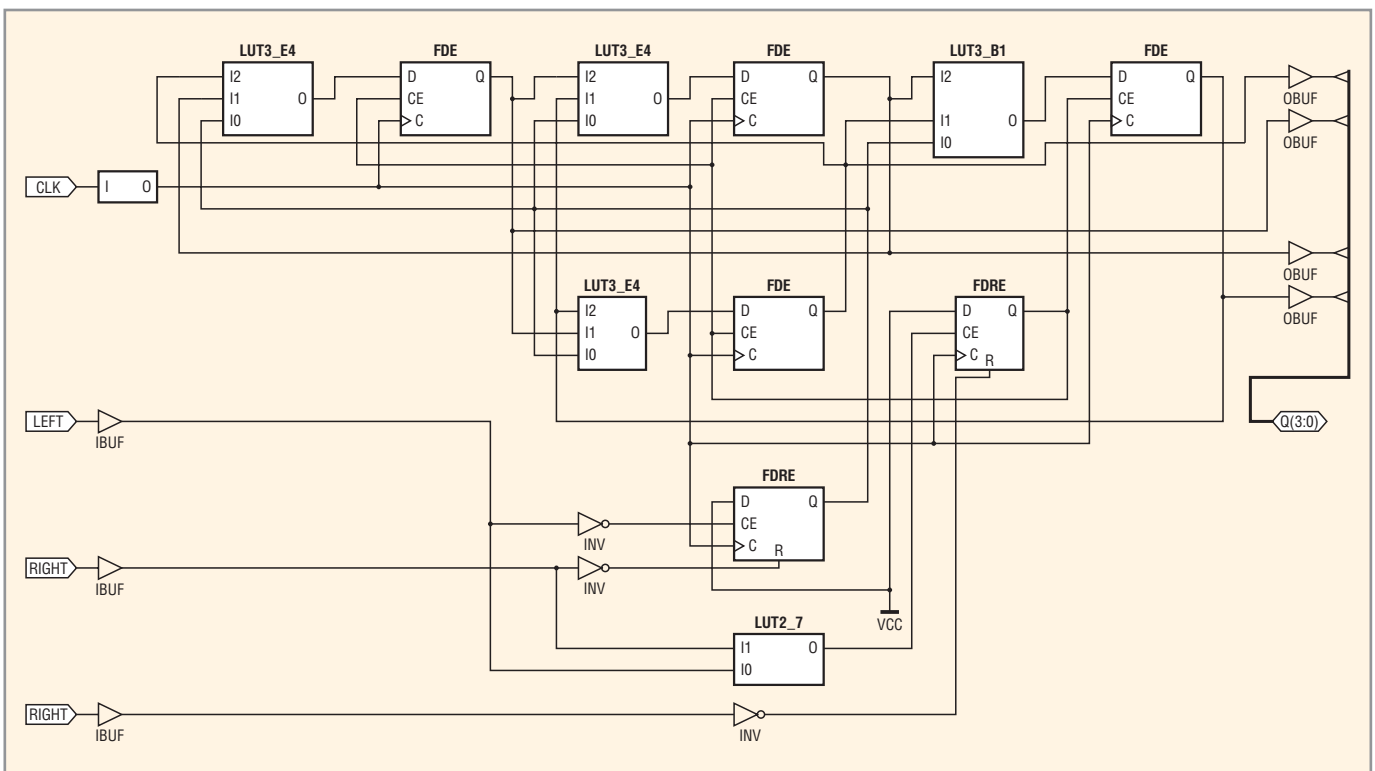


Рис. 8. Схематехническое представление результатов синтеза VHDL-описания счетчика Джонсона на технологическом уровне, предназначенных для последующей реализации на базе ПЛИС с архитектурой FPGA

ции и типы буферных элементов, использованных для их формирования. Вторая секция (*Asynchronous Control Signals Information*) содержит сведения об асинхронных сигналах управления и типах буферных элементов, применяемых для их формирования. Секция *Timing Summary* даёт предельные значения основных временных характеристик: максимальное значение тактовой частоты, минимальное время установления входных сигналов по отношению к сигналу синхронизации, максимальная задержка выходных сигналов по отношению к сигналу синхронизации, максимальная задержка распространения сигнала с входа до выхода через комбинационную логику. В секции *Timing Detail* представлено детальное описание временных характеристик критических путей распространения сигналов в структуре разрабатываемого устройства. Завершают рассматриваемый раздел отчёта итоговые сведения о количестве обнаруженных ошибок и предупреждений.

При анализе сформированного отчёта следует обратить внимание на то, что результаты синтеза одного и

того же исходного описания проектируемого устройства принципиально различаются при использовании ПЛИС семейств CPLD и FPGA. Эти отличия обусловлены, в первую очередь, изменением состава базисных элементов синтеза, который определяется архитектурой применяемого семейства кристаллов. Некоторые отличия проявляются уже при отображении в схематехнической форме списка соединений (netlist) проектируемого устройства на RTL-уровне. Для иллюстрации этих отличий на рисунке 7 приведено изображение принципиальной схемы, которая отражает список соединений на уровне RTL описания (VHDL) счётчика Джонсона, синтезированного для последующей реализации на базе ПЛИС с архитектурой FPGA. Данная схема отображается в окне программы *RTL Viewer* при двойном щелчке левой кнопкой мыши на строке *View RTL Schematic* в окне процессов *Processes Window*.

Наиболее существенные отличия проявляются в схематехническом представлении результатов синтеза на технологическом уровне. В каче-

стве примера, демонстрирующего различия результатов синтеза разрабатываемых устройств при использовании ПЛИС с архитектурой CPLD и FPGA, на рисунке 8 показана принципиальная схема, отражающая результаты синтеза на технологическом уровне VHDL-описания счётчика Джонсона, реализуемого на основе ПЛИС с архитектурой FPGA. Данное схематехническое представление результатов синтеза открывается в окне программы *Technology Viewer* при двойном щелчке левой кнопкой мыши на строке *View Technology Schematic* в окне процессов *Processes Window*.

Если полученные результаты синтеза не соответствуют исходным требованиям проекта (например, значения временных характеристик не удовлетворяют установленным ограничениям), следует повторить этот этап, изменив значения его параметров. При достижении успешных результатов синтеза следует перейти к этапу реализации (implementation) проектируемого устройства. ☺

Продолжение следует

## Новости мира News of the World Новости мира

### Powerchip включается в разработку 32-нм техпроцесса

Тайваньский производитель микросхем памяти DRAM и NAND компания Powerchip Semiconductor Corporation (PSC) объявила на днях о присоединении к проекту по совместной разработке технологий производства микросхем оперативной памяти по 32-нм нормам, ведомому бельгийским независимым исследовательским центром IMEC.

Согласно условиям соглашения, PSC примет участие в проектах, касающихся разработки методов иммерсионной и вакуумной (EUV) литографии, а также методики двойного экспонирования. Напомним, что в данном направлении в рамках проекта IMEC уже работает большинство ведущих производителей микросхем памяти: Micron, Qimonda, Samsung, Elpida и Hynix. PSC планирует присоединиться к проекту в марте 2008 г.

Данный шаг в очередной раз демонстрирует тёплые отношения IMEC и тайваньских производителей, – полагают отраслевые аналитики. Буквально неделю назад IMEC открыла на Тайване свое

представительство, которое в среднесрочной перспективе должно превратиться в научно-исследовательский центр. Однако пока исследователям из тайваньской компании придётся начать работу над проектом в штаб-квартире IMEC в г. Левен, Бельгия.

eetimes.com

### Лимит «многозадачности» человека равен четырём

Многие продвинутые управленцы любят воображать себя «многоголовыми монстрами», способными одновременно выполнить несколько дел, например, проверять электронную почту во время разговора по телефону и просмотра ежедневных котировок акций компании на бирже и т.д. Но они впустую тратят время, если пытаются сконцентрироваться более чем на четырёх процессах одновременно, – утверждают учёные из Университета штата Орегон, США.

Исследователи установили, что наш мозг имеет своеобразный предустановленный природой лимит на количество одновременно выполняемых мыслительных процессов. Этот лимит для большинства индивидуумов равняется

четырёх и не может быть преодолен ни силой воли, ни длительными тренировками. Причём в случае выполнения сложных умственных упражнений ограничение распространяется на количество одновременно решаемых задач в «многозадачном мыслительном приложении».

Кроме того, исследователи выявили строгую корреляцию между объёмом краткосрочной памяти человека и его интеллектом. Например, люди с потенциально высоким IQ способны решать несколько задач одновременно, однако нет никакой уверенности, что они могут успешно пройти стресс-тесты или быть полезными на работе. Их память может быть очень вместительной, но недостаточно свободной для полноценной работы. Такие люди много размышляют и слышат «аналитиками», однако практический выход их умственных усилий, как правило, невысок.

Исследование профинансировано Национальным институтом здоровья США (National Institutes of Health) и Национальным научным фондом США (National Science Foundation).

eetimes.com