

# Virtex-5 и другие современные ПЛИС фирмы Xilinx

Илья Тарасов (Владимирская обл.)

**Технология программируемых логических интегральных схем (ПЛИС) в настоящее время является важным направлением развития цифровой электроники. В статье даётся краткий обзор современных семейств ПЛИС с архитектурой FPGA фирмы Xilinx, являющейся в настоящее время лидером мирового рынка в данной области.**

## ОБЩИЕ СВЕДЕНИЯ

В течение последних 10 лет среди ПЛИС с архитектурой FPGA прослеживаются два магистральных направления развития. Одно из них соответствует интеграции в кристалл современных достижений цифровой электроники и реализации максимальной производительности и функциональных возможностей (при высокой стоимости ПЛИС), второе – минимизации стоимости микросхемы при сохранении приемлемых возможностей. Для фирмы Xilinx этим направлениям, в основном, соответствуют серии Virtex и Spartan. Не так давно была радикально обновлена платформа семейства Virtex-5, что побудило автора написать краткий обзор современного состояния ПЛИС фирмы Xilinx.

В последнее время фирма Xilinx регулярно осваивала всё более «тонкие» технологические процессы, выпуская для каждой последующей топологической нормы новое семейство

Virtex (начиная с 0,25 мкм и завершая 65 нм для Virtex-5). В преддверии перехода производителей ПЛИС к технологическим нормам 45 нм и менее можно оценить тенденции развития архитектуры программируемых ресурсов и аппаратного состава функциональных узлов FPGA.

Для удобства описания основные характеристики современных FPGA фирмы Xilinx были сведены в таблицу. Из высокопроизводительных приборов в ней представлены Virtex-4 и Virtex-5, из недорогих – «магистральное» семейство Spartan-3, существующее в настоящее время в пяти разновидностях.

## АРХИТЕКТУРА SPARTAN-3

Рассмотрим тенденции развития архитектуры современных FPGA, отталкиваясь от более простого семейства Spartan-3. Основным элементом FPGA являются программируемые логические ячейки, состоящие (грубо) из программируемого логического генератора и триггера. Промышлен-

ным стандартом долгое время считался четырёхходовый генератор, в основе которого лежит статическая память с организацией  $16 \times 1$  бит (что и даёт возможность реализации произвольной четырёхходовой логической функции). Каждая логическая ячейка может реализовать целый ряд цифровых узлов, являясь основным строительным блоком проектов на базе ПЛИС. Для семейства Spartan-3 логическая ёмкость измеряется в эквивалентных логических вентилях, в которые пересчитывается каждая из размещённых на кристалле групп ресурсов. Эквивалентная ёмкость ПЛИС этого семейства достигает 5 млн. вентилях.

Однако оценка ёмкости ПЛИС на основе вентилях является ориентировочной, и, по сравнению с заказной БИС (ASIC), ПЛИС учитывает ресурсы неравномерно. Обычным является неполное использование ячеек, поскольку даже частичное привлечение ячеек к реализации того или иного узла цифровой схемы в большинстве случаев приводит к невозможности использования «остатка» ячейки другим узлом. Поэтому цифровые устройства с преимущественным использованием комбинаторной логики или триггеров расходуют ресурсы логических ячеек не рационально. Примерами таких устройств могут служить аппаратные умножители независимых операндов, выполненные по параллельной схеме (логика) и блоки памяти с произвольным доступом (триггеры).

Однако современные ПЛИС, кроме логических ячеек, содержат на кристалле также выделенные умножители и блоки статической памяти. Эти ресурсы представляют собой аппаратные IP-ядра, полностью аналогичные применяемым в ASIC, и существенно повышают производительность и функциональные возможности ПЛИС. Аппаратные умножители для недорогих ПЛИС были внедрены фирмой Xilinx именно в семействе Spartan-3, что повы-

Основные характеристики современных FPGA фирмы Xilinx

Тип ПЛИС	Технологический процесс, нм	Ёмкость (тыс. ячеек для Virtex/вентилей для Spartan)	Тип ячейки DSP	Тип блока памяти, Кбит	Аппаратное процессорное ядро	Аппаратные приёмопередатчики
Virtex-5 FXT	65	30 – 200	$25 \times 18 = 48$	36	PowerPC 440	EMAC/PCIe/SATA
Virtex-5 SXT	65	35 – 240	$25 \times 18 = 48$	36	-	EMAC/PCIe/SATA
Virtex-5 LXT	65	30 – 330	$25 \times 18 = 48$	36		EMAC/PCIe/SATA
Virtex-5 LX	65	30 – 330	$25 \times 18 = 48$	36		EMAC
Virtex-4 FX	90	12 – 200	$18 \times 18 = 48$	18	PowerPC 405	EMAC
Virtex-4 SX	90	25 – 55	$18 \times 18 = 48$	18	-	
Virtex-4 LX	90	15 – 200	$18 \times 18 = 48$	18		
Spartan-3	90	50 – 5000	$18 \times 18$	18		
Spartan-3E	90	100 – 1600	$18 \times 18$	18		
Spartan-3A	90	50 – 1400	$18 \times 18$	18		
Spartan-3AN	90	50 – 1400	$18 \times 18$	18		
Spartan-3A DSP	90	1800 – 3400	$18 \times 18 = 48$	18		

сило его привлекательность для решения задач цифровой обработки сигналов: появилась возможность разработать проект, обрабатывающий входные данные на частоте до 200 МГц (технический предел для умножителей составляет 266...333 МГц), и даже устройства начального уровня содержат 12 – 16 умножителей (до сотни в старших устройствах). Таким образом, производительность младших моделей недорогих FPGA типа Spartan-3 в задачах цифровой обработки сигналов достигает 2,5 GMAC/s, что сопоставимо с производительностью специализированных сигнальных процессоров верхнего уровня. Фактически абсолютные показатели производительности сигнальных процессоров могут быть превышены в проекте на базе FPGA за счёт распараллеливания вычислений.

Проектированию эффективных устройств цифровой обработки сигналов способствует интеграция с умножителями блоков статической памяти, которые могут быть использованы для буферизации входных данных и хранения коэффициентов цифровых фильтров. С учётом этого ресурсы FPGA серии Spartan-3 следует оценивать не только по количеству логических ячеек, но и по числу блоков статической памяти и аппаратных умножителей.

Семейство Spartan-3 выпускается в нескольких разновидностях, использующих одинаковые программируемые ячейки, но различающихся соотношением основных ресурсов и специальными возможностями. Например, прибор Spartan-3E предоставляет разработчику (по сравнению со Spartan-3) несколько больший объём ресурсов в том же корпусе (так называемое gate-centric-семейство), а Spartan-3A, наоборот, выполняется в корпусах с увеличенным числом выводов (I/O-centric). Это позволяет разработчику выбрать наиболее подходящий прибор с учётом требований к объёму логических ресурсов, числу внешних выводов корпуса и др.

Огромный интерес для реализации небольших проектов, с требованиями минимизации габаритов и числа корпусов микросхем, представляет семейство Spartan-3AN. Характеристики микросхем, входящих в это семейство, идентичны устройствам

Spartan-3A, однако в корпусе ПЛИС размещена также конфигурационная флэш-память, что приближает эти устройства по функциональности к энергонезависимым ПЛИС. Такой микросхеме уже не требуется установка внешнего ПЗУ, т.к. после подачи питания загрузка программы производится автоматически.

Технологически решение представляет собой микросборку из кристаллов FPGA и флэш-ПЗУ (AT45DB). Неочевидным, на первый взгляд, преимуществом такой ПЛИС является повышенная защищённость проектов от копирования (конfigurационный поток не может быть считан с печатной платы), которая усилена наличием у каждой микросхемы уникального идентификационного номера (Device DNA). Этот номер может быть свободно использован разработчиком для создания конфигураций ПЛИС, подходящих только для конкретного экземпляра микросхемы. Модуль Device DNA имеется и в приборах Spartan-3A.

### АРХИТЕКТУРА ASMBL НА ПРИМЕРЕ СЕМЕЙСТВА VIRTEX-4

Почти одновременно с семейством Spartan-3 фирма Xilinx выпустила высокопроизводительное семейство Virtex-4, в котором впервые был применён модульный подход (ASMBL – Advanced Silicon Modular Blocks). Если предыдущие семейства представляли собой прямоугольную матрицу ячеек, окружённую по периферии блоками ввода-вывода, то архитектура ASMBL подразумевает набор кристалла из колонок ресурсов. Эти колонки могут содержать обычные программируемые ячейки, блоки памяти и цифровой обработки сигналов (модули «умножение с накоплением», MAC), устройства ввода-вывода, приёмопередатчики либо колонки с встроенным процессорным ядром PowerPC. Сочетая те или иные колонки, фирма Xilinx в 2004 г. выпустила на рынок три разновидности («платформы») семейства Virtex-4:

- LX (logic) – платформа, ориентированная на проекты общего назначения, с обычным соотношением ресурсов;
- SX (signal processing) – платформа с увеличенным количеством блоков MAC, предназначенная для постро-

ения высокопроизводительных устройств цифровой обработки сигналов;

- FX (full-featured) – платформа, содержащая аппаратные ядра процессора PowerPC, высокоскоростные приёмопередатчики и модули Ethernet.

Семейство Virtex-4 сразу привлекло внимание разработчиков: оно позволяет в рамках одного проекта быстро маневрировать между различными платформами, избегая неравномерного использования ресурсов ПЛИС. Оценив аппаратные затраты на реализацию проекта, разработчик получил возможность выбрать наиболее подходящее устройство с необходимыми ему ресурсами одного типа, не получая «в нагрузку» пропорциональное количество прочих ресурсов. Другим удачным решением оказалось размещение в кристалле процессорных ядер и, особенно, аппаратных приёмопередатчиков и блоков Ethernet MAC. Если на базе ядра PowerPC стала возможной реализация на ПЛИС полноценной системы с производительным процессором, то добавление аппаратного контроллера Ethernet существенно упростило интеграцию ПЛИС в вычислительные комплексы и компьютерные сети. Эффектными демонстрационными проектами на базе Virtex-4 FX стали web-сервер на кристалле (демонстрирующий интернет-страницу с элементами ActiveX, реализованную только встроенными ресурсами) и система под управлением ОС Linux.

Существенным отличием семейства Virtex-4 от более дешёвой серии Spartan явилось также введение модулей MAC вместо обычных умножителей операндов. Особенностью таких модулей является аппаратная реализация 48-битного аккумулятора, способного работать на той же частоте, что и умножитель (для Virtex-4 это частоты составляют до 500 МГц). Готовое аппаратное решение, выполненное оптимальным образом, не только гарантирует высокую рабочую частоту, но и дополнительно экономит ресурсы ячеек ПЛИС, которые были бы частично потрачены на реализацию аккумуляторов. Для старшего устройства Virtex-4 SX55 экономия может достигать впечатляющей цифры в 24 тыс. логических ячеек (512 аккумуляторов по 48 бит),

что составляет приблизительно половину кристалла.

Рассмотрим далее, каким образом улучшались характеристики ПЛИС на протяжении последних лет, с учётом наиболее актуальных вопросов их применения.

### СЕМЕЙСТВО SPARTAN-3A DSP

Это относительно недавно появившееся семейство может быть кратко охарактеризовано как «модули DSP от Virtex при цене Spartan». Семейство включает в себя всего два устройства с эквивалентными объёмами 1800 и 3400 тыс. вентиляей, однако вместо обычных умножителей, характерных для остальных разновидностей приборов Spartan-3, в нём установлены полноценные блоки MAC с 48-битным аккумулятором, характерные для семейства Virtex-4. ПЛИС этой серии весьма удобны для построения систем цифровой обработки сигналов со средними требованиями к рабочей частоте (около 300 МГц), при этом количество блоков составляет 84 и 126 соответственно.

### СЕМЕЙСТВО VIRTEx-5

Семейство Virtex-5 в настоящее время является флагманским в линейке продуктов фирмы Xilinx. Как и семейство Virtex-4, оно основано на архитектуре ASMBL, что позволило выпустить несколько различных платформ; при производстве используется 65-нм технологический процесс. Переход к новым технологическим нормам интересен и сам по себе, поскольку при этом, как правило, происходит увеличение частоты и уменьшение стоимости, однако в случае Virtex-5 имели место и принципиальные усовершенствования.

Прежде всего, в рамках семейства выпущены не три, а четыре платформы, три из которых содержат аппаратные скоростные приёмопередатчики. Вместе с другими ресурсами кристалла они могут формировать блоки EMAC, PCI-Express или SATA (соответствующие аппаратные контроллеры встроены в ядро). Таким образом, подключение проектов на базе Virtex-5 к современным скоростным интерфейсам выполняется с минимальным риском для разработчика, т.к. характеристики получаемого решения уже не зависят от способности последнего выполнить доста-

точно сложный проект, подразумевающий реализацию соответствующих протоколов обмена. Приёмопередатчики отсутствуют только в платформе Virtex-5 LX, которая по-прежнему ориентирована на реализацию логики общего назначения. В то же время в «сигнальной» платформе приёмопередатчики имеются, что логично соответствует высоким требованиям таких систем к эффективности обмена данными с внешними устройствами.

Улучшениям подверглись и блоки цифровой обработки: они были изменены таким образом, чтобы аппаратно перемножать 25-битный и 18-битный операнды. Увеличение разрядности одного из операндов позволяет эффективнее работать с числами в формате short float. В частности, поскольку их мантисса является 24-битной, перемножение двух чисел в коротком формате с плавающей точкой требует только двух модулей DSP, а не четырёх, как в предыдущих семействах. Представление чисел в формате с плавающей точкой удобно разработчикам, исследующим системы цифровой обработки сигналов в стандартных математических пакетах (например, Matlab), т.к. после получения приемлемых результатов моделирования созданная система может быть перенесена в ПЛИС без необходимости перехода к представлению чисел в формате с фиксированной точкой (что влияет на характеристики системы обработки). Старшее устройство Virtex-5 SX240 содержит на кристалле 1056 блоков MAC, способных работать с максимальной частотой 550 МГц.

Неожиданным усовершенствованием стал переход к шестивходовой логической ячейке. Если ранее увеличение числа входов могло быть произведено для некоторых схем путём сочетания ресурсов логического генератора и мультиплексоров (что имело ограничения по набору реализуемых схем), то для Virtex-5 речь идёт именно об аппаратном решении с таблицей истинности размером в 64 бита вместо 16. Таким образом, новая ячейка не имеет ограничений по типу реализуемых шестивходовых схем и оставляет ресурс для наращивания числа входов путём привлечения мультиплексоров ячейки.

Дополнительно в приборы Virtex-5 были введены диагональные трассировочные ресурсы, которые существенно улучшили трассируемость проектов, особенно на среднем расстоянии между соединяемыми ячейками. Результатом усовершенствований явился приблизительно 30%-прирост производительности только за счёт сокращения задержек распространения сигналов по кристаллу ПЛИС, обусловленного более компактной реализацией логических выражений в генераторах и более развитой топологией коммутационных цепей.

Наконец, последняя – по времени выпуска – платформа семейства Virtex-5, в которой ожидалось внедрение аппаратного ядра процессора PowerPC, также получила качественное улучшение, выразившееся в смене ядра с PowerPC 405 на PowerPC 440 (производительность возросла с 700 до 1100 DMIPS). Особенность размещения аппаратных ядер в ПЛИС заключается в их тесной интеграции с матрицей программируемых ячеек, на базе которых реализуются аппаратные ускорители процессора. Простота интеграции ячеек с процессором через стандартные интерфейсы (Processor Local Bus, On-Chip Peripheral Bus, интерфейс Auxiliary Processor Unit) позволяет превратить ПЛИС в процессор с радикально увеличенной производительностью в типовых задачах. Сотни независимых, параллельно реализующих основную поток вычислений ячеек, предназначенных для цифровой обработки сигналов, могут быть подключены к процессору, на долю которого остаётся реализация управления, настройки и интерфейсов. Как известно, сложно разработать полноценный стек TCP/IP на языке описания аппаратуры. Однако этот стек легко реализуется на базе процессора, работающего под управлением ОС Linux.

Таким образом, современные высокопроизводительные FPGA фирмы Xilinx предназначены для использования в проектах с большой степенью интеграции компонентов, вплоть до формирования системы на кристалле (System-On-Chip, SoC). При разработке такой системы задачи распределяются между отдельными компонентами ПЛИС следующим образом:

- аппаратное ядро PowerPC или программно реализуемый процессор MicroBlaze выполняют задачи общего управления, работы с внешними интерфейсами и контроля состояния системы. Для работы с этими процессорами существуют адаптированные компиляторы языков высокого уровня на базе широко распространённой системы gcc. Разработка процессорной системы выполняется с помощью интегрированной среды разработки EDK (Embedded Development Kit);
- основной поток вычислений выполняется аппаратными модулями MAC. В системах начального уровня можно ограничиться аппаратными умножителями с привлечением логических ячеек для создания аккумуляторов;
- логические ячейки используются для связывания отдельных модулей проекта и реализации логики общего назначения.

В последнее время фирма Xilinx в значительной степени систематизировала выпуск отладочных плат, которые существуют практически для всех

основных типов ПЛИС. Для разработки проектов существует бесплатная САПР ISE Webpack, которая может быть свободно загружена с сайта производителя ([www.xilinx.com](http://www.xilinx.com)). В последних версиях этой бесплатной САПР были сняты все функциональные ограничения на доступ к профессиональным средствам проектирования на уровне топологии кристалла, а также к библиотеке IP-ядер (Core Generator). Ограничением бесплатной версии в настоящее время является только максимальный объём программируемой ПЛИС, который установлен приблизительно на уровне 1,5 млн. вентилей. С учётом высокой стоимости таких микросхем, это ограничение нельзя считать существенным для организаций с ограниченным бюджетом, поскольку приобретение ПЛИС, не поддерживаемой бесплатной САПР, само по себе сопряжено со значительными финансовыми затратами.

Не подлежит сомнению, что ПЛИС является практически безальтернативной основой для разработки оригинальных цифровых решений с нестандартной архитектурой. Разра-

ботчикам, желающим освоить технологию проектирования на базе ПЛИС, следует обратить внимание на недорогую отладочную плату Spartan-3E Starter Kit, которая содержит функционально достаточный набор периферийного оборудования, а также встроенный программатор с интерфейсом USB.

Фирма Xilinx упорядочила работу с высшими учебными заведениями, которые могут бесплатно участвовать в университетской программе, получая программное обеспечение и в ряде случаев отладочные платы для организации учебного процесса.

В заключение можно сделать вывод, что ПЛИС как продукт цифровой электроники заняли устойчивое положение на рынке, а эволюция их характеристик приобрела определённую плавность и прогнозируемость. Очевидным следующим шагом должен стать переход к технологическим нормам 45 нм с возможным размещением на кристалле дополнительных аппаратных ядер, расширяющих функциональные возможности ПЛИС в части реализации стандартных интерфейсов. ☺