

# Реализация связанности на разных уровнях иерархии в Altium Designer 6

Алексей Сабунин (Москва)

Описаны все возможные варианты создания связанности в иерархических и многоканальных проектах средствами САПР печатных плат Altium Designer. Перечислены все используемые в программе идентификаторы (метки цепей) и раскрыты все настройки для управления идентификаторами каждого типа.

При разработке радиоэлектронных средств на этапе принципиальных электрических схем часто применяют иерархические и многоканальные структуры. Схемотехники используют многолистовые проекты по различным причинам, в первую очередь из-за размеров схем; некоторые проекты просто слишком большие или сложные, чтобы разместить их на одном листе. Даже если проект несложен, существуют другие преимущества его реализации на нескольких листах. Например, проект может включать элементы различных функциональных модулей, организация которых в виде самостоятельных схем позволяет нескольким инженерам работать над одним проектом одновременно. Другой причиной может быть использование принтеров формата А4.

В программе Altium Designer имеются два решения для выполнения многолистового проекта: структурные отношения между листами и использование связанности между фрагментами схемы на этих листах. Конкретный выбор зависит от размера и типа каждого проекта и предпочтений пользователя.

Единственным способом передачи сигналов между листами разного уровня является использование идентификаторов, которые создают логические соединения между элементами

схем проще, чем это делают физические соединения (проводники). Идентификаторы могут использоваться в пределах одного листа, как показано на рисунке 1, но основное их предназначение – реализация глобальной связи внутри всего проекта. Все эти объекты связаны общим названием идентификаторов, которые будут подробно рассматриваться в этой статье.

Некоторые разработчики считают, что идентификаторы различных типов (такие как метки цепей и порты), имеющие одинаковые имена, будут логически связаны. Фактически это не так. При этом различные типы идентификаторов могут иметь разные имена, но при этом объединяться для формирования единой цепи.

Идентификаторы различного типа могут быть физически соединены на одном листе, но при этом ни об одном из них визуально нельзя сказать, какую связанность он имеет в многолистовом проекте. Способ реализации межлистовой связанности зависит от идентификаторов, используемых в проекте, и установленных ограничений на действие этих идентификаторов.

## Идентификаторы

В программе Altium Designer для реализации связанности на разных уровнях иерархии используется несколько видов идентификаторов, каждый из которых имеет свое предназначение. Самые простые идентификаторы являются метками цепи. Их первичной задачей является отображение функционального назначения соединений проводников на листе (см. таблицу). Пока имеется возможность и позволяют ограничения

проекта, метки цепей можно использовать не только как локальные соединения, но и для межлистовой связи.

Порты аналогично меткам цепей могут быть использованы для локального соединения цепей в одном документе. Но в отличие от меток цепей, порты изначально предназначены для межлистовых соединений. Они могут реализовывать связанность по горизонтали или по вертикали.

Горизонтальность является широко применяемой функцией, так как она не чувствительна к многолистовой структуре и соединяет одноименные порты на всей схеме в единую цепь. Вертикальные соединения лучше управляемы, так как они соединяют цепи только между подчинёнными и родительскими листами. Вместо соединения портов, вертикальные соединения выполняются между портом на подчинённом листе и входом листа символа на родительском документе. Этот вход листа должен быть размещён в пределах символа листа со ссылкой на определённый подчинённый лист. Таким образом, связанность по вертикали используется для соединения листов на разных уровнях иерархии.

Межлистовые соединители обеспечивают среднее звено, позволяя создавать горизонтальные связи между выбранной группой листов в пределах проекта. Способом группирования этих листов является размещение множества имён листов в поле *Filename* одного символа листа, разделённых точкой с запятой. Межлистовые соединители для этих сигналов нужно размещать так, чтобы они находились между этими группами листов. Одноименные межлистовые соединители будут соединены только в пределах листов, сгруппированных вместе на символе родительского листа. Если на символе листа представлен только один подчинённый лист, то его межлистовые соединители не будут соединены с однотипными соединителями, которые могут существовать в другом месте проекта.

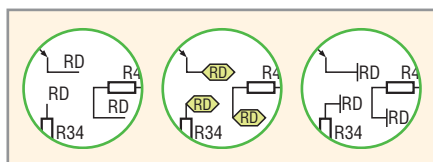


Рис. 1. Реализация проводников с помощью меток цепей, портов и силовых портов (слева направо)

Силовые порты не чувствительны к структуре проекта и соединяют одноименные силовые порты на всех связанных листах (например, порты питания и земли).

Невидимые выводы могут быть введены для символа в библиотеке и подключены к определённой цепи посредством установки значений в поле *Connect to* (в диалоге *Pin Properties*). При импорте проекта из Protel 99 SE или более ранней версии любые невидимые выводы будут иметь имя цепи, размещённое в этом поле автоматически.

Для получения более подробной информации о метках цепей, портах, входах листов, межлистовых соединителях и силовых портах наведите курсор на идентификатор и нажмите клавишу F1 при работе с редактором схем.

### ИНВЕРСНЫЕ ИДЕНТИФИКАТОРЫ ЦЕПИ

Если возникает необходимость в создании метки цепи, входа листа или порта со знаком инверсии (черта над текстом), то это можно сделать двумя способами:

1. Введите символ «\» после каждого символа в имени цепи (например,  $E\backslash\backslash A\backslash B\backslash L\backslash E\backslash$ );
2. Активируйте опцию *Single '\ Negation* на вкладке *Schematic > Graphical Editing* диалога *DXP > Preferences*, затем введите один символ «\» в начале имени цепи (например,  $\backslash ENABLE$ ).

### УСТАНОВКА ОГРАНИЧЕНИЙ ОБЛАСТИ ДЕЙСТВИЯ ИДЕНТИФИКАТОРОВ

По умолчанию все новые проекты плат в Altium Designer используют автоматическое определение установок для ограничения действия идентификаторов.

Если при компиляции будет обнаружен хотя бы один вход листа, представленный в разработанной

схеме проекта, то автоматически будут выбраны иерархические ограничения для вертикальной связанности. Метки цепей и порты будут использованы для локальной связи в пределах одного листа (как обычно), но порты будут иметь только межлистовые связи, если размещены соответствующие входы листа на символе в главном листе. Когда заданы иерархические ограничения, порты и метки цепи не создают логической связанности с одноименными идентификаторами цепей на других листах проекта.

Если схема проекта содержит порты, но отсутствуют входы листа, то автоматически устанавливается глобальное ограничение для портов. Это означает, что порты получают горизонтальное подключение во всём проекте без учёта многолистовой структуры и объединяют одноименные порты одной цепью. Метки цепей будут при этом создавать только локальные соединения.

Если схема проекта не содержит ни входов листа, ни портов, то автоматическое определение повысит статус меток цепей до глобального.

Межлистовые соединители, силовые порты и специальные невидимые выводы имеют постоянное назначение и область действия, независимо от ограничений идентификаторов.

Altium Designer предоставляет полный контроль над ограничениями идентификаторов цепей (*Net Identifier Scope*). Контроль возможен на вкладке *Options*, доступной в диалоге *Options for Project*, вызываемом последовательным выполнением *Project > Project Option*. Настройки на вкладке *Options* можно использовать для изменения автоматических установок и определения ограничений идентификаторов в структуре всего проекта, независимо от его содержания. Контроль предполагает ограничения, при которых идентификаторы (метки, цепи и порты) получат

определённый тип связанности на всём проекте (глобальный или локальный).

С точки зрения структуры, все многолистовые проекты организованы иерархически, даже если иерархия имеет всего два уровня (например, верхний лист, содержащий символы листов, которые ссылаются на подчинённые листы нижнего уровня). При этом проект может быть реализован либо одноуровневой, либо иерархической структурой. Основным различием между ними является то, что иерархические проекты переключают сигналы между листами, соответствующими созданной структуре, в то время как одноуровневые проекты не предполагают структурную организацию листов.







Важно отметить, что *при проектировании схемы ПЛИС используемая модель связанности обязательно должна быть иерархической*.

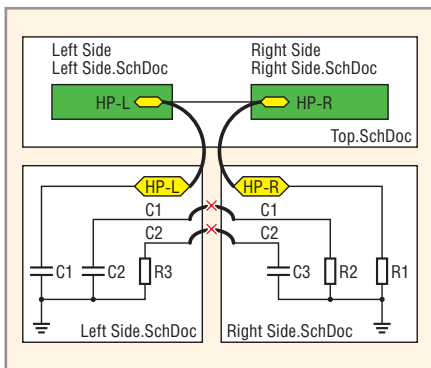
### ОДНОУРОВНЕВЫЕ ПРОЕКТЫ БЕЗ ЛИСТА ВЫСШЕГО УРОВНЯ

Если разрабатываемый проект не иерархический, например, все листы схем находятся на одном и том же уровне, без символов листов, ссылающихся на подчинённые листы, то проект называется одноуровневым проектом. В этом случае нет необходимости в листе высшего уровня, который содержит только символы листов, ссылающиеся на схемы. Необходимость наличия листа верхнего уровня возникает при отсутствии файла проекта, а файл проекта программного обеспечения зависит от символов листов на схеме высшего уровня для определения документов, входящих в проект. Для тестирования такого проекта без листа высшего уровня нажмите имя файла на панели *Projects* и укажите *Remove from Project* из выпадающего меню.

Одноуровневый проект, который содержит лист высшего уровня, будет корректно компилироваться, но

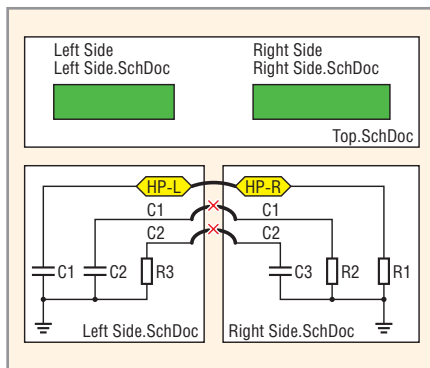
#### Идентификаторы в Altium Designer

Обозначение на схеме	Название	Описание
	Метка цепи	Соединение по вертикали. Если используются совместно с портами или символами листа, то применимы либо в рамках иерархии, либо внутри документа. По горизонтали объединяют все цепи с одинаковыми метками
	Порт	Соединение по вертикали. Используются для перехода к входу листа на главном символе и как обычные метки внутри иерархии, либо внутри документа. По горизонтали соединяет все одноименные порты проекта либо порты внутри указанного документа (в зависимости от настроек)
	Вход на лист	Всегда соединяется вертикально вниз к порту, указанному на символе подчинённого листа схемы
	Межлистовой соединитель	Горизонтальное соединение одноименных межлистовых соединителей внутри группы схем на одном уровне иерархии
	Силовой порт	Соединяет глобально все одноименные силовые порты на всех схемах проекта
	Невидимый вывод	Соединяет глобально все невидимые выводы проекта с цепями, имена которых указаны в поле <i>Connect to</i>



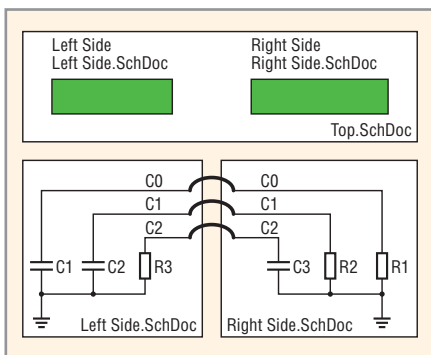
**Рис. 2. Hierarchical (иерархический)**

Метки цепей локальные внутри каждого листа



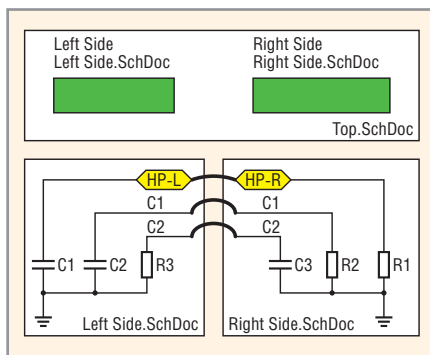
**Рис. 3. Flat (глобальные порты)**

Метки цепей локальные внутри каждого листа



**Рис. 4. Automatic (глобальные метки цепей)**

Метки цепей соединены глобально



**Рис. 5. Global (глобальные метки цепей и портов)**

Метки цепей и порты соединены глобально

Altium Designer при необходимости предоставляет возможность построения проекта без верхнего листа.

**ПРИМЕРЫ ПРОЕКТОВ ПО ТИПУ СВЯЗАННОСТИ**

Следующие четыре примера показывают, как определять или выбирать ограничения идентификаторов, которые будут оказывать воздействие на связанность одинаковых меток цепей и портов в иерархической структуре. Пятый пример показывает, как работают межлистовые соединители. В названии примера указана настройка ограничения действия идентификаторов, устанавливаемая в списке *Net Identifier Scope* на вкладке *Options*, доступной в диалоге *Options for Project (Project>Project Option)*.

В *примере 1* (рис. 2) схемный проект будет автоматически определён как иерархический, так как здесь имеют место входы листа в символах листов на главной схеме. Метки цепей C1 и C2 на каждом подчинённом листе не будут подключены к соответствующим меткам цепей на другом листе, но будут действовать в пределах границ каждого листа. Порты в этом примере имеют различные имена, но даже если бы их имена сов-

падали, они не создавали бы горизонтальные связи с одноименными портами других листов из-за ограничений идентификаторов данного типа иерархии. Поэтому эти порты создадут только вертикальное соединение схемы вверх к родительскому листу. Чтобы выполнить соединение, порт на подчинённом листе должен иметь одноименный вход листа внутри соответствующего символа листа.

В *примере 2* (рис. 3) элементы входа на главном листе подключены к разным листам (ещё раз отметим, что их имена не одинаковые: это физическое подключение, а не логическое). В структурно проработанном проекте эти сигналы прокладываются к портам и сравниваются по входам с другим символом листа на родительском листе.

Для реализации связи в этом проекте совместно с отсутствием входов листов используется вариант автоматического назначения глобальных портов. Это – особенность одноуровневого проекта: поскольку порты являются связанными, они получают логические связи со всеми одноименными портами на всех листах проекта. Метки цепей не поддержи-

вают такую возможность, они будут локальными на каждом отдельном листе схемы.

Поскольку этот проект – одноуровневый, верхний лист можно удалить из проекта, и он, тем не менее, будет корректно откомпилирован. Отметим, что Altium Designer использует файл проекта для определения количества листов в проекте, что является важным свойством понятия «проект» и необходимо для одноуровневых разработок с ограничением идентификаторов типа *Flat*.

*Пример 3* (рис. 4) не имеет элементов входов листов и портов. Это – единственный случай, когда метки цепей автоматически создают глобальное подключение на всех схемах многолистного проекта. Эти метки цепей будут связаны с одноименными метками цепей в проекте, независимо от его структуры. Опять же, поскольку этот проект одноуровневый, то верхний лист можно удалить из проекта, и проект будет корректно откомпилирован.

Следующий вариант, *пример 4* (рис. 5), недоступен при автоматическом определении иерархии, но может быть применён в Altium Designer для поддержки наследуемых проектов. В нём как метки цепей, так и порты получают глобальные связи по горизонтали с соответствующими идентификаторами в проекте. Единственным путём достижения этого типа связанности является просмотр вкладки *Option* в диалоге *Options for Projects* и изменение *Net Identifier Scope* на *Global (Netlabels and ports global)*.

Поскольку это – одноуровневый проект, верхний лист может быть удалён из проекта, и проект, тем не менее, будет корректно откомпилирован (файл проекта сам по себе содержит информацию о составе исходных документов, формирующих проект, как и в предыдущих двух примерах).

В *примере 5* (рис. 6) верхний лист ссылается на четыре подчинённых листа с помощью только двух символов листов. Это делается с помощью ссылок на файлы нескольких схем в поле *Name* символов листов, разделённых символом «точка с запятой». Межлистовые соединители создадут одноуровневые соединения между всеми сгруппированными листами в пределах одного символа листа, даже

если другие листы в проекте используют аналогичную (одноименную) вертикальную связанность.

Сгруппированные листы не используют каких-либо других идентификаторов цепей, за исключением межлистовых соединителей. Отметим, что эти соединения устанавливаются только в пределах групп.

Многие разработчики никогда не используют межлистовые соединители, которые первоначально были введены как средство импорта проектов из других программных пакетов схемотехнического проектирования. Однако встречаются ситуации, когда межлистовые соединения становятся удобными. Например, предположим, что имеется высоко-модульный проект, в котором каждый лист представляет логическую часть проекта. Размещение символов

листов будет не просто создавать желаемую связанность, но будет обеспечивать другим участникам разработки хорошее понимание всего проекта.

Теперь представим себе, что схема внутри одного из таких функциональных блоков выходит за пределы возможностей размещения на одном листе. Для создания иерархии необходимо разместить определённое число меток цепей, которые должны переходить с листа на лист, и порты, которые будут передавать цепи выше на входы листа, далее соединяемые проводниками. Это является трудно-выполнимым, в отличие от ситуации, описанной в примере 5, где проект разделяется на два листа, каждый из которых ссылается на несколько различных листов схемы. Таким образом, корректной альтернативой явля-

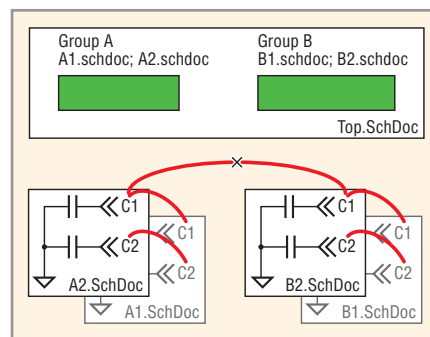


Рис. 6. OffSheet (межлистовые соединители)

ется такое размещение меток цепей, которое позволяет нормально создать связи этих частей проекта с помощью межлистовых соединителей. Группировка нескольких листов позволит сохранить блочную диаграмму потока данных проекта, согласованную с внутренней логикой всего проекта. ©

Новости мира News of the World Новости мира

**Тонкий OLED-экран от Samsung SDI**

Представители корейской компании Samsung SDI анонсировали тонкий OLED-дисплей с активной матрицей (AM-OLED), предназначенный специально для мобильных телефонов. Толщина этого компонента составляет всего 0,52 мм, его рабочая диагональ составляет 2,2 дюйма. Разрешение экрана – 240 × 320 пикселей, а уровень контрастности – 10 000 : 1. Энергопотребление такого дисплея на 40% меньше, чем у существующих TFT-LCD-модулей. По оценкам специалистов, массовое производство AM-OLED-экранов начнётся уже в третьем квартале этого года. Ориентировочно, в месяц Samsung намеревается выпускать около 15 млн. единиц AM-OLED.

eetimes.com

**Новый трансфлективный ОСВ ЖК-экран от TMDisplay**

Компания Toshiba Matsushita Display Technology (TMDisplay) на днях объявила о завершении разработки прототипа 4,3-дюймового тонкоплёночного ЖК-экрана с разрешением 480 × 272 пикселей, объединяющего систему оптической компенсации



ОСВ (Optically Compensated Bend) с трансфлективными технологиями, обеспечивающими хорошее качество картинки в условиях сильной внешней освещённости.

Согласно официальному пресс-релизу, разработка нового прототипа связана со всё нарастающим спросом на подобные устройства со стороны как производителей компактных переносных устройств так и разного рода контрольных терминалов, которым по роду деятельности приходится находиться в условиях повышенной или меняющейся освещённости. В свою очередь, разработанная компанией технология ОСВ, благодаря отказу от применения традиционных светофильтров, обеспечивает передачу изображения без каких-либо потерь яркости светового потока лампы подсветки при поглощении и позволяющей просматривать сформированное изображение под углом до 180 градусов.

Технические характеристики дисплея:  
 Размер экрана 4,3-дюйма  
 Разрешение 480 × 272 пикселей  
 Яркость 400 кд/м<sup>2</sup>  
 Количество отображаемых цветов 16,7 млн.  
 Среднее время отклика (в рефлективном режиме) 2,4 мс

digitimes.com

**Цветной 14-дюймовый гибкий дисплей от LG.Philips**

Компания LG.Philips LCD заявила о завершении разработки гибкого цветного



экрана с диагональю 14,1 дюйма, эквивалентного по размеру листу бумаги формата A4, способного отображать 4096 цветов. Для формирования изображения новинка использует технологию «электронных чернил» (e-ink), разработанную британской компанией E-Ink Corp., позволяющей просматривать изображение под углом в 180 градусов, даже если экран в данный момент свёрнут.

Аналогично с анонсированными годом ранее чёрно-белыми дисплеями, представленные цветные модели используют вместо стеклянной подложки гибкую основу из металлической фольги. Это позволяет экрану восстанавливать свою форму после многократных сгибаний, а собственные разработки LG.Philips LCD увеличивают срок службы дисплея. Цветной фильтр, внедрённый в пластиковый субстрат, позволяет воспроизводить цветные изображения. Ещё одним преимуществом гибкой «электронной бумаги» является её энергоэффективность, поскольку энергии затрачивается только на замену картинки. Толщина экрана составляет всего 0,3 мм.

lgphilips-lcd.com