

Применение ПЛИС для увеличения пропускной способности устройств

Владимир Вычужанин (г. Одесса, Украина)

В статье предлагается использовать компоненты интерфейса внешней памяти ПЛИС для увеличения пропускной способности устройств.

Современные ПЛИС отличаются разнообразием ресурсов, к которым, в частности, относятся периферийные стандартные блоки (интерфейс с внешней памятью, таймеры, контроллеры ПДП, контроллер прерываний и т.д.). Использование интерфейса внешней памяти, реализуемого с помощью ПЛИС, часто обусловлено необходимостью увеличения пропускной способности устройств.

Появление трансиверов на основе ПЛИС способствовало более широкому использованию интерфейса внешней памяти. Это связано с тем, что с целью обеспечения максимальной производительности трансиверов память системы должна хранить сотни гигабит данных. Использование интерфейса памяти в ПЛИС обеспечивает передачу данных с максимальным быстродействием.

Характеристики интерфейса внешней памяти позволяют использовать его не только для подключения к внеш-

нему статическому ОЗУ или флэш-памяти, но и в качестве интерфейса с периферийными устройствами, например, ЖК-дисплеями, АЦП и ЦАП. Интерфейс может реализовать следующие возможности: задание четырёх различных по длительности состояний ожидания, в т.ч. без состояния ожидания; установку различных состояний ожидания для разных секторов внешней памяти; выбор количества задействованных разрядов в старшем адресном байте; фиксацию состояния шины для минимизации потребления тока.

Наличие встроенного программируемого контроллера интерфейса внешней памяти в ПЛИС позволяет упростить подключение разнообразных видов памяти и отказаться от организации поддержки динамического ОЗУ на программируемой логике. Такой контроллер ориентирован на поддержку динамической памяти различной разрядности и информационной ёмкости,

с регулировкой временных параметров выборки, параметров регенерации, режимов энергопотребления и т.д.

Контроллер интерфейса внешней памяти, использующий несколько внутрисхемных решений ПЛИС фирмы Altera (www.altera.com), состоит из трёх блоков (см. рис. 1): многопортового интерфейса, контроллера памяти и устройства физического интерфейса (ФНУ), отвечающего за время передачи данных по каналу.

Многопортовый интерфейс использует несколько внутренних процессов в активной зоне доступа того же жёсткого интерфейса памяти. Как показано на рисунке 2, этот интерфейс имеет двунаправленные порты данных, а также адресные и командные порты. Последние поддерживают двунаправленные и однонаправленные процессы.

В программном обеспечении Altera Quartus II версии 11.0 представлен контроллер памяти, реализующий команды и адресацию и предназначенный для увеличения быстродействия памяти DDR3. Например, 2133 Мбит данных с шириной полосы пропускания 1066 МГц могут быть переданы ин-

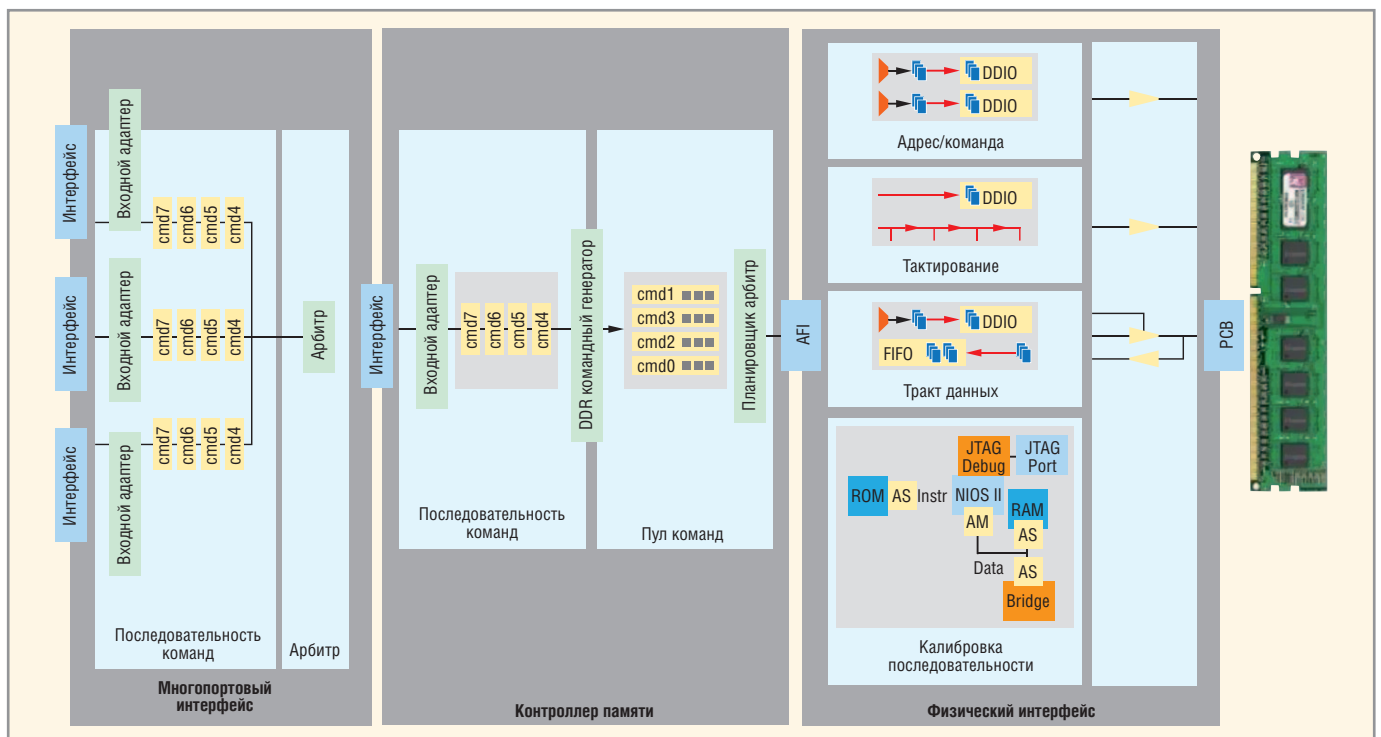


Рис. 1. Компоненты контроллера интерфейса внешней памяти ПЛИС

терфейсом UniPHY в ядро ПЛИС на тактовой частоте 266 МГц, т.е. каждые четыре бита данных будут представлены в основной структуре этой частоты. Контроллер передаёт поток данных на четверти скорости и поддерживает команды длительностью $2T$, т.е. сигнал выдаётся один раз за два такта работы DDR3.

Особенностью контроллера является автоматическое проведение нескольких транзакций записи/чтения в зависимости от разрядности интерфейса внешнего ЗУ. Так, операция записи четырёхбайтного числа во внешнюю память SDRAM с шириной данных шины в один байт приведёт к «прозрачному» для разработчика выполнению четырёх байтовых циклов записи. На рисунке 3 показана временная диаграмма работающего на четверти скорости контроллера памяти с поддержкой команд длительностью $2T$ (ACT – команда выбора строки матрицы накопителя; WR – команда выбора столбца матрицы для записи).

В зависимости от скорости интерфейса, ПЛИС также поддерживает используемые контроллером памяти полную или половинную скорости. В

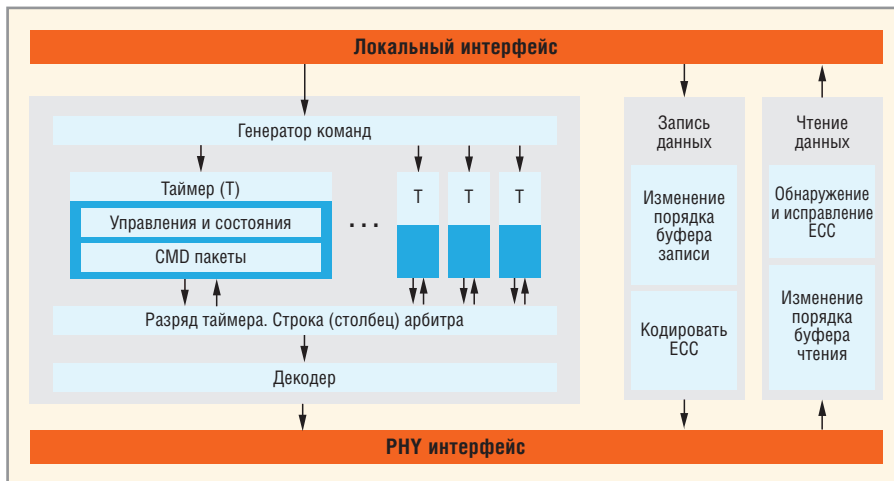


Рис. 2. Блок-схема многопортового интерфейса

ПЛИС Altera, изготовленных по 28-нм технологии, реализована сбалансированная частота сети на периферии для уменьшения коммутационных помех, а стабилизация чтения данных буфером FIFO обеспечивает их синхронизацию. Однако при высокой скорости передачи данных могут возникать искажения, существенно влияющие на производительность системы, в частности, при проектировании 72-разрядной и более шины данных (DQ). ПЛИС с интерфейсом UniPHY обладает на-

страиваемой задержкой цепи, на которую можно настроить задержку каждого выхода шины DQ. Такой итерационный алгоритм осуществляется встроенным процессором интерфейса UniPHY и функционирует до тех пор, пока не будет достигнута минимальная погрешность.

Эффективность контроллера памяти часто является критически важной при определении фактической пропускной способности устройства. Эта «эффективная» пропускная способность явля-

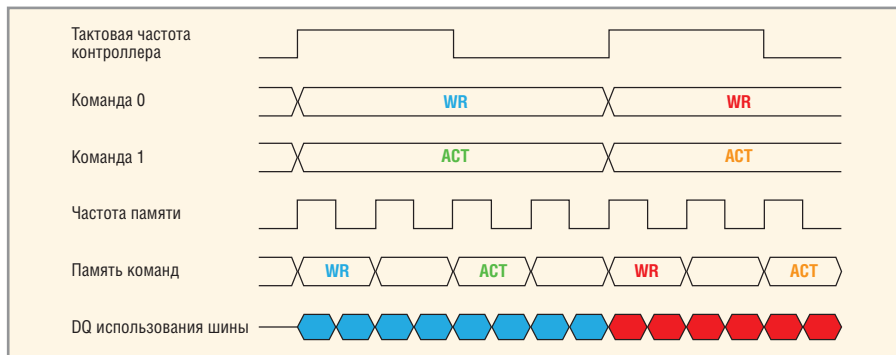


Рис. 3. Временная диаграмма контроллера памяти

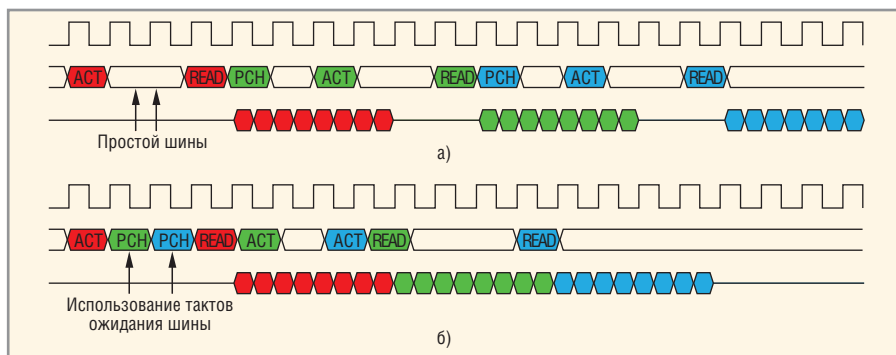


Рис. 4. Управление пропускной способностью шины при передаче команд

а) без переупорядочивания команд; б) с переупорядочиванием команд

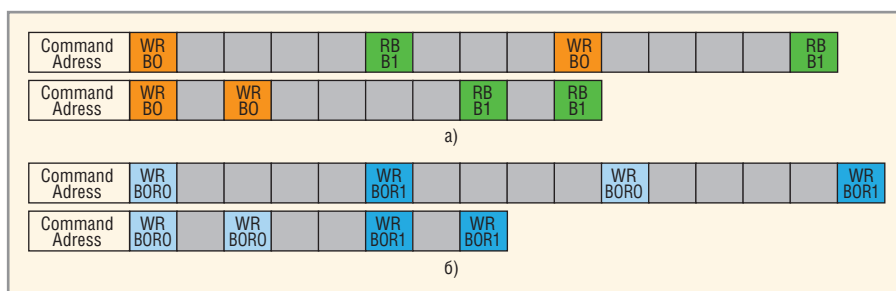


Рис. 5. Изменение порядка данных для минимизации влияния времени бездействия тактов шины

а) группировкой операций чтения/записи; б) изменением порядка операций с банками временного такта шины tRC

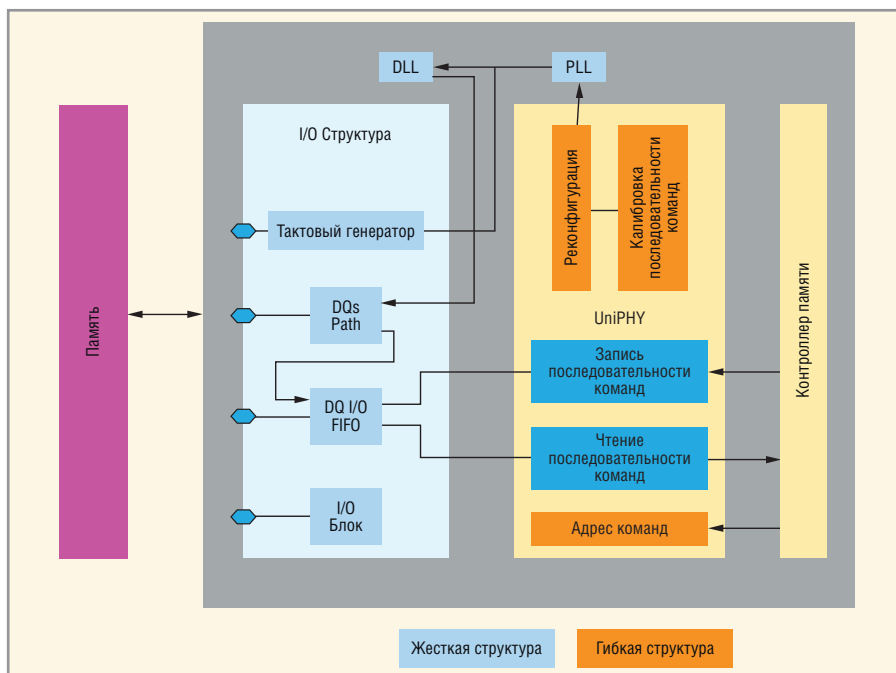


Рис. 6. Жёсткая структура ядра ПЛИС

ется одним из важнейших факторов, от которых зависит реальная производительность системы, и определяется делением количества тактов, происходящих в шине DQ (без простоя), на общее число тактов в шине.

Повышение «эффективности» шины может быть достигнуто двумя способами. Первый состоит в переупорядочивании команд с целью использования тактов ожидания или бездействия шины, возникающих между операциями. Рисунок 4 иллюстрирует сокращение числа неактивных тактов шины на четыре в результате переупорядочивания команд.

Второй способ повышения пропускной способности шины заключается в изменении порядка данных или команд. Известно, что работа шины может сопровождаться холостыми тактами, снижающими эффективность шины. Чтобы свести к минимуму обратное время шины, необходимо сгруппировать вместе аналогичные команды. На рисунке 5 показано, что если система осуществляет запись и чтение одновременно, то четырёхтактное время выполнения обусловленных шиной операций происходит только один раз за транзакцию. При этом могут быть удалены пять тактов бездействия шины.

Для увеличения пропускной способности систем, использующих компоненты интерфейса внешней памяти ПЛИС, важно учитывать место размещения контроллера памяти и объём его памяти. Упомянутые выше ПЛИС Altera обладают программными и жёсткими ядрами, имеющимися в семействах Stratix V, Arria V и Cyclone V. Программные ядра состоят из интерфейса UniPHY и высокопроизводительного контроллера памяти. Жёсткие ядра обеспечивают операции чтения/записи на высоких скоростях. На рисунке 6 показаны жёсткие структуры с операциями ввода-вывода, PLL, DLL и чтения/записи буферов FIFO, выполняемые с использованием программных структур.

Таким образом, использование компонентов интерфейса внешней памяти ПЛИС на основе программных и жёстких ядер позволяет разработать быстродействующие контроллеры памяти, в которых программные ядра ПЛИС облегчают адаптацию интерфейсов к системным требованиям, а жёсткие ядра ПЛИС обеспечивают высокую пропускную способность интерфейса.