

Самосинхронизирующиеся коды и их преобразователи

(часть 4)

Сергей Гончаров, Геннадий Шишкин (Нижегородская обл.)

Рассмотрены возможные способы построения преобразователей самосинхронизирующегося частотно-манипулированного кода. Приведены варианты схмотехнических решений кодирующих и декодирующих устройств.

При использовании самосинхронизирующегося частотно-манипулированного (ЧМ) кода лог. 1 представляется перепадом сигнала в середине тактового интервала. Перепад сигнала может быть как положительным, так и отрицательным. Лог. 0 представляется отсутствием перепада сигнала в середине тактового интервала. Следовательно, информационный перепад является необязательным. При этом тактовый перепад сигнала в начале каждого тактового интервала является обязательным, но может быть как положительным, так и отрицательным. Способ формирования ЧМ-кода показан на рисунке 1а, где D – входной двоичный код, C – тактовые импульсы, QD – выходной ЧМ-код.

Пример схемной реализации кодирующего устройства приведён на рисунке 1б. Устройство построено на основе счётного триггера [2], который в исходном состоянии установлен в лог. 0 импульсным сигналом по V-входу. При поступлении входной информации положительные тактовые импульсы

поступают на С-вход в первой половине тактового интервала. Устройство обеспечивает дифференцирование тактовых импульсов с формированием положительных импульсов в точке А на выходе первого элемента ИЛИ-НЕ по положительным перепадам сигналов на С-входе. Аналогично положительные импульсы формируются в точке В на выходе второго элемента ИЛИ-НЕ по отрицательным перепадам сигналов на С-входе при наличии лог. 1 на информационном D-входе. Сформированные импульсы обеспечивают переключение счётного триггера. При этом импульсы первого элемента ИЛИ-НЕ формируют тактовые перепады сигналов на выходе QD, а импульсы второго элемента ИЛИ-НЕ – информационные перепады.

В схеме, приведённой на рисунке 1б, реализовано аналоговое формирование длительности импульсов по перепадам входных тактовых импульсов с помощью устройства задержки (V3) на основе интегрирующей RC-цепи. Цифровое формирование длительности импульсов может быть

реализовано с помощью регистра сдвига в соответствии со схемой, показанной на рисунке 1в. Длительность импульсов в данном случае задаётся периодом повторения импульсов задающего генератора на G-входе, который должен быть по крайней мере, в четыре раза меньше тактового интервала.

Для функционирования этих схем (см. рис. 1б и 1в) требуется подача на С-вход внешних тактовых импульсов. Вариант кодирующего устройства без использования С-входа может быть построен на основе счётчика импульсов в соответствии с рисунком 1г.

В режиме ожидания счётчик импульсов и счётный триггер удерживаются в лог. 0 внешним сигналом на V-входе. При поступлении информации внешний сигнал снимается. Счётчик начинает переключаться импульсами задающего генератора, поступающими на G-вход. При этом на выходе первого элемента ИЛИ-НЕ формируются импульсы, задающие тактовые перепады ЧМ-кода на выходе QD. На выходе второго элемента ИЛИ-НЕ формируются импульсы, задающие информационные перепады при наличии лог. 1 на информационном D-входе. Одновременно в данной схеме формируются на выходе QC положительные тактовые импульсы с периодом повторения, в четыре раза большим периода повторения импульсов генератора; они и определяют моменты сдвига информации на D-входе устройства. Тактовые импульсы расположены во второй половине тактовых интервалов.

В схемах, приведённых на рисунке 1, обеспечивается отдельное формирование импульсов, ответственных за тактовые перепады выходных сигналов, а к ним добавляются импульсы, формирующие необходимые информационные перепады. При другом подходе можно формировать суммарную последовательность импульсов, обеспечивающих как тактовые, так и все возможные информационные перепады, а за-

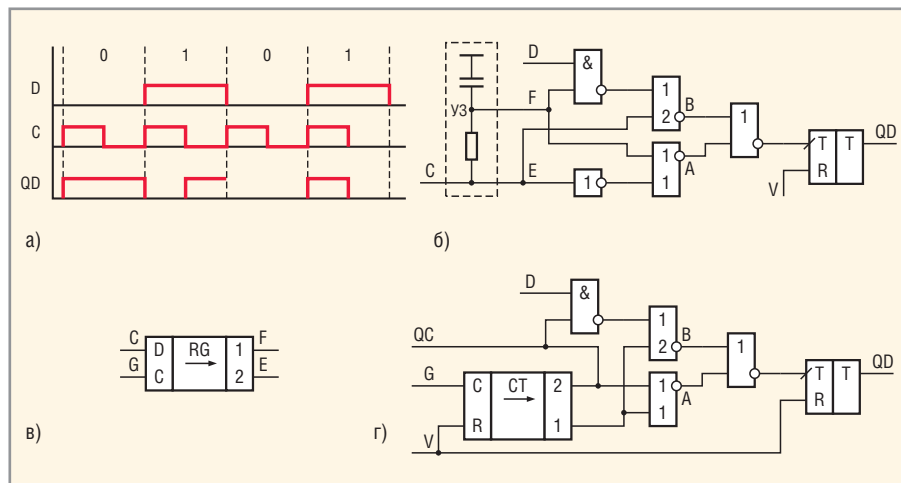


Рис. 1. Варианты кодирующих устройств на основе счётного триггера

тем запрещать формирование лишних информационных перепадов. Данный алгоритм может быть реализован при построении кодирующего устройства на основе JK-триггера в соответствии с рисунком 2а. Работа устройства поясняется временными диаграммами сигналов в различных точках схемы, приведёнными на рисунке 2б.

В режиме ожидания RS-триггер удерживается в лог. 0 внешним сигналом по V-входу и обеспечивает лог. 0 для счётного и JK-триггеров. На G-вход устройства поступают импульсы задающего генератора, период повторения которых в два раза меньше тактового интервала, но состояние триггеров не изменяется. После поступления на V-вход разрешающего сигнала RS-триггер устанавливается в лог. 1 отрицательным перепадом импульса задающего генератора и разрешает переключение счётного и JK-триггеров. При этом счётный триггер может переключаться отрицательным, а JK-триггер – положительным перепадом каждого из входных импульсов. Счётный триггер формирует на выходе QC тактовые импульсы отрицательной (относительно уровня напряжения питания) полярности, которые обеспечивают по положительному перепаду смену информации на Q-входе и проходят – при лог. 0 на D-входе – на JK-входы, запрещая переключение JK-триггера.

При построении декодирующих устройств ЧМ-кода в качестве признаков передаваемой информации лог. 1 можно использовать информационный перепад сигнала в середине тактового интервала или несовпадение логических уровней сигнала в первой и второй половинах тактового интервала, а для лог. 0 соответственно отсутствие информационного перепада сигнала или совпадение логических уровней сигнала в первой и второй половинах тактового интервала.

Декодирующее устройство с контролем наличия информационного перепада входного сигнала показано на рисунке 3а. Схема дешифратора ДШ приведена на рисунке 3б. Работа устройства поясняется временными диаграммами сигналов в различных точках, приведёнными на рисунке 3в.

В режиме ожидания первый RS-триггер установлен в лог. 0 импульсным сигналом по V-входу и удерживает в лог. 0 счётчик импульсов. В регистр

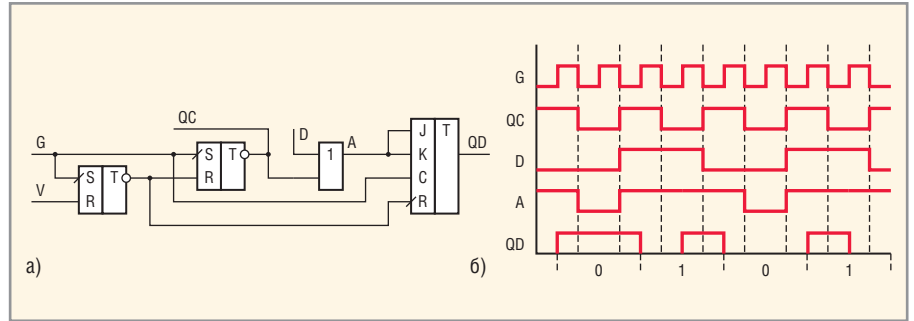


Рис. 2. Кодирующее устройство на основе JK-триггера

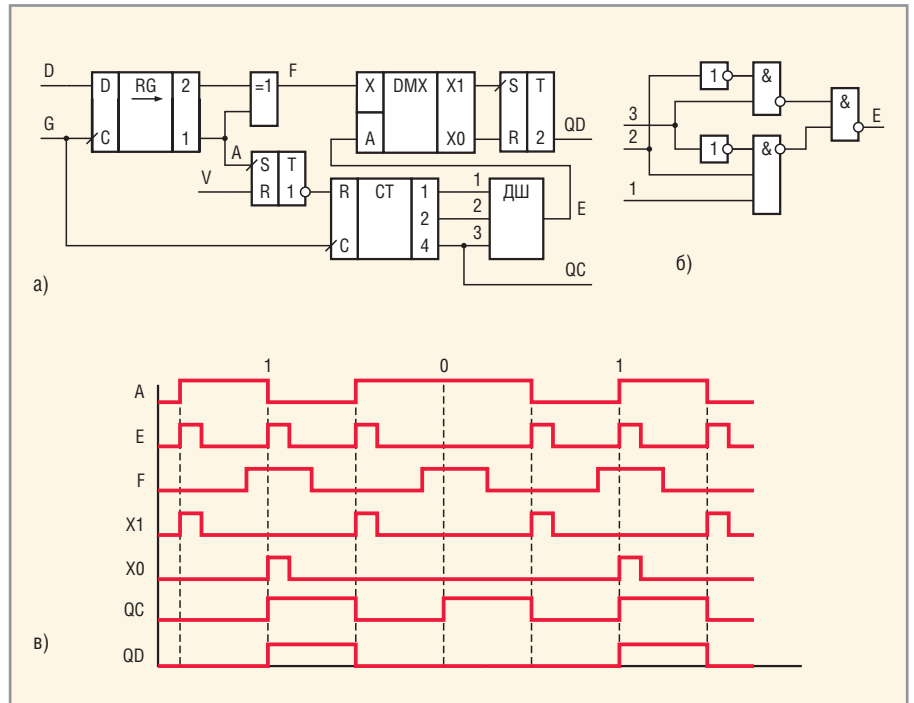


Рис. 3. Декодирующее устройство с использованием всех перепадов

сдвига с помощью импульсов задающего генератора, поступающих на G-вход, записана информация лог. 0 с D-входа схемы. Период повторения импульсов генератора в восемь раз меньше длительности тактового интервала T. На выходе ДШ присутствует лог. 0, поступающий на адресный вход демультиплексора и разрешающий прохождение выходных сигналов элемента «исключающее ИЛИ» с информационного входа демультиплексора на R-вход второго RS-триггера.

При поступлении лог. 1 на D-вход устройства задающий генератор обеспечивает переключение первого разряда регистра сдвига в лог. 1. Положительный перепад напряжения с выхода первого разряда регистра переключает первый RS-триггер в лог. 1, разрешая работу счётчика импульсов, и проходит через элемент «исключающее ИЛИ» и демультиплексор на R-вход второго RS-триггера, подтверждая его лог. 0. Далее регистр сдвига формирует на выходе элемен-

та «исключающее ИЛИ» последовательность импульсов по каждому перепаду входного сигнала с длительностью, равной периоду повторения импульсов задающего генератора. Счётчик импульсов с помощью дешифратора формирует последовательность стробирующих импульсов с длительностью, равной трём периодам импульсов генератора, расположенных внутри тактовых интервалов. При этом импульсы, сформированные элементом «исключающее ИЛИ», располагаются в середине выходных импульсов дешифратора. Сформированные стробирующие импульсы поступают на адресный вход демультиплексора и направляют выходные импульсы элемента «исключающее ИЛИ», соответствующие информационным перепадам, на S-вход второго RS-триггера. Импульсы, соответствующие тактовым перепадам, проходят на его R-вход. При этом на выходе QD формируется двоичный код. Тактовые импульсы

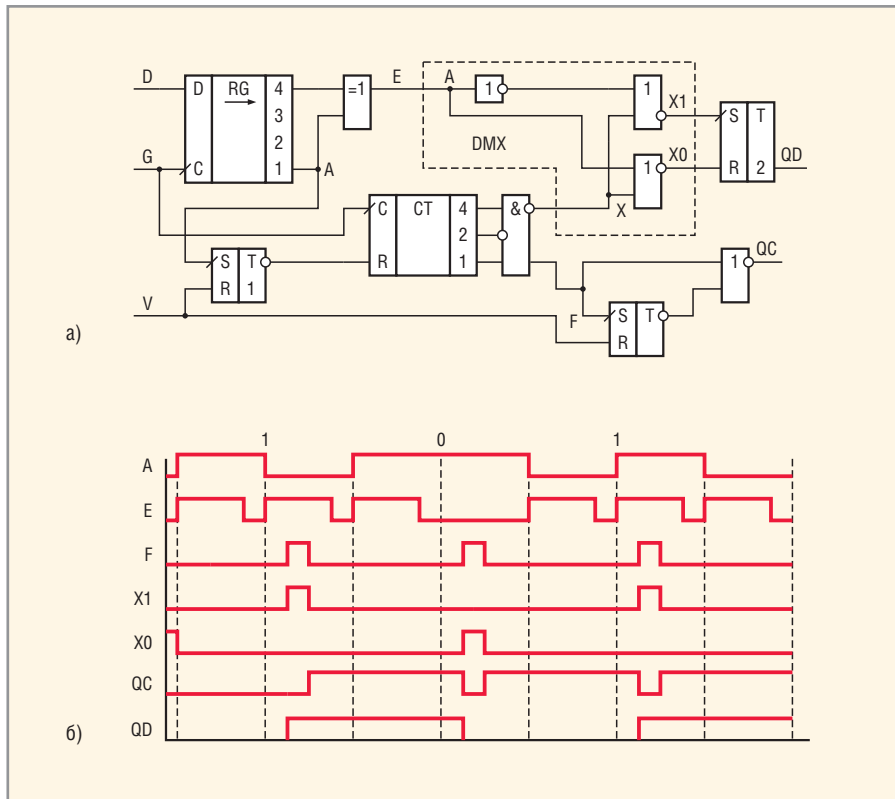


Рис. 4. Декодирующее устройство с контролем информационных перепадов

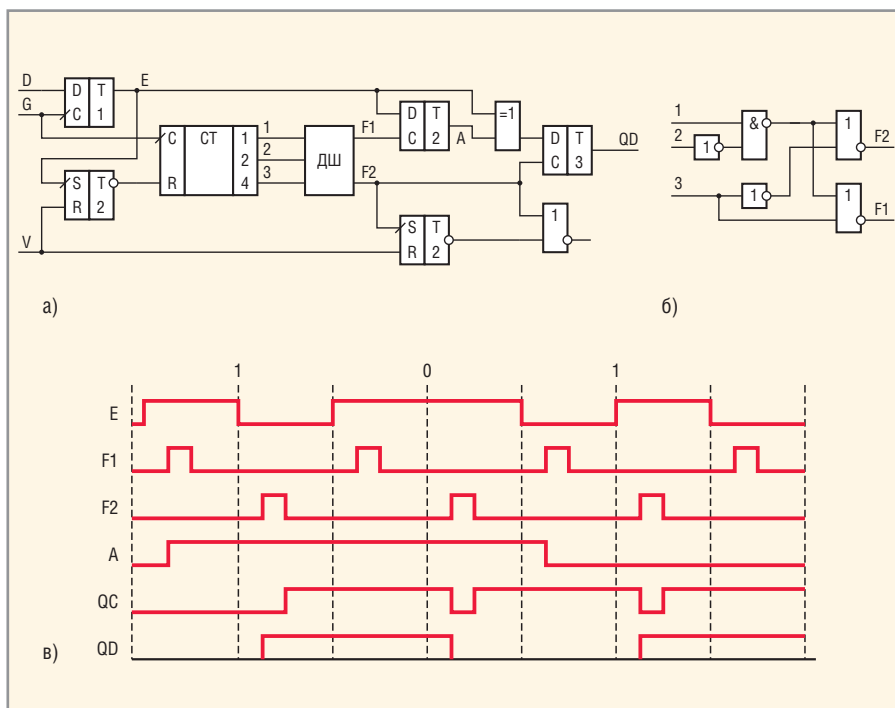


Рис. 5. Декодирующее устройство с анализом уровней входного сигнала

на выходе QC формируются третьим разрядом счётчика.

В схеме рис. 3а обнуление второго RS-триггера производится выходными импульсами элемента «исключающее ИЛИ», соответствующими каждому из тактовых перепадов, что определяет малую длительность импульсов лог. 1 на выходе QD и большую скважность тактовых импульсов на выходе QC. Устранение этих недостатков достигается

при обнулении второго RS-триггера в середине тактового интервала при отсутствии информационного перепада сигнала. Указанный алгоритм реализован в декодирующем устройстве, показанном на рисунке 4а, работа которого поясняется временными диаграммами, приведёнными на рисунке 4б.

Это устройство отличается от описанного выше (см. рис. 3а) тем, что демультиплексор выполнен на основе

элементов ИЛИ-НЕ и производит инверсию входных сигналов. На выходе элемента «исключающее ИЛИ» по каждому перепаду входного сигнала формируются положительные импульсы с длительностью, увеличенной до трёх периодов повторения импульсов генератора, которые затем поступают на адресный вход демультиплексора. На выходе дешифратора, выполненного в виде элемента И, появляются импульсы длительностью, уменьшенной до одного периода повторения импульсов, которые задерживаются на один период относительно середины тактового интервала, с тем чтобы расположиться посередине соответствующих импульсов на выходе элемента «исключающее ИЛИ» и поступить на информационный вход демультиплексора.

Выходные импульсы дешифратора направляются на соответствующий вход второго RS-триггера. При наличии информационного перепада триггер устанавливается в лог. 1, а при его отсутствии – в лог. 0, формируя двоичный код на выходе QD. В режиме ожидания триггер может находиться в любом состоянии. Тактовые импульсы на выходе QC в виде инверсных сигналов дешифратора начинают формироваться после появления информации первого разряда на выходе QD.

Декодирующее устройство со сравнением уровня сигнала в первой и второй половинах тактового интервала представлено на рисунке 5а. Схема дешифратора ДШ показана на рисунке 5б. Соответствующие временные диаграммы сигналов приведены на рисунке 5в.

В режиме ожидания первый и второй RS-триггеры установлены в лог. 0 импульсным сигналом по V-входу устройства. При этом на выходе QC фиксируется лог. 0. Счётчик импульсов удерживается в исходном состоянии. На выходах F1 и F2 дешифратора присутствует лог. 0. Второй и третий D-триггеры могут находиться в произвольном состоянии. При необходимости они могут устанавливаться в исходное состояние (лог. 0) сигналом с инверсного выхода первого RS-триггера аналогично счётчику импульсов. Первый D-триггер удерживается в лог. 0 сигналом по D-входу устройства с помощью импульсов задающего генератора, поступающих на G-вход устройства с периодом повторения $T/8$, где T – длительность тактового интервала.

Первый D-триггер предназначен для привязки входной информации к внут-

ренной шкале времени декодирующего устройства. При поступлении лог. 1 на D-вход устройства первый D-триггер ближайшим (нулевым) импульсом задающего генератора переключается в лог. 1 и вызывает переключение первого RS-триггера, разрешая переключение счётчика импульсов. При переключении первого разряда счётчика в лог. 1 первым импульсом генератора на выходе F1 формируется положительный импульс, разрешающий запись входной информации во второй D-триггер. Момент поступления четвёртого импульса генератора совпадает с серединой тактового интервала. Пятый импульс генератора вызывает очередное переключение счётчика и формирование положительного импульса на выходе F2 дешифратора, который переключает второй RS-триггер, разрешая формирование тактовых импульсов на выходе QC. Одновременно импульс с выхода F2 дешифратора разрешает запись информации с выхода элемента «исключающее ИЛИ», осуществляющего сравнение состояния информационного сигнала в первой и второй половинах тактового интерва-

ла. При совпадении состояний третий D-триггер устанавливается в лог. 0, при несовпадении – в лог. 1. После окончания импульса, в точке F2 на выходе QC формируется тактовый импульс. Далее устройство работает аналогичным образом.

Описание работы декодирующих устройств проведено для случая, когда длительность тактового интервала T_K декодирующего устройства равна длительности тактового интервала T декодирующего устройства. При неравенстве указанных интервалов возможно смещение импульсов в точках F относительно импульсов в точке E. Для нормального функционирования предложенных устройств необходимо, чтобы указанное смещение не превышало период повторения импульсов задающего генератора $T/8$ декодирующего устройства в течение всей информационной посылки. Следовательно, должно выполняться условие $|T - T_K|/T < 1/8n$, где n – количество информационных разрядов. При $n = 8|T - T_K|/T < 1/64 > 1,5\%$. Выполнение указанного условия не вызывает затруднений при использовании кварцевых задающих генераторов.

При необходимости количество информационных разрядов может быть увеличено на один или два порядка.

ЛИТЕРАТУРА

1. Шевкопляс Б.В. Микропроцессорные структуры. Инженерные решения: Справочник. Радио и связь, 1990.
2. Патент 2159988 РФ, МКИ H03M5/12. Преобразователь бинарного кода в фазоманипулированный код. А.А. Курочкин, А.П. Мартынов, Г.И. Шишкин. Изобретения. Полезные модели. 2000. № 3.
3. Патент 2163418 РФ, МКИ H03M5/12. Преобразователь фазоманипулированного кода в бинарный код. А.А. Курочкин, А.П. Мартынов, С.В. Панкратов, В.Н. Фомченко, Г.И. Шишкин. Изобретения. Полезные модели. 2001. № 5.
4. Климов В.П., Казанов И.М., Вишняков И.Л. Кодирование устройств оптических каналов. В сб. Электронная техника в автоматике. Радио и связь. 1985. Вып. 16. С. 257–264.
5. Климов В.П., Казанов И.М., Вишняков И.Л. Структуры декодирующих устройств оптических каналов. В сб. Электронная техника в автоматике. Радио и связь. 1986. Вып. 17. С. 254–262.

