

# Оценка энергопотребления цифрового блока СБИС

Николай Авдеев, Пётр Бибило (г. Минск, Беларусь)

В статье описана методика оценки энергопотребления функциональных блоков заказных СБИС с помощью средств автоматизированного проектирования фирмы Mentor Graphics.

## ВВЕДЕНИЕ

В настоящее время при проектировании цифровых блоков заказных цифро-аналоговых СБИС и систем на кристалле большое внимание уделяется снижению энергопотребления. Поэтому важным аспектом проектирования является

оценка энергопотребления будущей схемы на этапе синтеза проекта. Функционирование цифровых блоков СБИС описывается на высокоуровневых языках проектирования VHDL или Verilog. Моделирование VHDL-проектов осуществляется на логическом уровне, имеются так-

же средства синтеза логических схем по описаниям поведения на языке VHDL. Для конкретности мы будем рассматривать исходное описание функционального блока именно на этом языке. В отличие от средств логического (цифрового) моделирования проекта, оценка энергопотребления осуществляется путём аналогового моделирования схемотехнического описания проекта.

В САПР фирмы Mentor Graphics существуют два маршрута *аналогового* моделирования (см. рис. 1): первый, Board Station Flow, предназначен для разработки печатных плат; второй, IC Flow, – для разработки интегральных микросхем. В маршрут Board Station Flow входят редактор схем Design Architect и система аналогового моделирования AccuSim II на базе моделирующего ядра Eldo; в маршрут IC Flow входят редактор схем Design Architect-IC, программа Eldo и др. Перечислим основные программы:

- Design Architect (DA) – редактор для создания принципиальных схем. Обладает необходимым набором функций для ввода и редактирования схем; Design Architect IC (DA IC) является модификацией DA;
- AccuSim II – система аналогового моделирования на базе моделирующего ядра Eldo;
- ModelSim (QuestaSim) – система моделирования проектов на основе VHDL, Verilog и «смешанных» описаний со встроенными функциями анализа производительности и индикатора активности кода;
- Eldo – программа аналогового моделирования, обладающая высокой производительностью, большим объёмом встроенных библиотек моделей и гибкостью настройки. Использует алгоритмы Newton-Raphson, One-Step Relaxation и др.;
- ICnet – командно-строчное приложение, которое создаёт список соединений по графическому представлению, подготовленному в DA IC. Для создания списка для каждого элемента библиотеки (примитива) необходим *Netlist Control File* (NCF), в котором описаны передаваемые из схемы (графического изображения

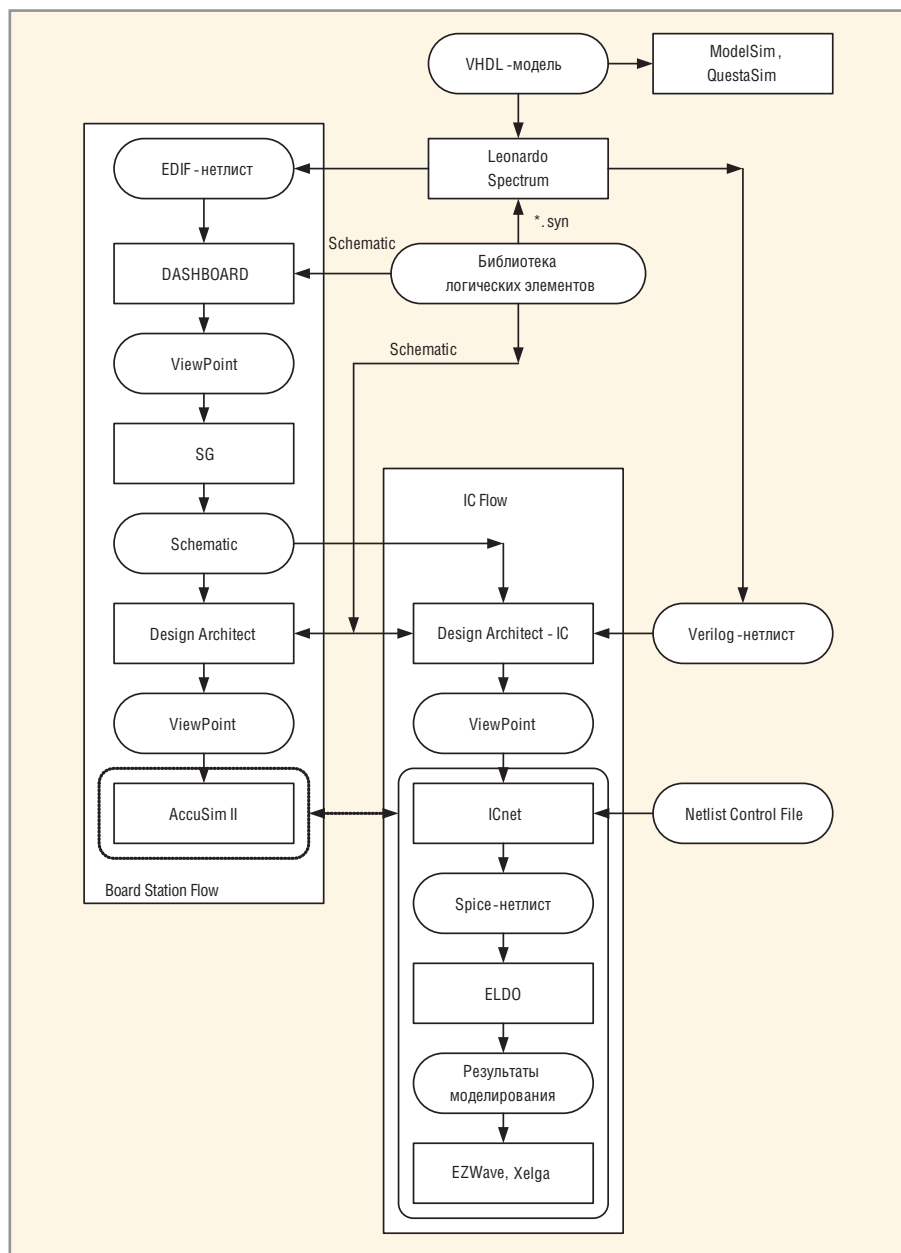


Рис. 1. Маршруты аналогового моделирования

символа) параметры (свойства) элементов (примитивов);

- EZwave, Xelga – программы интерактивного просмотра временных диаграмм (результатов моделирования);
- ViewPoint – «взгляд на схему», конфигурация схемы; выделенная в IC Flow часть маршрута соответствует программе AccuSim II.

Целью данной статьи является описание методики оценки энергопотребления цифровых функциональных блоков заказных СБИС с помощью существующих средств автоматизированного проектирования фирмы Mentor Graphics.

## МЕТОДИКА ИЗМЕРЕНИЯ

Пусть исходное описание поведения схемы представлено на языке VHDL и промоделировано в ModelSim [1], после чего выполнен синтез логической схемы с помощью программы LeonardoSpectrum [1] и получено текстовое описание (netlist) логической схемы. Синтезатор LeonardoSpectrum позволяет сохранить описание полученной схемы в различных форматах (языках) – Edif, VHDL, Verilog и т.д. Для маршрута Board Station Flow важно сохранение логической схемы в формате *Edif*, для маршрута IC Flow – в формате *Verilog*.

Методика измерения энергопотребления схемы включает следующие этапы:

- *Этап 1.* Создание схематехнического SPICE-описания для каждого типа логических элементов, используемых в синтезированной схеме. Схематехническое описание – это описание структуры логического элемента в виде сети транзисторов. Допускается иерархия в описаниях моделей элементов (комбинационных элементов и триггеров), т.е. сложные элементы могут быть представлены в виде соединений более простых элементов. При этом важно учитывать следующее обстоятельство: описания элементов схем на уровне логического синтеза не содержат силовых входов VCC (питание) и GND (земля), однако на уровне схематехнического (и топологического) проектирования такие входы всегда имеются, обозначаются одинаково и полагаются глобальными;
- *Этап 2.* Перевод Edif-описания схемы в формат программы Design Architect (DA). Этот перевод осуществляется в два шага: сначала по Edif-описанию строится список связей элементов схемы во внутреннем формате (для этого используется программа EDIF Dashboard), затем с

помощью программы Schematic Generator (SG) строится графический образ схемы. Перевод сохраняет первоначальную иерархию описания схемы. Полученное описание схемы в программе DA может быть сохранено в SPICE-формате и использовано на этапе 4 данной методики. В любом случае список соединений, представленный на других языках (VHDL, Verilog), должен быть преобразован на этапе 2 в формат SPICE;

- *Этап 3.* Подготовка эксперимента по оценке энергопотребления в программе DA заключается в выборе источника питания элементов схемы. Стандартные источники имеются в библиотеке программы. Текстовое описание источника питания можно дописать в SPICE-описание схемы;
- *Этап 4.* Проведение схематехнического моделирования в программе AccuSim II – измерение токов и напряжений, поскольку именно по этим параметрам можно вычислить энергопотребление. На этапе 4 можно выделить следующие шаги:

- 1) выбор режима моделирования. В программе AccuSim II имеются следующие режимы моделирования: *OP* – получение статической рабочей точки; *DC* – расчёт передаточной характеристики по постоянному току; *TRAN* – анализ переходных процессов (заметим, что для оценки энергопотребления требуется именно этот режим); *AC* – проведение частотного (малосигнального) анализа и др.;
- 2) указание библиотеки (файла в SPICE-формате), в которой описаны параметры транзисторов, составляющих логические элементы;
- 3) подготовка тестовых векторов, т.е. двоичных (0,1) векторов, подаваемых на вход измеряемой схемы, и организация подачи тестовых векторов. Под этим понимается время установления значений входных тестовых сигналов (длительность передних и задних фронтов), значения уровней сигналов напряжения и т.д.

Тестовые векторы могут быть составлены по-разному. Очевидно, что от вида последовательности тестовых векторов зависит энергопотребление схемы. Возможны следующие последовательности тестовых векторов:

- все пары различных двоичных наборов. Приведём последовательность комбинаций входных сигнала-

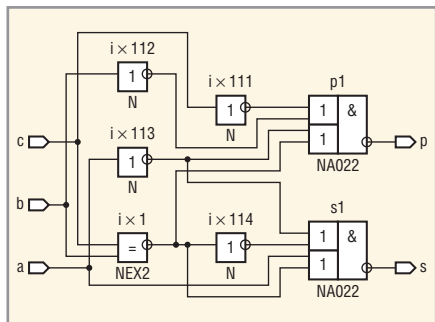


Рис. 2. Логическая схема SM из библиотечных вентилях

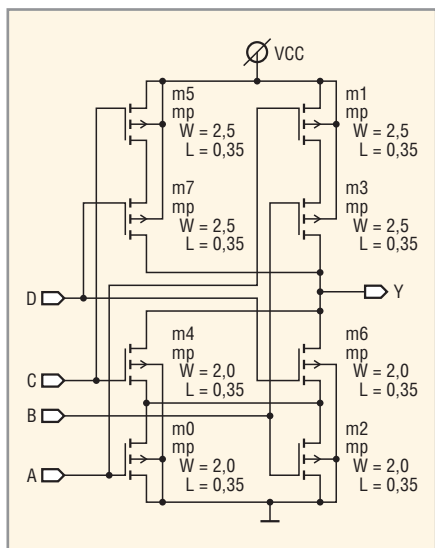


Рис. 3. Электрическая схема логического элемента NAO22

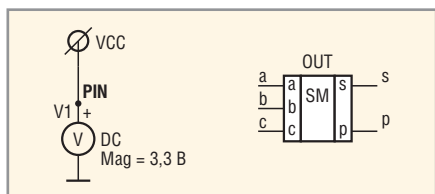


Рис. 4. Схема SM\_BMK

лов, позволяющих перебрать при моделировании все возможные упорядоченные пары комбинаций входных сигналов. Рассмотрим булево пространство от трёх переменных и воспользуемся десятичным представлением двоичных наборов сигналов. Различные комбинации будут представлены числами 0, 1, 2, 3, 4, 5, 6, 7. Упорядоченная последовательность комбинаций входных сигналов:

<0, 2, 0, 3, 0, 4, 0, 5, 0, 6, 0, 7, 0, 1, 3, 1, 4, 1, 5, 1, 6, 1, 7, 1, 2, 4, 2, 5, 2, 6, 2, 7, 2, 3, 5, 3, 6, 3, 7, 3, 4, 6, 4, 7, 4, 5, 7, 5, 6, 7, 6, 5, 4, 3, 2, 1, 0>.

- двоичные наборы согласно таблице истинности;
- наборы с заданной вероятностью появления нуля либо единицы для каждой из входных переменных;
- псевдослучайные наборы;
- заданное множество наборов.

Результатом этапа 4 может быть текстовый файл, в котором задаются как тестовые наборы, так и способы их подачи на входы схемы. Пример такого файла будет приведён ниже.

- 4) выбор сигналов для измерения и визуализации. Это могут быть входные/выходные сигналы, токи и напряжения в узлах схемы;
- 5) собственно моделирование. Выполняется командой *Run* в меню программы Accusim II;

- *Этап 5.* Оценка результатов моделирования. Оценка токов и напряжений может осуществляться по параметрам (показателям) *Average*, *RMS* и др. [2]. Представляется целесообразным использование показателя *Average*, который подсчитывается по формуле:

$$Average = \frac{1}{t_{max} - t_{min}} \int_{t_{min}}^{t_{max}} wave(t) dt,$$

где *t* – время, *wave* – функция, показывающая зависимость значения измеряемого тока или напряжения от времени. Содержательно показатель *Average* означает величину площади (этой величине соответствует интеграл), делённую на длину временного интервала моделирования; по сути – среднее значение потребляемого тока либо напряжения.

### ПРИМЕНЕНИЕ МЕТОДИКИ ИЗМЕРЕНИЯ

Проиллюстрируем методику на примере схемы SM (см. рис. 2), полученной из VHDL-программы (см. листинг 1) с помощью синтезатора LeonardoSpectrum. Функции элементов схемы: элемент N (инвертор) реализует функцию  $y = \bar{A}$ ; элемент NEX2 – функцию  $y = AB \vee \bar{A}\bar{B}$ ; элемент NAO22 – функцию  $y = (A \vee B)(C \vee \bar{D})$ . Описание схемы на языке VHDL приведено в листинге 2.

```
Листинг 1. Исходное VHDL-описание
схемы SM сумматора
library ieee;
use ieee.std_logic_1164.all;
entity sm is
port (
a : in std_logic;
b : in std_logic;
c : in std_logic;
```

```
s : out std_logic;
p : out std_logic);
end sm;
architecture beh of sm is
begin
s <= (a and b and c) or
(not a) and (not b) and c) or
(a and (not b) and (not c)) or
(not a) and b and (not c));
p <= (a and b) or (a and c) or
(b and c);
end beh;
```

Листинг 2. Описание соединений элементов (netlist) схемы SM на языке VHDL

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;
entity sm is
port (
a : IN std_logic ;
b : IN std_logic ;
c : IN std_logic ;
s : OUT std_logic ;
p : OUT std_logic );
end sm ;
architecture beh of sm is
signal nx0, nx107, nx108, nx109,
nx110: std_logic ;
begin
ix1 : NEX2 port map ( Y=>nx0,
A=>c, B=>b);
ix111 : N port map ( Y=>nx107,
A=>c);
ix112 : N port map ( Y=>nx108,
A=>b);
ix113 : N port map ( Y=>nx109,
A=>a);
p1 : NAO22 port map ( Y=>p,
A=>nx107, B=>nx108, C=>nx109,
D=>nx0);
ix114 : N port map ( Y=>nx110,
A=>nx0);
s1 : NAO22 port map ( Y=>s,
A=>nx109, B=>nx110, C=>a,
D=>nx0);
end beh ;
```

*Этап 1.* Для каждого из трёх типов (N, NEX2, NAO22) логических элементов схемы SM создаётся схематическое SPICE-описание. Например, для элемента NAO22 (см. рис. 3) схематическое описание имеет вид, представленный в листинге 3. Описанию каждого из транзисторов M0, ..., M7 соответствует одна строка, в которой указаны названия цепей, тип транзистора и его основные параметры:

Листинг 3. SPICE-описание элемента NAO22

```
.subckt NAO22 Y A B C D
M3 N$307 B Y VCC mp l=3.5e-07
+w=2.5e-06
M7 N$303 D Y VCC mp l=3.5e-07
+w=2.5e-06
M1 VCC A N$307 VCC mp l=3.5e-07
+w=2.5e-06
M5 VCC C N$303 VCC mp l=3.5e-07
+w=2.5e-06
M6 N$302 D Y GND mn l=3.5e-07
+w=2e-06
M4 N$302 C Y GND mn l=3.5e-07
+w=2e-06
M2 GND B N$302 GND mn l=3.5e-07
+w=2e-06
M0 GND A N$302 GND mn l=3.5e-07
+w=2e-06
.ends NAO22
```

Этап 2. Преобразование списка соединений (см. листинг 2) в SPICE-описание. Результат представлен в листинге 4.

```
Листинг 4. SPICE-описание схемы SM
.subckt SM P S A B C
X_S1 S NX109 NX110 A NX0 NAO22
X_P1 P NX107 NX108 NX109 NX0
+NAO22
X_IX114 NX110 NX0 N
X_IX113 NX109 A N
X_IX112 NX108 B N
X_IX111 NX107 C N
X_IX1 NX0 C B NEX2
.ends SM
```

Этап 3. В программе DA добавляем источник питания (см. рис. 4), это эквивалентно созданию SPICE-описания, приведённого в листинге 5. Полученную схему (схему SM вместе с источником питания) назовём SM\_BMK.

```
Листинг 5. SPICE-описание схемы SM_BMK
.Global VCC GND
V1 VCC GND DC 3.3V
X_DUT P S A B C SM
```

Этап 4. Устанавливаем режим моделирования TRAN и выбираем время моделирования (200 нс). Эквивалентная запись в формате Spice:

```
.TRAN 1E-09 2E-07 0
```

Тестовые наборы составим так, чтобы лог. 1 на входе С схемы I появлялась с вероятностью 0,7; на входе В – с вероятностью 0,3; на входе А – с вероятностью 0,5. Результатом выполнения этапа 4.3 является файл, представленный в листинге 6:

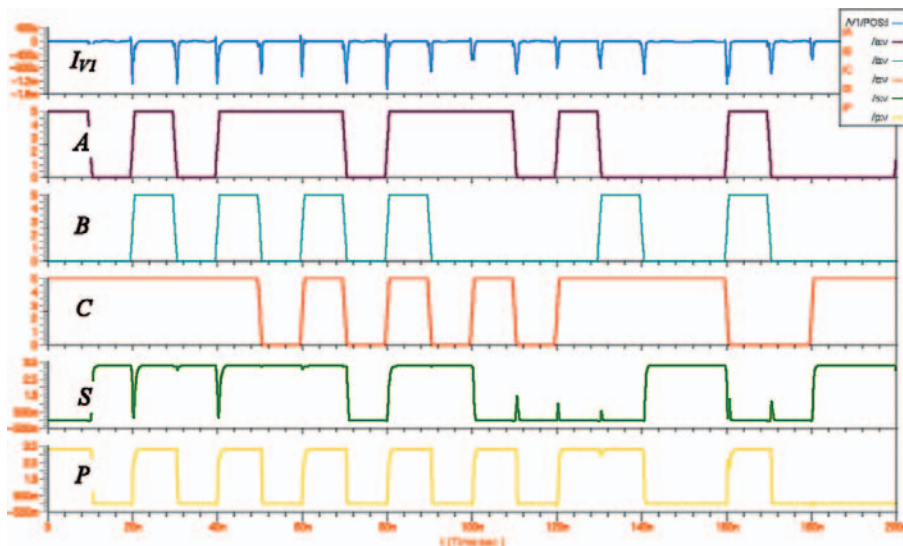


Рис. 5. Временная диаграмма – результат моделирования схемы SM

```
Листинг 6. Описание тестовых векторов, подаваемых на входы схемы SM
.param VHI=5 VLO=0 TDELAY=0
+TRISE=1n TFALL=1n TSAMPLE=10n
VC C 0 pattern VHI VLO TDELAY
+TRISE TFALL TSAMPLE
+ 1111101010101011110011 R
VB B 0 pattern VHI VLO TDELAY
+TRISE TFALL TSAMPLE
+ 00101010100001001000 R
VA A 0 pattern VHI VLO TDELAY
+TRISE TFALL TSAMPLE
+ 10101110111010001000 R
```

Обозначения, использованные в листинге 6: VHI – напряжение лог. 1; VLO – напряжение лог. 0; TDELAY – начальная задержка; TRISE – длительность переднего фронта (переход из лог. 0 в лог. 1); TFALL – длительность заднего фронта (переход из лог. 1 в лог. 0); TSAMPLE – длительность одного бита; R – признак циклического повторения последовательности бит, указанной в данной строке; символ + означает соединение данной строки с предыдущей.

Выбираем наблюдаемые сигналы – входы А, В, С, D, выходы P, S схемы и ток с положительного вывода (PIN) источника питания (см. рис. 4) – и выполняем моделирование, результат которого в виде временной диаграммы представлен на рисунке 5.

Этап 5. Оцениваем ток, который потребляет схема SM, используя различные показатели: среднее значение потребляемого тока  $I_{Average} = -44,88504$  мкА; максимальное значение тока  $I_{max} = -1437,604$  мкА. Вычисление показателей можно задать в SPICE:

```
.MEAS TRAN Iav AVG i(v1)
```

```
.EXTRACT TRAN label=IMAX
MAX(i(v1))
```

где v1 – название источника питания.

Результат моделирования выводится в выходной файл. Формулы для оценки среднего значения потребляемой мощности P, использующие средние значения тока и напряжения, приведены в [3]:  $P = I_{Average} \times VCC = -44,88504$  [мкА]  $\times 3,3$  [В] = 148,12 [мкВт]. Заметим, что значение максимального тока  $I_{max}$  необходимо для расчёта оптимальной ширины шины питания, чтобы избежать эффекта электромиграции.

### ЗАКЛЮЧЕНИЕ

Измерение энергопотребления синтезированных схем может быть проведено с помощью имеющихся программ фирмы Mentor Graphics, однако маршрут является достаточно сложным и требует хорошего знания различных программ, форматов представления данных и режимов моделирования. Проблема усложняется выбором «окружения» измеряемой схемы, которое влияет на длительность фронтов подаваемых сигналов, что, в свою очередь, отражается на значениях напряжения и тока цепей схемы. Однако методика измерения параметров энергопотребления не изменяется.

### ЛИТЕРАТУРА

1. Библио П.Н. Системы проектирования интегральных схем на основе языка VHDL. StateCAD, ModelSim, LeonardoSpectrum. СОЛОН-Пресс, 2005.
2. Eldo User's Manual. 2005. V. 6.5\_1.
3. Рабаи Ж.М., Чандракасан А., Николич Б. Цифровые интегральные схемы, 2-е изд. «Вильямс», 2007.