

Обзор современных статических запоминающих устройств

Александр Пескин (Москва)

Обзор посвящён рынку современных статических запоминающих устройств (ЗУ) с произвольной выборкой (SRAM – Static Random Access Memory) и содержит краткое описание типов ЗУ и рекомендации по их применению.

ОБЩИЕ СВЕДЕНИЯ

SRAM – это оперативное ЗУ (ОЗУ), которое хранит информацию, пока на него подаётся питающее напряжение. То, что этот вид памяти в пересчёте на один бит дороже динамического ОЗУ с произвольной выборкой (DRAM – Dynamic Random Access Memory), объясняется устройством запоминающей ячейки.

SRAM состоит, как правило, из триггерных ячеек, имеющих два устойчивых состояния. Информация при считывании, записи и хранении не разрушается, что приводит к увеличению быстродействия за счёт отсутствия циклов регенерации. В то же время SRAM-ячейка памяти, построенная обычно на шести транзисторах, занимает на кристалле больше места и потребляет больше энергии, чем ячейка DRAM.

Последняя обычно состоит из одного транзистора и одного конденсатора, занимая меньшую площадь, чем стандартная шеститранзисторная ячейка SRAM. Наличие или отсутствие заряда на конденсаторе соответствует логической единице или логическому нулю. Однако из-за того, что конденсаторы со временем теряют заряд, а значит, и сохранённые данные за счёт токов утечки, ячейки DRAM должны регулярно обновляться в процессе регенерации. Поэтому DRAM обладает меньшим быстродействием, чем выполненная по той же технологии (обычно КМОП) SRAM, где нет необходимости регулярного обновления.

SRAM широко применяется в быстродействующем коммуникационном оборудовании и буферной кэш-памяти современных процессоров.

Современные SRAM можно условно разделить на две большие группы: синхронные и асинхронные.

В *синхронных SRAM* все операции обмена (считывание, запись и т.п.) совершаются непрерывным потоком в течение одного извне заданного периода (такта).

Все эти операции базируются на состоянии выходного сигнала в момент, когда регистрируется граница такта (большая часть во время нарастающего фронта тактового импульса).

В *асинхронных SRAM*, напротив, нет такого выхода, а ЗУ на выходе ждёт команду контроллера и выполняет её сразу, как только она распознаётся.

Выбор типа SRAM зависит от ряда факторов, к которым, в частности, относятся: потребляемая мощность, полоса пропускания, плотность и соотношение частот выборок считывания и записи.

Для соответствия различным системным требованиям используется целый ряд синхронных и асинхронных SRAM, которые рассмотрены ниже.

СИНХРОННЫЕ SRAM

Синхронные SRAM появились в конце 80-х годов и сначала применялись для кэш-памяти с уровнем Level-2 в мощных рабочих станциях и серверах. В середине 90-х годов они нашли применение в менее специализированных устройствах, например кэш-памяти ПК. С этого времени синхронные SRAM используются в широкой палитре устройств, например, в мощных сетях, где они работают как буфер данных, Scratchpad-ЗУ, и как статическая буферная память.

Так называемые «стандартные синхронные SRAM» (SS) были первыми синхронными SRAM, получившими широкое распространение. Они

были сконструированы главным образом для кэш-памяти ПК, однако нашли также применение в сетевом и телекоммуникационном оборудовании, аппаратуре DSP (цифровой обработки сигналов), медицинской технике, системах контроля и т.д.

Внутреннее устройство стандартных синхронных SRAM таково, что между выборками считывания и записи должен быть вставлен «мёртвый» цикл, или фаза ожидания (Wait State). В этой фазе сигналы входа/выхода (I/O) SRAM переключаются со входа на выход. Подобного рода смена состояний может привести к сбою работы шины, когда оба запроса поступают на неё одновременно. Благодаря фазе ожидания этот риск уменьшается.

Спроектированы также стандартные SRAM для эксплуатации с двумя ведущими шины (например, в случае применения в кэш-памяти уровня L2 этими ведущими являются процессор и контроллер памяти чипсета).

Для поддержания работы двух ведущих шины в архитектуре предусмотрено два различных управляющих входа, с помощью которых можно осуществлять выборки считывания и записи. Для управления памятью процессора, как правило, используется адрес ADSP (Address Strobe Processor), тогда как контроллер использует адрес ADSC (Address Strobe Controller). Обращения к памяти возможны только в случаях, когда свободен хотя бы один из этих адресов.

Стандартные синхронные SRAM поддерживают функцию пакета (Burst), которая позволяет контроллеру по одному адресу осуществлять выборки чтения и записи в четырёх следующих друг за другом ячейках SRAM. При этом SRAM использует адрес в сочетании со встроенным двухбитовым счётчиком, который обеспечивает приращение на три следующих адреса. Чтобы вызвать подсчёт в следующих адресах, требуется лишь установить входной сигнал ADV (Advance) SRAM. Эта отличич-

тельная черта особенно важна в приложениях, в которых за одну текущую последовательность сохраняются различные данные (например, при операции заполнения строки кэш-памяти).

Стандартные синхронные SRAM предлагаются в двух основных вариантах: «конвейерные» (Pipelined) и «поточковые» (Flow-Through) (см. рис. 1).

И те, и другие SRAM имеют входные регистры, которые служат для сбора всех входных сигналов: адреса, данных и управления. В потоковых SRAM входными регистрами снабжены только адресный и управляющий выходы. Как только начинается считывание, соответствующие данные достигают выходов. Поточковая архитектура (см. рис. 2) предпочтительнее, когда начальное время ожидания данных (Time to First Data) важнее, чем длительная пропускная способность (Мбит/с).

SRAM с конвейерной (Pipelined) архитектурой, в отличие от потоковых, оснащены ещё и выходными регистрами (см. рис. 3). С добавлением выходного регистра на один цикл увеличивается начальное время ожидания, одновременно уменьшается объём выборки, что уравнивает в какой-то степени потоковые и конвейерные синхронные SRAM по скорости выполнения каждого отдельного тактового цикла. Поэтому конвейерные SRAM предпочтительнее потоковых в тех случаях, когда пропускная способность имеет большее значение, нежели начальное время ожидания.

Все стандартные синхронные SRAM поддерживают различные опции выборок записи, а именно: Single-Cycle Writes, Two-Cycle Writes, Burst Writes и Byte Writes. В случае Single-Cycle Writes вся необходимая информация предоставляется в распоряжение SRAM за один-единственный тактовый цикл.

В случае Two-Cycle Writes во время первого цикла предоставляются адрес и данные, а во втором цикле – управляющая информация. В Burst Writes выборки записи осуществляются, как и выборки считывания Burst Read, последовательно. И наконец, в случае опции Byte Writes из входящих сигналов записываются и контролируются только определённые байты данных.

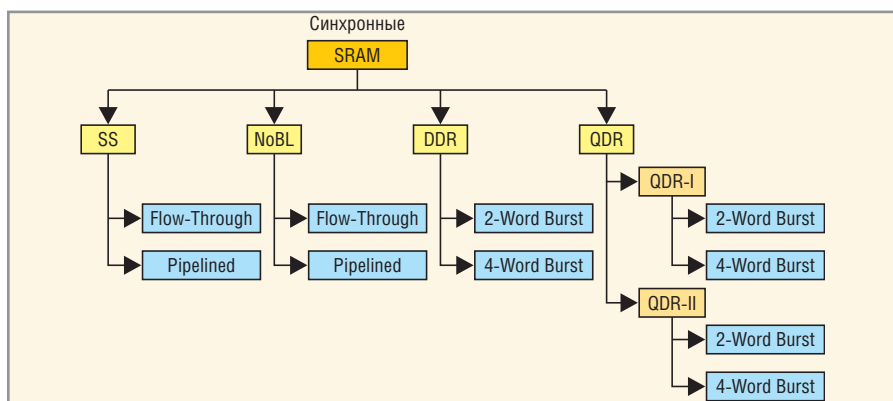


Рис. 1. Родословное дерево синхронных SRAM с ветвями Standard Synchronous (SS), No Bus Latency(NoBL), Double Data Rate (DDR), Quad Data Rate (QDR)

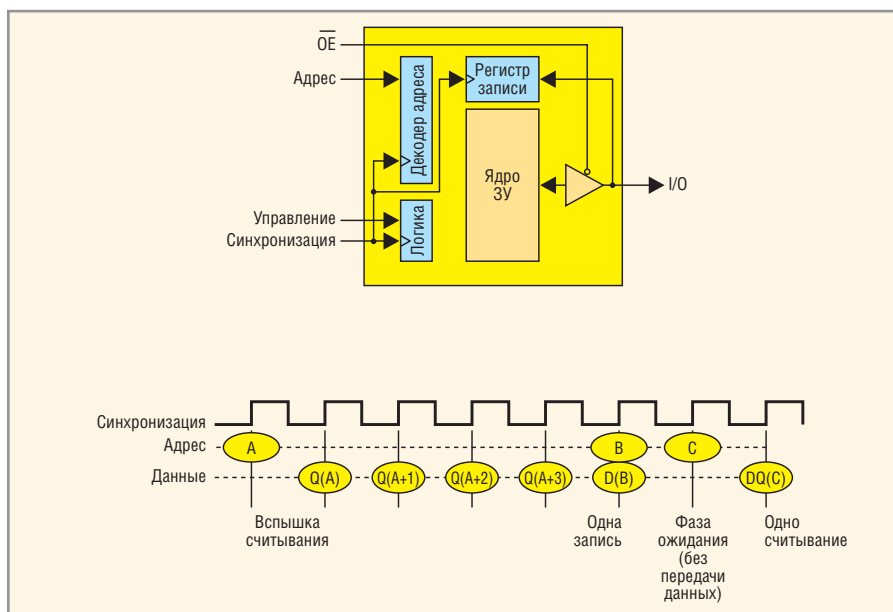


Рис. 2. Стандартные синхронные SRAM с потоковой (Flow-Trough) архитектурой

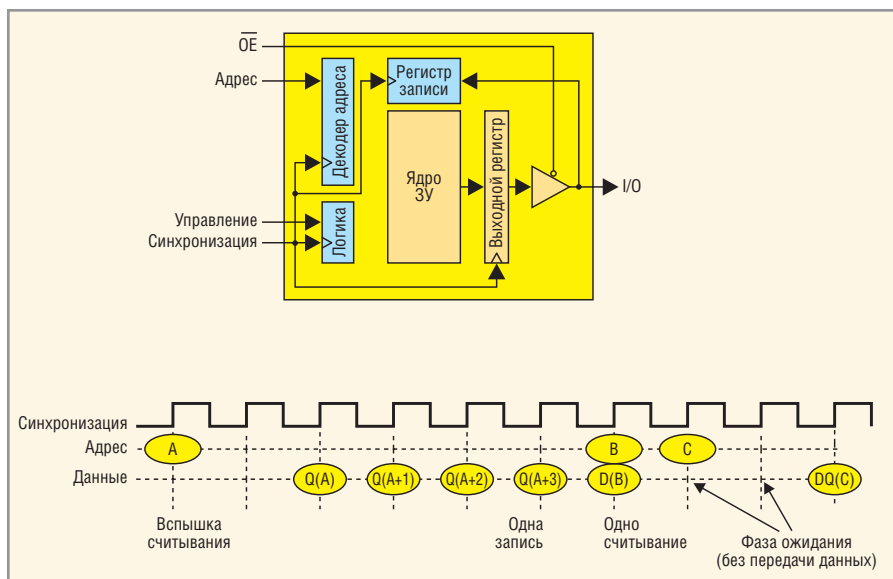


Рис. 3. Стандартные синхронные SRAM с конвейерной (Pipelined) архитектурой

Применение SRAM в сетях коренным образом отличается от её использования в кэш-памяти уровня L2. Здесь SRAM может выполнять различные функции, например, ис-

пользоваться как буферная память, статическая буферная память и т.п. Эти задачи по большей части не требуют длинных последовательностей выборок считывания или записи.

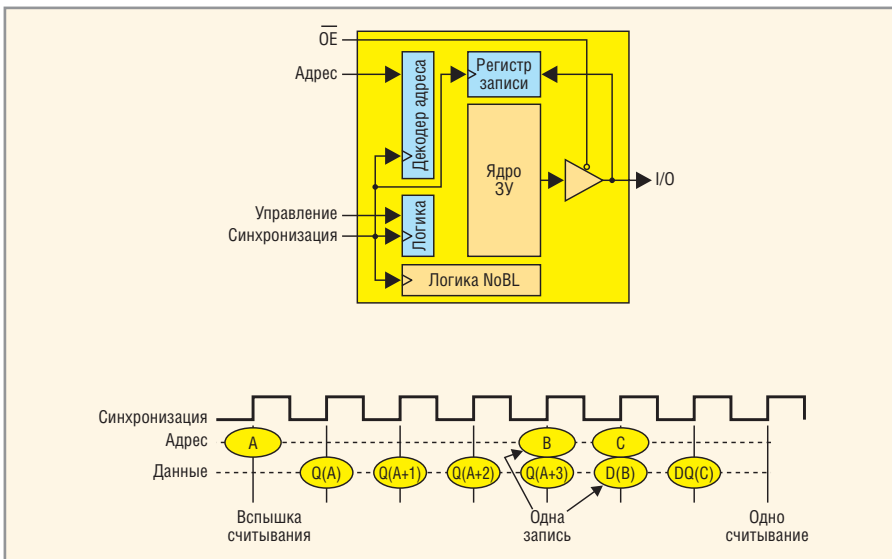


Рис. 4. Одноцикловый сдвиг при потоковой архитектуре NoBL SRAM

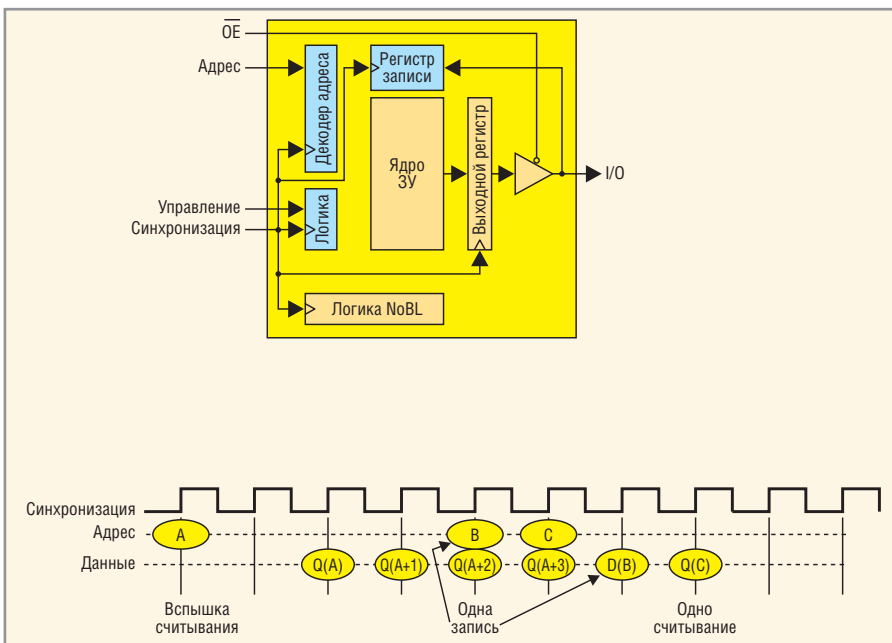


Рис. 5. Двухцикловый сдвиг при конвейерной архитектуре NoBL SRAM

Вышеупомянутая фаза ожидания, которая почти не влияла на системную работу ПК, может поэтому повлечь за собой значительную потерю мощности.

Чтобы преодолеть это затруднение, фирма Cypress разработала SRAM без ожидания в шине передачи – *No BL*

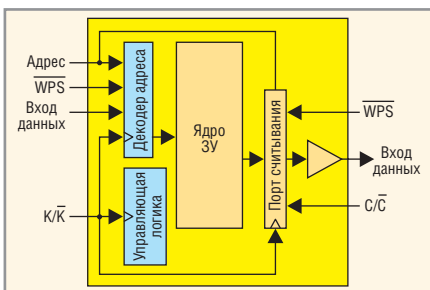


Рис. 6. Наличие отдельных портов считывания и записи в архитектуре QDR SRAM

(No Bus Latency). No BL SRAM имеют сходство со стандартными синхронными SRAM, однако обычно необходимая фаза ожидания уменьшена добавочной схемой логики. Это обеспечивает 100-% загрузку шины независимо от профиля считывания/записи, так как становится возможным перенос информации с каждым тактовым циклом. Это значительно улучшает работу ЗУ в тех устройствах, где происходят частые переключения между выборками считывания и записи.

Для уменьшения необходимых стандартным синхронным SRAM циклов ожидания в No BL SRAM используется предположение, что данные для операций записи симметричны данным для операций считывания. Это

означает, что задержки управляющей информации и информации о данных, направленные в шину, должны быть одинаковы для выборок считывания и записи.

В потоковой и конвейерной архитектурах имеются как описанные выше стандартные синхронные SRAM, так и No BL SRAM. В отличие от стандартных синхронных SRAM, архитектура No BL SRAM не поддерживает однокруговые операции записи, с помощью которых была бы возможна 100-% загрузка шины. Операция Single-Cycle Writes потребовала бы, как и в стандартных синхронных SRAM, фазы ожидания, во время которой конвейер должен быть снова загружен. Неизменный сдвиг между адресом и данными при осуществлении выборок считывания и записи продемонстрирован на рисунках 4 и 5. Как видно, сдвиг при потоковой архитектуре составляет всегда один цикл, тогда как в конвейерном варианте – два цикла.

Даже после введения архитектуры No BL и, как следствие, повышения эффективности работы по сравнению со стандартными синхронными SRAM, имеется ряд систем, которым не хватает и этой дополнительной производительности. В связи с этим фирмы Cypress, Renesas, IDT, NEK и Samsung объединились для разработки новой архитектуры SRAM – QDR (Quad Data Rate).

Для достижения более коротких периодов ожидания и большей пропускной способности в архитектуре QDR SRAM должны учитываться потребности систем с большой пропускной способностью.

Одним из важнейших различий между QDR SRAM и No BL SRAM стало то, что архитектура QDR обладает отдельными портами считывания и записи, которые поддерживают независимую друг от друга работу и одновременные операции считывания и записи (см. рис. 6). Таким образом, риск сбоя работы полностью исключён.

Другое существенное отличие состоит в том, что QDR SRAM допускают одновременные операции обмена. Операции считывания и записи могут происходить параллельно в одном и том же тактовом цикле. QDR SRAM имеют, кроме того, интерфейс DDR (Double Data Rate), что делает возможным перенос данных не толь-

ко по фронту тактового импульса, но и по спаду.

Другой основополагающей разницей между QDR и No BL SRAM является функция обобщённого адреса QDR. Порты считывания и записи используют адресную шину совместно, что позволяет обойтись меньшим числом выводов. Наконец, QDR SRAM поддерживают два тактовых входа K и \bar{K} вместо обычно применяемого в SRAM одного тактового входа.

В результате этих различий QDR SRAM могут поддерживать две одновременные операции обмена данными с DDR-скоростью передачи, что даёт увеличение скорости в четыре раза. Достичь подобного учетверения скорости обмена данными можно, когда порты считывания и записи постоянно активны.

В отличие от стандартных синхронных SRAM и No BL SRAM, работающих с прерываемыми пакетами, пакеты QDR SRAM непрерывны. Хотя преждевременное прекращение или прерывание пакетного цикла невозможно, если необходимо, можно «приглушить» часть записываемых данных с помощью вывода управления байтами записи.

QDR SRAM доступны в двух основных версиях: 2-Word Burst и 4-Word Burst. Они отличаются продолжительностью пакетов на одну операцию обмена. Особенно интересно, что первая версия допускает тонкую регулировку доступа к массиву данных, так как каждый раз доступ осуществляется только на два бита вместо четырёх. С другой стороны, тогда на адресную шину приходится вдвое больше операций обмена, чем в 4-Word Burst.

Доработанная версия QDR SRAM с повышенной производительностью называется QDR-II SRAM. Память QDR-II обладает двумя источниками тактовой синхронизации, которые при получении данных помогают контроллеру. Источники являются выходами SRAM и обозначаются как Echo Clocks. Эти выходы синхронизации ориентированы на вывод данных и могут быть использованы как индикаторы наличия соответствующих данных или для запуска входного регистра.

Сформированное QDR-II окно проверки данных (Data Valid) при равных частотах примерно на 35%

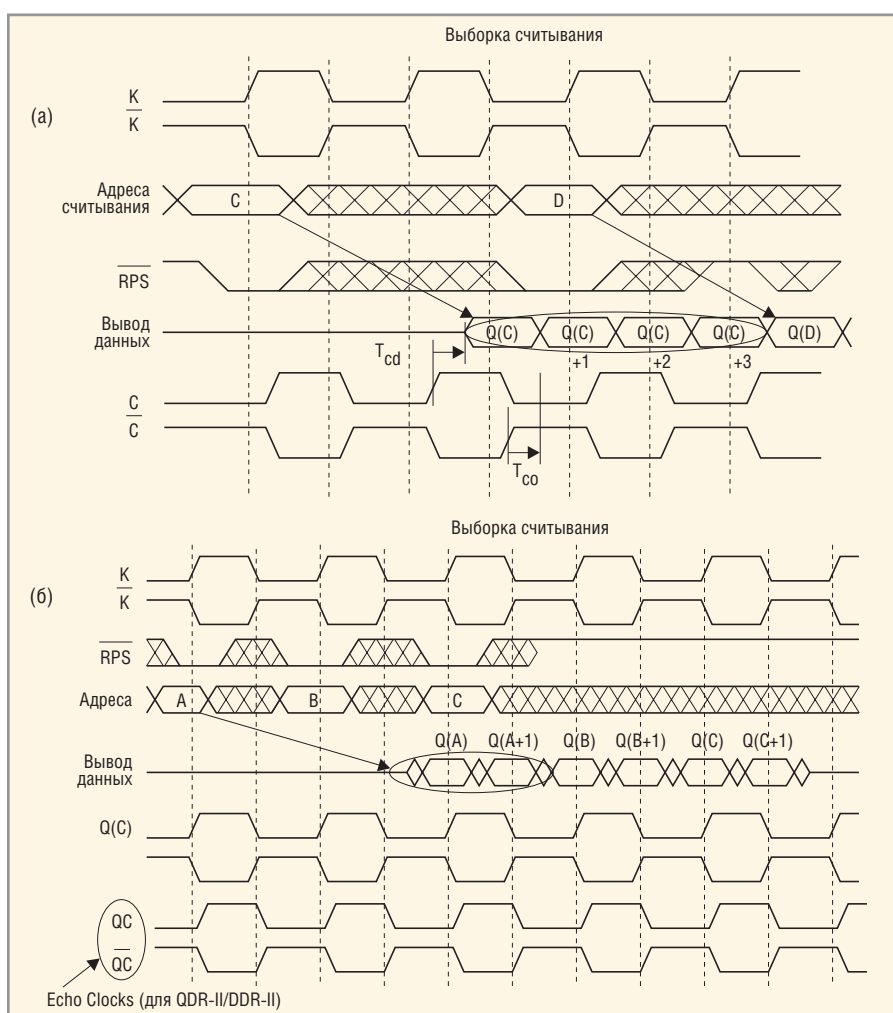


Рис. 7. Временные осциллограммы QDR-II SRAM и DDR SRAM (а) 2-Word-Burst; (б) 4-Word-Burst

шире, чем в устройствах QDR. QDR-II обладает, по сравнению с устройствами QDR, добавочным временем ожидания, равным половине цикла, что при минимальном влиянии начального времени ожидания позволяет добиться значительно более высокой частоты и пропускной способности. Некоторые различия между QDR и QDR-II SRAM приведены в таблице.

В то время как QDR SRAM были задуманы для использования с равномерным потоком выборок считывания и записи, DDR SRAM-архитектура предлагается для применения в случаях, когда подряд следует много выборок считывания, следующих за серией выборок записи (Daten Streaming), и необходима значительно большая, чем в стандартных синхронных SRAM или No BL SRAM, пропускная способность. При таком потоке данных краткосрочное соотношение между операциями считывания и записи составляет либо 100% для выборок считывания, либо 100%

для выборок записи, даже когда оба типа выборок взаимно уравновешены. В QDR SRAM это приводит к тому, что каждый раз один из портов (и принадлежащие ему выводы) остаётся невоображаемым. Это и дало толчок к разработке DDR SRAM, в которых для входных и выходных данных используется одна и та же шина данных и общий интерфейс входа/выхода. Необходимость переключения шин для выборок считывания и записи уменьшает, правда, доступную пропускную способность в определённых системах, однако, в целом

Сравнение особенностей QDR и QDR-II RAM

Характеристики	QDR	QDR-II
Частота, МГц: 2-Word Burst 4-Word Burst	166 200	250 300
Окно проверки данных, нс	1,4	1,9
Время ожидания данных, текстовых циклов	1	1,5
Напряжение питания, В	2,5	1,8
Источник тактовой синхронизации	Нет	Есть

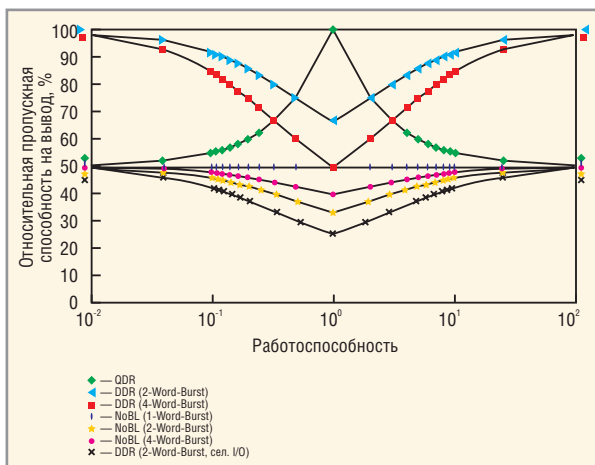


Рис. 8. Зависимость относительной пропускной способности на вывод от работоспособности различных типов синхронных SRAM

получается лучшая равномерность загрузки шины и значительное увеличение общей пропускной способности, так как в течение передачи увеличенных пакетов используются все сигналы данных и интенсивность информационного потока достигает максимума. Как и QDR SRAM, DDR SRAM также представлена в двух вариантах: 2-Word Burst и 4-Word Burst (см. рис. 7).

На рисунке 8 показана зависимость относительной пропускной способности на вывод от соотношения частот выборок считывания/записи различных типов синхронных SRAM.

Асинхронные SRAM

Под асинхронными подразумеваются SRAM, которые не имеют синхронизирующего (тактового) входа (см. рис. 9). Здесь операции считывания и записи осуществляются сразу, как только устройство получает соответствующий запрос.

Асинхронные SRAM характеризуются использованием стартовых и

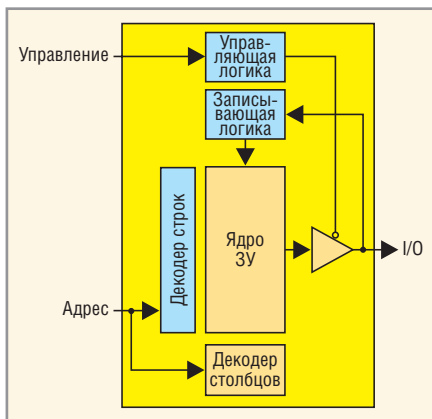


Рис. 9. Архитектура асинхронной SRAM

стоповых битов. Так как асинхронные SRAM используются уже много десятилетий, контроллеры ЗУ, имеющиеся во многих стандартных процессорах, традиционно снабжены интерфейсами для них.

Типовое время доступа асинхронных устройств SRAM – около 8 нс или более, поэтому такая память используется в системах с тактовой частотой не более 100 МГц.

Асинхронные SRAM можно разделить на две группы: быстрые асинхронные SRAM и маломощные асинхронные SRAM (Mo BL – More Battery Life).

К быстрым можно отнести асинхронные SRAM со временем доступа 35 нс и менее. Эти ЗУ используются в основном в старых системах и потребляют относительно большую мощность (0,5 Вт и более – не исключение). Перечислим некоторые типичные области их применения: кэш-память старых ПК, Scratchpad-ЗУ, буферная память в промышленных приложениях и др.

В портативных устройствах с батарейным питанием (например, мобильные телефоны, пейджеры и т.п.) всё более важным параметром становится потребляемая мощность. По этой причине такие производители, как Cypress, ввели в использование семейство SRAM с рекордно низким потреблением мощности. Маломощные энергосберегающие SRAM семейства Mo BL работают со временем доступа 40 нс или дольше.

Обычное потребление энергии в дежурном режиме Standby составляет 10 мкВт и менее, а в активном – 30 мкВт или более. Подобные ЗУ имеют ёмкость от 64 Кбит до 16 Мбит.

Псевдо-SRAM (PSRAM)

Когда необходима ёмкость более 16 Мбит, одним из решений может быть ЗУ псевдо-SRAM – PСRAM. Это ЗУ с ядром DRAM и интерфейсом, подобным SRAM. Одна запоминающая ячейка ядра DRAM состоит из одного транзистора и одного конденсатора. Как уже упоминалось, техника DRAM обеспечивает большую ёмкость и

меньшую цену одного бита, однако требуется периодическое обновление (регенерация) ячеек. В то время как в традиционных DRAM управление обновлением находится вне памяти, в PСRAM оно интегрировано в само устройство. Соответственно, можно использовать PСRAM для того, чтобы надстроить ёмкость других асинхронных SRAM.

Выводы и перспективы

Несмотря на широкий ассортимент устройств SRAM, в некоторых случаях возможности выбора для конструкторов ограничены. Хотя новые процессоры конструируются так, что обладают поддержкой большого числа различных типов SRAM, во многих признанных процессорах встроенные контроллеры памяти поддерживают лишь определённую архитектуру.

Для выбора подходящего типа памяти необходимо определиться с требованиями подсистемы: пропускной способностью, временем ожидания, потреблением энергии в активном режиме, стоимостью, а также соотношением частот выборок считывания и записи и частотой обращений.

Даже внутри одной и той же системы вовсе не ко всем ЗУ предъявляются одинаковые требования. Например, в соответствии с тенденцией, профиль считывания/записи при применении ЗУ в сетях составляет почти 50/50, для чего лучше всего подходит память семейства QDR. В других случаях (даже при других функциях внутри той же системы), когда сохраняется неравное соотношение между выборками считывания и записи, лучше отдать предпочтение архитектуре 1/0, например, стандартным синхронным No BL или DDR SRAM. В приборах с жёсткими требованиями к потреблению энергии наиболее перспективными типами памяти являются No BL и PСRAM.

ЛИТЕРАТУРА

1. Ritesh Mastipuram. Der SRAM-Report 2004. Electronic. 2004. № 13. С. 54 – 58.
2. Иванов Е., Машурян Э. Современные приборы памяти и проблемы оптимального выбора. Электронные компоненты. 2004. № 3. С. 23 – 25.
3. Фрике К. Вводный курс цифровой электроники. М.: Техносфера, 2003.

Полупроводники НА ОСНОВЕ КАРБИДА КРЕМНИЯ Практическое применение

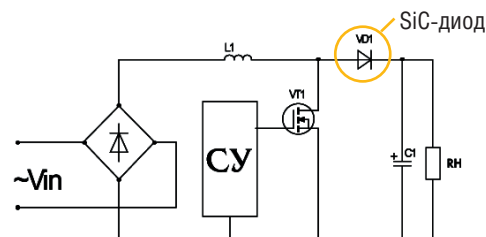
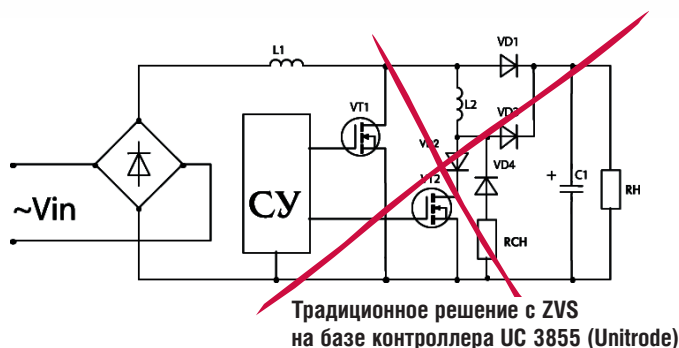


Активный КММ мощностью 1,5 кВт
на диоде Шоттки CSD 20060D

ПРИМЕНЕНИЕ SiC-ДИОДОВ ШОТКИ ПОЗВОЛЯЕТ

- Снизить потери в диоде и ключевом транзисторе в 2 раза
- Уменьшить количество силовых электронных компонентов в 3 раза
- Увеличить надёжность
- Повысить частоту преобразования, снизить массу и габариты
- Получить выигрыш в стоимости и эффективности одновременно

Подробную информацию об этой разработке вы найдете на сайте официального дистрибьютора компании CREE — www.prochip.ru

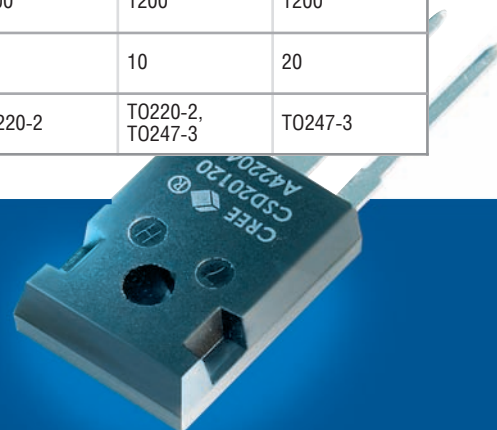


ХАРАКТЕРИСТИКИ ВЫСОКОВОЛЬТНЫХ ДИОДОВ ШОТКИ ФИРМЫ CREE

Наименование	CSD04060A CSD04060D CSD04060E	CSD06060A CSD06060D CSD06060G	CSD10060A CSD10060D CSD10060E	CSD20060D	CSD05120A	CSD10120A CSD10120D	CSD20120D
$U_{\text{макс}}$, В	600	600	600	600	1200	1200	1200
$I_{\text{пост}}$, А	4	6	10	20	5	10	20
Типы корпусов	TO252, TO220-2, TO220-3	TO263, TO220-2, TO220-3	TO263, TO220-2, TO220-3	TO247-3	TO220-2	TO220-2, TO247-3	TO247-3

ОБЛАСТИ ПРИМЕНЕНИЯ:

- Активные корректоры коэффициента мощности — снижение динамических потерь в ключевом транзисторе и диоде до 60%
- Антипараллельные диоды MOSFET- и IGBT-транзисторов и модулей для жёсткого переключения — снижение динамических потерь на 20...30%
- Мощные высоковольтные выпрямители для частот до единиц мегагерц



Высоковольтные 300...1200 В ZeroRecovery™ диоды Шоттки на основе карбида кремния компании Cree