


Практический курс сквозного проектирования цифровых устройств на основе ПЛИС фирмы Xilinx

(часть 11)





Валерий Зотов (Москва)

В одиннадцатой части курса рассмотрен процесс выполнения этапа синтеза разрабатываемого устройства. Приводится описание структуры отчёта о выполнении этапа синтеза.

Выполнение этапа синтеза проектируемого устройства для последующей реализации на базе ПЛИС семейств CPLD

Процесс синтеза активируется двойным щелчком левой кнопки мыши на строке *Synthesize – XST* в окне процессов (*Processes Window*) Навигатора проекта. При этом в начале указанной строки появляется пиктограмма , которая информирует о том, что данный процесс находится в стадии выполнения. Сведения о ходе выполнения этапа синтеза последовательно выводятся в окне консольных сообщений *Transcript Window*. После окончания этого процесса в начале строки *Synthesize – XST* отображается пиктограмма, вид которой информирует о характере завершения данного этапа.

Возможны следующие варианты завершения процессов:

-  – текущий процесс выполнен успешно;
-  – процедура исполнена без ошибок, но имеются предупреждения;
-  – при выполнении процесса обнаружены ошибки;
-  – результаты выполнения процесса устарели (не соответствуют исходным данным).

Чтобы получить более подробную информацию о ходе и результатах выполнения этапа синтеза, можно открыть отчёт о результатах синтеза. Для этого необходимо в окне процессов *Processes Window* переключить в развёрнутое состояние пункт *Synthesize – XST*, после чего дважды щёлкнуть левой кнопкой мыши на строке *View Synthesis Report*. При этом открывается новое окно встроенного

HDL-редактора (в режиме «только чтение»), в котором отображается сформированный отчёт.

Описание структуры генерируемого отчёта о выполнении процесса синтеза разрабатываемого устройства для большей наглядности сопровождается конкретным примером. Ниже приведён отчёт о выполнении процесса синтеза схемотехнического описания счётчика Джонсона, информация о котором приведена в предыдущих частях данного курса.

Отчёт содержит девять основных разделов, выделенных двойными штриховыми линиями. В начале этого документа приведена информация об используемой версии средств синтеза и о содержании сформированного отчёта.

```
Release 8.2.03i - xst I.34
Copyright (c) 1995-2006 Xilinx,
Inc. All rights reserved.
--> Parameter TMPDIR set to
./xst/projnav.tmp
CPU : 0.00 / 0.65 s | Elapsed :
0.00 / 1.00 s
----
--> Parameter xsthdpdir set to
./xst
CPU : 0.00 / 0.65 s | Elapsed :
0.00 / 1.00 s
----
--> Reading design: jc2_top.prj
----
```

TABLE OF CONTENTS

- 1) Synthesis Options Summary
- 2) HDL Compilation
- 3) Design Hierarchy Analysis
- 4) HDL Analysis
- 5) HDL Synthesis
 - 5.1) HDL Synthesis Report
 - 6) Advanced HDL Synthesis

- 6.1) Advanced HDL Synthesis Report
- 7) Low Level Synthesis
- 8) Partition Report
- 9) Final Report

В первом разделе указаны установленные значения параметров синтеза, рассмотренных выше, и некоторых общих параметров проекта (семейство и тип ПЛИС), а также форматы входных и выходных файлов.

```
=====
*Synthesis Options Summary*
=====
---- Source Parameters
Input File Name : "jc2_top.prj"
Input Format : mixed
Ignore Synthesis Constraint File
: NO
----
---- Target Parameters
Output File Name : "jc2_top"
Output Format : NGC
Target Device : CoolRunner2
CPLDs
----
---- Source Options
Top Module Name : jc2_top
Automatic FSM Extraction : YES
FSM Encoding Algorithm : Auto
Mux Extraction : YES
Resource Sharing : YES
----
---- Target Options
Add IO Buffers : YES
MACRO Preserve : YES
XOR Preserve : YES
Equivalent register Removal : YES
----
---- General Options
Optimization Goal : Speed
Optimization Effort : 1
Keep Hierarchy : YES
RTL Output : Yes
Hierarchy Separator : /
Bus Delimiter : <>
Case Specifier : maintain
----
```

```

---- Other Options
lso : jc2_top.lso
verilog2001 : YES
safe_implementation : No
Clock Enable : YES
wysiwyg : NO
=====

```

Второй раздел содержит информацию о ходе компиляции объектов исходных описаний в соответствии с иерархией проекта.

```

=====
*HDL Compilation*
=====
Compiling vhd1 file
"D:/PRJ/jc2_sch/jc2_top.vhf" in
Library work.
Entity <FDC_MXILINX_jc2_top> com-
piled.
Entity <FDC_MXILINX_jc2_top>
(Architecture <BEHAVIORAL>) com-
piled.
Entity <FJKC_MXILINX_jc2_top>
compiled.
Entity <FJKC_MXILINX_jc2_top>
(Architecture <BEHAVIORAL>) com-
piled.
Entity <M2_1_MXILINX_jc2_top>
compiled.
Entity <M2_1_MXILINX_jc2_top>
(Architecture <BEHAVIORAL>) com-
piled.
Entity <SR4CLED_MXILINX_jc2_top>
compiled.
Entity <SR4CLED_MXILINX_jc2_top>
(Architecture <BEHAVIORAL>) com-
piled.
Entity <jc2_top> compiled.
Entity <jc2_top> (Architecture
<BEHAVIORAL>) compiled.
=====

```

В третьем разделе приведены сведения о результатах анализа иерархической структуры сформированного описания проектируемого устройства.

```

=====
*Design Hierarchy Analysis*
=====
Analyzing hierarchy for entity
<jc2_top> in library <work>
(architecture <BEHAVIORAL>).
Analyzing hierarchy for entity
<FJKC_MXILINX_jc2_top> in library
<work> (architecture <BEHAV-
IORAL>).
Analyzing hierarchy for entity
<SR4CLED_MXILINX_jc2_top> in
library <work> (architecture

```

```

<BEHAVIORAL>).
Analyzing hierarchy for entity
<FDC_MXILINX_jc2_top> in library
<work> (architecture <BEHAV-
IORAL>).
Analyzing hierarchy for entity
<M2_1_MXILINX_jc2_top> in library
<work> (architecture <BEHAV-
IORAL>).
Building hierarchy successfully
finished.
=====

```

Четвёртый раздел представляет результаты HDL-анализа скомпилированных объектов исходных описаний разрабатываемого устройства.

```

=====
*HDL Analysis*
=====
Analyzing Entity <jc2_top> in
library <work> (Architecture
<BEHAVIORAL>).
Set user-defined property
"HU_SET = dir_reg1_11" for
instance <dir_reg1> in unit
<jc2_top>.
Set user-defined property
"HU_SET = jcounter_9" for
instance <jcounter> in unit
<jc2_top>.
Set user-defined property
"HU_SET = run_reg_10" for
instance <run_reg> in unit
<jc2_top>.
Entity <jc2_top> analyzed. Unit
<jc2_top> generated.
----
Analyzing Entity
<FJKC_MXILINX_jc2_top> in library
<work> (Architecture <BEHAV-
IORAL>).
Set user-defined property
"HU_SET = I_36_32_0" for
instance <I_36_32> in unit
<FJKC_MXILINX_jc2_top>.
Entity <FJKC_MXILINX_jc2_top>
analyzed. Unit
<FJKC_MXILINX_jc2_top> generated.
----
Analyzing Entity
<FDC_MXILINX_jc2_top> in library
<work> (Architecture <BEHAV-
IORAL>).
Entity <FDC_MXILINX_jc2_top> ana-
lyzed. Unit <FDC_MXILINX_jc2_top>
generated.
----
Analyzing Entity <SR4CLED_MXIL-
INX_jc2_top> in library <work>
(Architecture <BEHAVIORAL>).

```

```

Set user-defined property
"HU_SET = UL0_3" for instance
<UL0> in unit
<SR4CLED_MXILINX_jc2_top>.
Set user-defined property
"HU_SET = UL1_2" for instance
<UL1> in unit
<SR4CLED_MXILINX_jc2_top>.
Set user-defined property
"HU_SET = UL2_1" for instance
<UL2> in unit
<SR4CLED_MXILINX_jc2_top>.
Set user-defined property
"HU_SET = UL3_7" for instance
<UL3> in unit
<SR4CLED_MXILINX_jc2_top>.
Set user-defined property
"HU_SET = UR0_4" for instance
<UR0> in unit
<SR4CLED_MXILINX_jc2_top>.
Set user-defined property
"HU_SET = UR1_5" for instance
<UR1> in unit
<SR4CLED_MXILINX_jc2_top>.
Set user-defined property
"HU_SET = UR2_6" for instance
<UR2> in unit
<SR4CLED_MXILINX_jc2_top>.
Set user-defined property
"HU_SET = UR3_8" for instance
<UR3> in unit
<SR4CLED_MXILINX_jc2_top>.
Entity <SR4CLED_MXILINX_jc2_top>
analyzed. Unit
<SR4CLED_MXILINX_jc2_top> gener-
ated.
----
Analyzing Entity
<M2_1_MXILINX_jc2_top> in library
<work> (Architecture <BEHAV-
IORAL>).
Entity <M2_1_MXILINX_jc2_top>
analyzed. Unit
<M2_1_MXILINX_jc2_top> generated.
=====

```

В пятом разделе содержится информация о последовательности синтеза скомпилированных объектов исходных описаний проектируемого устройства. В отдельной секции этого раздела расположены данные об обнаруженных макросах.

```

=====
*HDL Synthesis*
=====
Performing bidirectional port
resolution...
----
Synthesizing Unit
<FDC_MXILINX_jc2_top>.

```

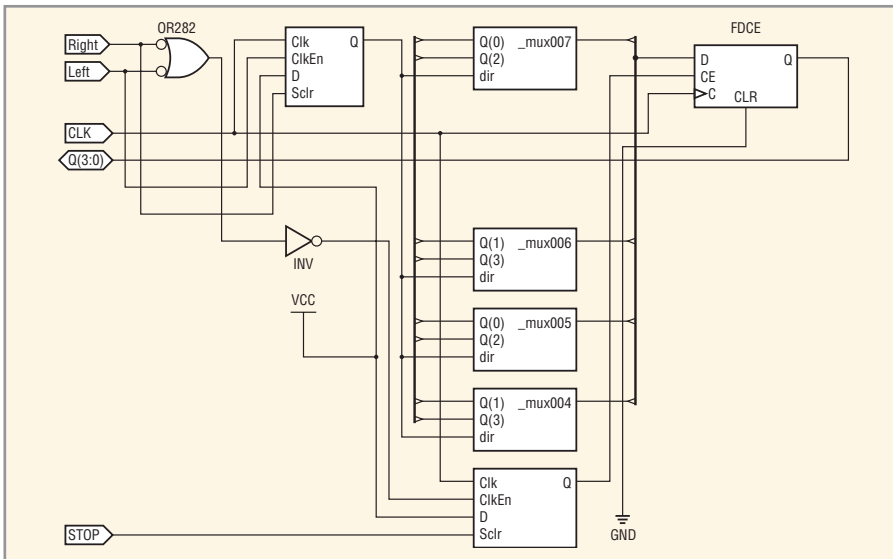


Рис. 5. Отображение списка соединений VHDL-описания счётчика Джонсона на RTL-уровне в схематической форме

```

Related source file is
"D:/PRJ/jc2_sch/jc2_top.vhf".
Unit <FDC_MXILINX_jc2_top> syn-
thesized.
----
Synthesizing Unit
<M2_1_MXILINX_jc2_top>.
Related source file is
"D:/PRJ/jc2_sch/jc2_top.vhf".
Unit <M2_1_MXILINX_jc2_top> syn-
thesized.
----
Synthesizing Unit
<FJKC_MXILINX_jc2_top>.
Related source file is
"D:/PRJ/jc2_sch/jc2_top.vhf".
Unit <FJKC_MXILINX_jc2_top> syn-
thesized.
----
Synthesizing Unit <SR4CLED_MXIL-
INX_jc2_top>.
Related source file is
"D:/PRJ/jc2_sch/jc2_top.vhf".
Unit <SR4CLED_MXILINX_jc2_top>
synthesized.
----
Synthesizing Unit <jc2_top>.
Related source file is
"D:/PRJ/jc2_sch/jc2_top.vhf".
Unit <jc2_top> synthesized.
-----
HDL Synthesis Report
-----
Found no macro
    
```

В шестом разделе отчёта приводят-ся сведения о результатах дальнейше-го синтеза, выполняемого с исполь-зованием усовершенствованных ал-горитмов.

```

-----
*Advanced HDL Synthesis*
-----
Advanced HDL Synthesis Report
----
Macro Statistics
# Registers : 5
Flip-Flops : 5
-----
    
```

Седьмой раздел отображает после-довательность оптимизации, выпол-няемой в процессе низкоуровневого синтеза.

```

-----
*Low Level Synthesis*
-----
Optimizing unit <jc2_top> ...
Optimizing unit
<FDC_MXILINX_jc2_top> ...
Optimizing unit
<M2_1_MXILINX_jc2_top> ...
Optimizing unit
<FJKC_MXILINX_jc2_top> ...
Optimizing unit <SR4CLED_MXIL-
INX_jc2_top> ...
-----
    
```

В восьмом разделе содержатся сведения о разбиении разрабатыва-емого проекта на секции и детали-зированная информация об этих секциях.

```

-----
*Partition Report*
-----
Partition Implementation Status
-----
    
```

```

No Partitions were found in this
design.
-----
=====
    
```

В заключительной части отчёта приведены данные об основных пара-метрах процесса синтеза и статисти-ческие данные полученных результа-тов: количество используемых EDIF-элементов и блоков ввода/вывода. В этом же разделе отображаются ито-говые сведения о количестве обнару-женных ошибок и предупреждений.

```

=====
*Final Report*
=====
Final Results
RTL Top Level Output File Name :
jc2_top.ngr
Top Level Output File Name :
jc2_top
Output Format : NGC
Optimization Goal : Speed
Keep Hierarchy : YES
Target Technology : CoolRunner2
CPLDs
Macro Preserve : YES
XOR Preserve : YES
Clock Enable : YES
wysiwyg : NO
----
Design Statistics
# IOs : 8
----
Cell Usage :
# BELS : 29
# AND2 : 8
# GND : 4
# INV : 5
# OR2 : 10
# OR3 : 2
# FlipFlops/Latches : 6
# FDCE : 4
# FDCP : 2
# IO Buffers : 8
# IBUF : 4
# OBUF : 4
# Others : 15
# AND2B1 : 10
# AND3B1 : 2
# AND3B2 : 2
# OR2B2 : 1
=====
CPU : 20.61 / 21.29 s | Elapsed
: 21.00 / 22.00 s
--
-->
Total memory usage is 116136
kilobytes
--
    
```

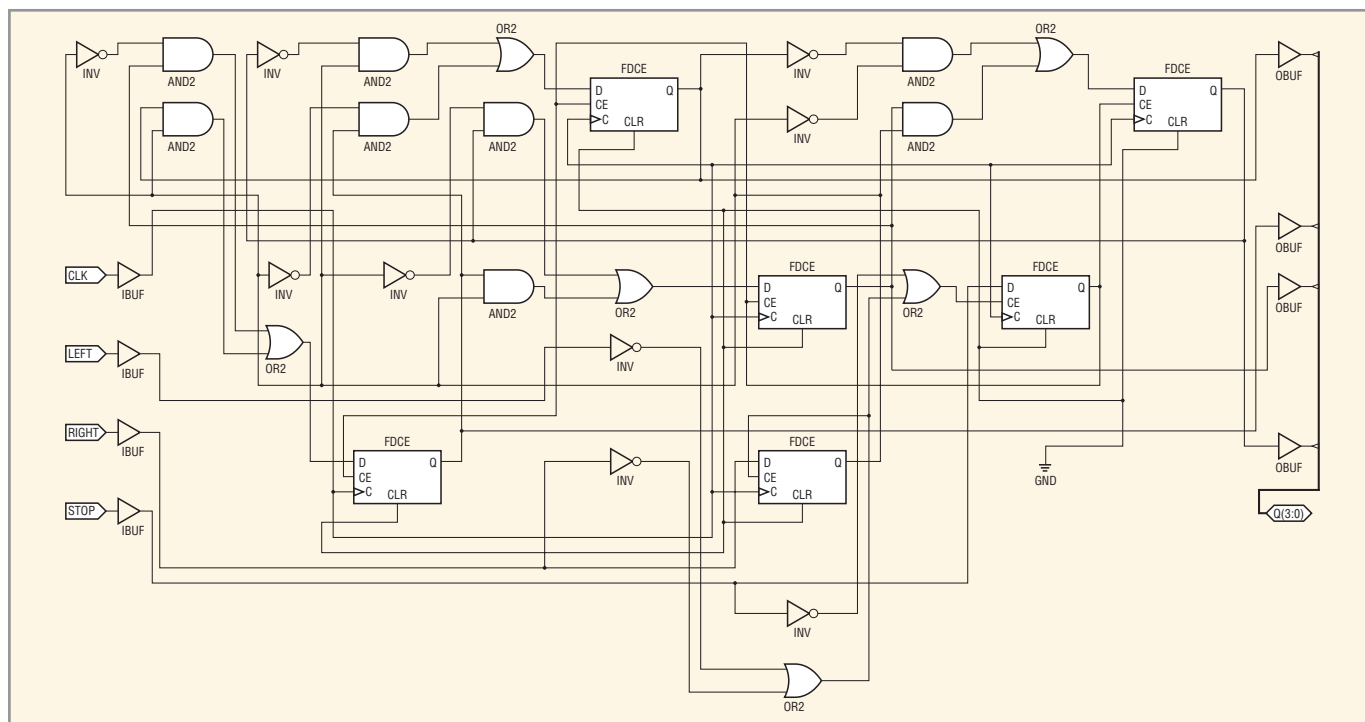


Рис. 6. Отображение результатов синтеза VHDL-описания счётчика Джонсона на технологическом уровне в схематехнической форме

Number of errors : 0 (0 filtered)
 Number of warnings : 0 (0 filtered)
 Number of infos : 0 (0 filtered)

Кроме текстового отчёта о выполнении этапа синтеза, средства пакета САПР серии Xilinx ISE позволяют отобразить список соединений (*netlist*) проектируемого устройства на RTL-уровне в схематехнической форме, если перед выполнением этого процесса для параметра *Generate RTL Schematic* было установлено значение *YES* или *ONLY*. В качестве компонентов принципиальной схемы, отражающей RTL-представление синтезируемого устройства, применяются обобщённые элементы, вид которых не зависит от архитектурных особенностей семейства ПЛИС, используемого для последующей реализации этого устройства. Для просмотра принципиальной схемы, отражающей список соединений разрабатываемого устройства на уровне RTL, следует в окне процессов *Processes Window* поместить курсор на строку *View RTL Schematic* и дважды щёлкнуть левой кнопкой мыши. При этом открывается окно программы *RTL Viewer*, вид которого подобен изображению окна схематехнического редактора.

В открывшемся окне отображается условный графический образ (УГО),

представляющий модуль верхнего уровня иерархии проекта. Кроме того, в окне исходных модулей (*Sources Window*) Навигатора проекта (*Project Navigator*) появляется новая страница *Design*, на которой приводится информация об иерархической структуре и элементах синтезированного проекта. Для перехода к принципиальной схеме, соответствующей списку соединений проектируемого устройства на RTL-уровне, следует поместить курсор мыши на изображение УГО или на строку с названием модуля верхнего уровня иерархии проекта, расположенную на странице *Design* окна исходных модулей (*Sources Window*), и дважды щёлкнуть левой кнопкой мыши. В качестве примера на рисунке 5 приведена схема, соответствующая списку соединений на RTL-уровне VHDL-описания счётчика Джонсона.

В последних версиях САПР серии Xilinx ISE также предусмотрены средства отображения результатов синтеза разрабатываемых устройств на технологическом уровне в форме принципиальных схем. В качестве исходного файла для построения этих схем используется основной файл результатов процесса синтеза с расширением *NGC*. Состав компонентов принципиальной схемы, отражающей представление синтезированного устройства на технологическом уровне, зависит от типа архитектуры применяемого семейства ПЛИС.

Чтобы сформировать представление результатов синтеза проектируемого устройства на технологическом уровне, необходимо в окне процессов *Processes Window* поместить курсор на строку *View Technology Schematic* и дважды щёлкнуть левой кнопкой мыши. После этого в области расположения рабочих окон Навигатора проекта открывается окно просмотра *Technology Viewer*, вид которого аналогичен изображению окна программы *RTL Viewer*. При этом в окне исходных модулей (*Sources Window*) Навигатора проекта добавляется страница *Design*, которая открывает доступ к элементам иерархической структуры синтезированного проекта. Просмотр результатов синтеза на технологическом уровне в окне программы *Technology Viewer* осуществляется тем же способом, что и в программе *RTL Viewer*. Чтобы продемонстрировать отличия двух рассмотренных форм представления списка соединений синтезированного устройства, на рисунке 6 показана принципиальная схема, отражающая результаты синтеза на технологическом уровне VHDL-описания счётчика Джонсона.

После успешного завершения процесса синтеза можно перейти к очередному этапу разработки устройства – размещению и трассировке проекта в кристалле ПЛИС, который рассматривается в следующей части статьи. ☺

Продолжение следует