

Практический курс сквозного проектирования цифровых устройств на основе ПЛИС фирмы Xilinx

(часть 13)

Валерий Зотов (Москва)

Тринадцатая часть курса знакомит с содержанием этапа реализации (implementation) проектируемых устройств в кристаллах ПЛИС семейств CPLD. Приводятся необходимые сведения о назначении и возможных значениях параметров процесса размещения и трассировки, выполняемого с помощью средств САПР серии Xilinx ISE. Рассмотрен этап реализации разрабатываемого устройства в кристаллах с архитектурой CPLD. Приводится краткое описание структуры отчётов о выполнении этапа размещения и трассировки и результатов статического временного анализа.

СОДЕРЖАНИЕ ЭТАПА РАЗМЕЩЕНИЯ И ТРАССИРОВКИ ПРОЕКТИРУЕМЫХ УСТРОЙСТВ В КРИСТАЛЛАХ ПЛИС СЕМЕЙСТВ CPLD

Этап реализации проектируемых устройств, выполняемых на базе ПЛИС семейств CPLD фирмы Xilinx, включает в себя две фазы: трансляции (Translate) и распределения ресурсов кристалла для реализации проектируемого устройства (Fit). В качестве названия для фазы Fit в русскоязычной литературе используются различные термины: компоновка, покрытие, подгонка. К сожалению, ни один из них не соответствует полностью содержанию процесса. Поэтому в дальнейшем процедуру Fit будем называть фазой размещения и трассировки проекта. Но при этом следует учитывать, что одноимённый этап в процессе проектирования устройства, реализуемого на основе ПЛИС семейств FPGA, имеет принципиально иное содержание.

В процессе трансляции выполняется объединение всех списков соединений в формате EDIF, входящих в состав проекта, и информации обо всех ограничениях, которые содержатся в файлах UCF и NCF (Netlist Constraints File). Результатом фазы трансляции является формирование логического описания проекта в терминах примитивов Xilinx низкого уровня (с учётом временных и топологических ограничений), выполненного в формате NGD (Native Generic Database). На вто-

рой стадии рассматриваемого этапа производится разбиение логического описания проекта, полученного на предыдущем шаге, на блоки в соответствии с ресурсами выбранного типа ПЛИС. При этом выполняется минимизация используемых (необходимых) ресурсов кристалла с учётом заданных ограничений. В результате выполнения процесса размещения и трассировки создаётся двоичный файл, который описывает использование физических ресурсов кристалла для реализации функций проектируемого устройства.

УСТАНОВКА ПАРАМЕТРОВ ЭТАПА РЕАЛИЗАЦИИ ПРОЕКТОВ, ВЫПОЛНЯЕМЫХ НА ОСНОВЕ ПЛИС С АРХИТЕКТУРОЙ CPLD

Перед активизацией процедур рассматриваемого этапа необходимо установить значения их параметров. Эти значения могут быть заданы отдельно для каждой фазы этапа реализации, например, перед её активизацией, или одновременно для всего процесса в целом. В первом случае следует выделить в окне процессов *Processes Window* название соответствующей фазы (*Translate* или *Fit*), после чего нажать кнопку , расположенную на оперативной панели Навигатора проекта (*Project Navigator*), или воспользоваться командой *Properties* контекстно-зависимого всплывающего меню, которое выводится щелчком

правой кнопки мыши. Затем в появившейся диалоговой панели необходимо установить требуемые значения параметров. При втором способе в окне процессов выделяется строка с названием этапа *Implement Design* и далее выполняется та же последовательность действий, что и в первом случае.

При использовании второго способа диалоговая панель параметров содержит пять страниц: *Synthesis*, *Fitting*, *Reports*, *Simulation Model*, *Programming*, доступ к которым открывает список *Category*, расположенный в левой части этой панели. Каждая из этих страниц содержит соответствующую группу (категорию) параметров, представленную в виде таблицы, структура которой была подробно рассмотрена ранее. Чтобы активизировать требуемую страницу этой диалоговой панели, достаточно выделить в списке *Category* строку с её названием. Установка значений параметров производится теми же методами, что и в диалоговой панели параметров синтеза.

На странице *Synthesis* представлены параметры процесса синтеза, которые были рассмотрены в предыдущих частях данного цикла. Страница *Fitting* содержит основные и дополнительные параметры, предназначенные для управления процессом размещения и трассировки проектируемых устройств в кристаллах ПЛИС с архитектурой CPLD. Страница *Reports* позволяет выбрать параметры формируемых отчётов при выполнении этапа реализации разрабатываемого устройства. Страница *Simulation Model* предоставляет доступ к параметрам полной временной модели, формируемой на основе результатов процесса размещения и трассировки проектируемого устройства в кристалле ПЛИС. На странице *Programming* расположены параметры, используемые в процессе формирования файла программирования.

КРАТКОЕ ОПИСАНИЕ ОСНОВНЫХ ПАРАМЕТРОВ, ПРЕДНАЗНАЧЕННЫХ ДЛЯ УПРАВЛЕНИЯ ПРОЦЕССОМ РАЗМЕЩЕНИЯ И ТРАССИРОВКИ ПРОЕКТИРУЕМЫХ УСТРОЙСТВ В КРИСТАЛЛАХ ПЛИС СЕМЕЙСТВ CPLD

Таблица параметров, представленная на странице *Fitting*, разделена на две части. Первая часть этой таблицы, озаглавленная *Standard Options*, содержит основные параметры управления процессом размещения и трассировки проектируемого устройства в кристалле ПЛИС семейств CPLD. Во второй части с заголовком *Advanced Options* расположены дополнительные параметры, используемые на этапе реализации.

Значение параметра *Allow Unmatched LOC Constraints* определяет способ обработки топологических ограничений *LOC*, в которых указаны идентификаторы цепей, отсутствующие в модулях исходного описания проектируемого устройства. При использовании значения «выключено», установленного по умолчанию, в случае обнаружения выражений ограничений *LOC*, содержащих некорректные идентификаторы цепей, выполнение этапа размещения и трассировки прекращается, и в окне консольных сообщений *Transcript Window* отображается соответствующее сообщение об ошибке. Если для параметра *Allow Unmatched LOC Constraints* задано значение «включено», то все некорректные выражения ограничений *LOC* игнорируются. При этом процесс размещения и трассировки не прерывается и сообщения о соответствующих ошибках не формируются. Данный параметр целесообразно использовать при размещении и трассировке незавершённых проектов.

Параметр *Implementation Template* позволяет разработчику выбрать стратегию оптимизации и соответствующие ей параметры процесса размещения и трассировки. Выпадающий список возможных значений этого параметра содержит следующие варианты: *Optimize Density*, *Optimize Speed*, *Optimize Balance*. При использовании значения *Optimize Density*, установленного по умолчанию для ПЛИС семейств Coolrunner-II и CoolRunner XPLA3, целью оптимизации является достижение максимальной плотности размещения проекта в кристалле (минимизация используемых ресурсов кристалла). Значение *Optimize Speed*

устанавливает в качестве критерия оптимизации быстродействие разрабатываемого устройства. Выбор значения *Optimize Balance* позволяет сочетать две рассмотренные выше стратегии оптимизации. При использовании ПЛИС семейств XC9500, XC9500XL и XC9500XV для реализации разрабатываемого устройства параметр *Implementation Template* по умолчанию принимает значение *Optimize Balance*.

Параметр *Use Location Constraints* управляет использованием информации о топологических ограничениях проекта в процессе размещения и трассировки. Выпадающий список возможных значений этого параметра содержит три элемента: *Always*, *Never*, *Try*. Если установлено значение *Always*, предлагаемое по умолчанию, то процесс размещения и трассировки выполняется с учётом топологических ограничений. Значение *Never* блокирует информацию о топологических ограничениях проекта. При выборе значения *Try* средства размещения и трассировки пытаются учитывать топологические ограничения, но при отрицательном результате эта информация игнорируется.

Параметр *Output Slew Rate* предназначен для управления длительностью фронтов выходных сигналов в проектируемом устройстве. Выпадающий список доступных значений этого параметра содержит следующие варианты: *Fast*, *Slow*, *Timing Driven*. Значение *Fast*, установленное по умолчанию, задаёт режим быстрого переключения выходных сигналов. При выборе значения *Slow* снижается скорость изменения (удлиняются фронты) выходных сигналов, что позволяет снизить уровень паразитных колебаний (шума) на выходах проектируемого устройства. Значение *Timing Driven* устанавливает скорость переключения выходных сигналов согласно спецификации. Следует обратить внимание на то, что если в модуле исходного описания или в файле ограничений явно задан режим переключения какого-либо выходного сигнала, то эти данные имеют более высокий приоритет, чем параметр *Output Slew Rate*.

С помощью параметра *Default Powerup Value of Registers* определяется начальное состояние регистров (триггеров), устанавливаемое при включении напряжения питания. В выпадающем списке возможных значений данного параметра представле-

но три варианта: *Low*, *High*, *FPGA Equivalent*. Значение *Low*, установленное по умолчанию, соответствует состоянию лог. 0. Если выбрано значение *High*, то все триггеры реализуются таким образом, что при включении питания находятся в состоянии лог. 1. В случае использования значения *FPGA Equivalent* триггеры, оснащённые входом асинхронной установки и не имеющие входа асинхронного сброса, в начальный момент времени (при подаче напряжения питания) устанавливаются в состояние лог. 1, а все остальные триггеры – в состояние лог. 0. При этом следует учитывать, что значение, указываемое с помощью атрибута *INIT* для какого-либо триггера или регистра, имеет более высокий приоритет по сравнению с параметром *Default Powerup Value of Registers*.

Параметр *Use Global Clocks* управляет использованием глобальных цепей синхронизации. При включённом значении этого параметра, установленном по умолчанию, средства размещения и трассировки могут использовать в качестве входов тактовых частот специальные выводы кристалла GCK, подключённые к глобальным цепям синхронизации ПЛИС. Выключенное значение *Use Global Clocks* запрещает автоматическое использование глобальных тактовых цепей, если только в модулях исходного описания проектируемого устройства или файле ограничений явно не указано назначение выводов GCK.

Значение параметра *Use Global Output Enables* разрешает или запрещает программам размещения и трассировки автоматически использовать глобальные цепи разрешения выходов ПЛИС (выводы GTS) для реализации входов управления тристабильными выходами проектируемого устройства. По умолчанию установлено значение «включено», разрешающее автоматическое применение указанных выводов. Если задано запрещающее значение *Use Global Output Enables*, то выводы GTS могут использоваться только при явном указании соответствующих атрибутов в модулях исходного описания проектируемого устройства или в файлах ограничений.

Параметр *Use Global Set/Reset* управляет использованием вывода GSR, к которому подключены глобальные цепи асинхронной установки и сброса ПЛИС, для реализации соответствующего входа проектируемого устрой-

ства. При разрешающем значении этого параметра, используемом по умолчанию, средства размещения и трассировки могут автоматически выбирать вывод GSR в качестве входа асинхронной установки или сброса проектируемого устройства. При установке запрещающего значения данного параметра, программы трассировки используют вывод GSR только при наличии соответствующих атрибутов в модулях исходного описания разрабатываемого устройства или файлах ограничений.

С помощью параметра *Unused I/O Pad Termination Mode* указывается состояние реализации проектируемого устройства. Выпадающий список возможных значений этого параметра содержит четыре варианта: *Keeper*, *Pullup*, *Ground* и *Float*. При выборе значения *Keeper*, установленного по умолчанию, ко всем незадействованным пользовательским контактам ввода/вывода ПЛИС подключаются цепи удержания последнего состояния. Установка значения *Pullup* соответствует подключению к указанным выше пользовательским выводам кристалла слабых подтягивающих резисторов *Pullup*. Если для параметра *Unused I/O Pad Termination Mode* указано значение *Ground*, то все неиспользуемые контакты ввода/вывода кристалла присоединяются к общей шине (корпусу, земле) через низкоомные цепи. В случае выбора значения *Float* все выводы ПЛИС, не задействованные в проекте, остаются неподключенными внутри кристалла. Для повышения помехоустойчивости разрабатываемого устройства рекомендуется неподключенные выводы ПЛИС присоединить к соответствующим цепям на печатной плате. Если для реализации разрабатываемого устройства выбрана ПЛИС семейства CoolRunner XPLA3, то вместо параметра *Unused I/O Pad Termination Mode* используется параметр *Unused Pin Termination*. Следует обратить внимание на то, что в выпадающем списке возможных значений этого параметра представлено всего два варианта: *Pullup* и *Float*. По умолчанию для параметра *Unused Pin Termination* используется значение *Pullup*.

Значение параметра *Input and Tristate I/O Termination Mode* определяет состояние пользовательских входных и тристабильных выводов кристалла, для которых в модулях исходного описания или файле ограничений явно не

указан вид внутренней фиксирующей цепи. В выпадающем списке представлены три возможных значения этого параметра: *Keeper*, *Pullup* и *Float*. Значение *Keeper*, принятое по умолчанию, соответствует режиму подключения цепей удержания последнего состояния к указанным пользовательским входам и тристабильным выводам ПЛИС. Если для параметра *Input and Tristate I/O Termination Mode* задано значение *Pullup*, то к указанным выводам кристалла присоединяются внутренние подтягивающие резисторы. При выборе значения *Float* цепи удержания последнего состояния и подтягивающие резисторы для пользовательских входных и тристабильных выводов не применяются. При использовании для реализации проектируемого устройства ПЛИС семейства CoolRunner XPLA3 вместо параметра *Input and Tristate I/O Termination Mode* применяется параметр *Input PIN Termination*. В отличие от параметра *Input and Tristate I/O Termination Mode* параметр *Input PIN Termination* может принимать одно из двух значений – *Pullup* или *Float*. По умолчанию для параметра *Input PIN Termination* предлагается значение *Float*.

Параметр *I/O Voltage Standard* позволяет определить цифровой сигнальный стандарт ввода/вывода для пользовательских контактов ПЛИС, задействованных в разрабатываемом проекте. Выпадающий список значений этого параметра содержит условные обозначения всех поддерживаемых цифровых сигнальных стандартов для используемого типа кристалла. По умолчанию при выборе ПЛИС семейства Coolrunner-II для параметра *I/O Voltage Standard* используется значение *IVC-MOS18*, которое соответствует низковольтному КМОП-стандарту ввода/вывода (1,8 В).

Если для реализации проектируемого устройства выбрана ПЛИС семейств XC9500, XC9500XL или XC9500XV, то в группу основных параметров этапа размещения и трассировки дополнительно входят два следующих параметра.

Параметр *Create Programmable GND Pins on Unused I/O* позволяет конфигурировать все неиспользуемые выводы ПЛИС как «общий» (GND), что повышает помехоустойчивость проектируемого устройства. По умолчанию установлено значение «выключено», запрещающее конфигурирование не-

используемых выводов кристалла в качестве дополнительных контактов GND.

С помощью параметра *Macrocell Power Setting* указывается режим потребляемой мощности макроячеек (Macrocell) кристалла. Выпадающий список возможных значений данного параметра содержит три варианта: *Std*, *Low*, *Timing Driven*. По умолчанию задано значение *Std*, соответствующее стандартному режиму потребления мощности. Выбор значения *Low* позволяет перевести макроячейки в режим пониженного энергопотребления, что приводит к снижению их быстродействия. Если используется вариант *Timing Driven*, то выбирается режим энергопотребления макроячеек в соответствии с заданными временными ограничениями.

КРАТКОЕ ОПИСАНИЕ ДОПОЛНИТЕЛЬНЫХ ПАРАМЕТРОВ, ПРЕДНАЗНАЧЕННЫХ ДЛЯ УПРАВЛЕНИЯ ПРОЦЕССОМ РАЗМЕЩЕНИЯ И ТРАССИРОВКИ ПРОЕКТИРУЕМЫХ УСТРОЙСТВ В КРИСТАЛЛАХ ПЛИС СЕМЕЙСТВ CPLD

Страница *Advanced Options* диалоговой панели параметров этапа реализации содержит низкоуровневые параметры процесса размещения и трассировки. Для большинства этих параметров рекомендуется использовать значения, установленные по умолчанию.

Значение параметра *Macro Search Path* указывает полное название каталога (или каталогов), в котором находятся описания используемых макросов. Название требуемой папки вводится с клавиатуры после активизации поля редактирования значения данного параметра щелчком левой кнопки мыши или выбирается с помощью стандартной панели навигации по дискам компьютера, которая открывается при нажатии на кнопку с пиктограммой в виде многоточия. При указании нескольких разделов для поиска файлов описаний макросов их названия отделяются друг от друга символом « \cdot ».

Параметр *Use Timing Constraints* определяет, будут ли средствами размещения и трассировки приниматься во внимание временные ограничения проекта. При включенном значении этого параметра, установленном по умолчанию, оптимизация в про-

цессе размещения и трассировки производится с учётом всех временных ограничений, указанных в модулях исходных описаний проекта и файлах ограничений UCF и NCF. Если для параметра Use Timing Constraints задано значение «выключено», то средства размещения и трассировки игнорируют всю информацию о временных ограничениях.

Значение параметра Logic Optimization определяет вид оптимизации, выполняемой на логическом уровне. Выпадающий список содержит два возможных значения: Speed и Density. Значение Speed, используемое по умолчанию для ПЛИС семейств Coolrunner-II и CoolRunner XPLA3, устанавливает в качестве критерия логической оптимизации быстродействие разрабатываемого устройства. При выборе значения Density целью логической оптимизации является достижение максимальной плотности размещения проекта в кристалле (минимизация используемых ресурсов кристалла). Если для реализации разрабатываемого устройства выбран кристалл семейств XC9500, XC9500XL или XC9500XV, то для пара-

метра Logic Optimization по умолчанию предлагается значение Density.

Параметр Preserve Unused Inputs позволяет выбрать режим сохранения неиспользуемых входов компонентов проектируемого устройства. По умолчанию установлено значение «выключено», при котором средства оптимизации исключают неиспользуемые входы компонентов, представленных в описании разрабатываемого устройства.

С помощью параметра Exhaustive Fit Mode предоставляется возможность включения режима углубленной компоновки, который позволяет поместить больший объём логики в выбранный кристалл ПЛИС. При этом анализируются все возможные сочетания значений параметров Collapsing Pterm Limit и Collapsing Input Limit с целью выбора оптимальной комбинации, обеспечивающей возможность размещения проекта в кристалле минимального объёма при максимальной производительности. По умолчанию этот параметр находится в выключенном состоянии.

Параметр Use Multi-level Logic Optimization разрешает или запрещает много-

уровневую логическую оптимизацию, в процессе которой вначале выполняется упрощение логических выражений, после чего осуществляется преобразование логики в соответствии с выбранным критерием (быстродействие или плотность компоновки). По умолчанию для этого параметра установлено разрешающее значение, позволяющее уменьшить количество уровней логики и минимизировать общее число термов.

Значение параметра Use Data Gate определяет необходимость применения технологии DataGATE в кристалле семейства Coolrunner-II, используемом для реализации проектируемого устройства. Технология DataGATE предусматривает возможность сокращения суммарной потребляемой мощности за счёт блокировки неиспользуемых в определённые интервалы времени входных сигналов в ячейках ввода/вывода. В каждой входной цепи ПЛИС семейства CoolRunner-II, логическая ёмкость которых составляет не менее 128 макроячеек, между входным буфером и входом быстродействующей переключающей матрицы AIM предусмотрен управляемый ключ и регистр-за-

DC/DC-ПРЕОБРАЗОВАТЕЛИ ДЛЯ ЖЁСТКИХ УСЛОВИЙ ЭКСПЛУАТАЦИИ



THE XPERTS IN POWER

- Диапазон рабочих температур от -40 до +100°C (основание корпуса)
- Высокий показатель надёжности
- Стойкость к внешним воздействующим факторам
- Стандартный набор сервисных функций



Серия MQR120

- 120 Вт**
- Небольшие габариты: 95 × 11,5 × 65 мм
 - КПД до 82%
 - Диапазон входных напряжений 9,5...40 В
 - Выходные напряжения 3,3; 5; 12; 15 и 24 В
 - Защита от перегрузки, перенапряжения, короткого замыкания, перегрева; параллельная работа до 4 модулей, внешняя обратная связь
 - MTBF > 1 000 000 ч



Серия ICH

- 50/75/100/150/200 Вт**
- Гальваническая развязка: вход-выход 1500 В (постоянное напряжение)
 - КПД до 85%
 - Диапазоны входных напряжений: 9...36, 18...75, 18...36 и 36...75 В
 - Одноканальные и двухканальные модели
 - Защита от короткого замыкания нагрузки длительного действия
 - Экранированный с пяти сторон корпус
 - MTBF > 1 000 000 ч (MIL-HDBK-217F, при 25°C)

Официальный дистрибьютор компании XP Power в России и странах СНГ



Телефон: (495) 234-0636 • факс: (495) 234-0640
info@prosoft.ru • www.prosoft.ru

реклама

щёлка. Для каждой входной цепи проекта в конфигурационной последовательности, загружаемой в кристалл, имеется соответствующий бит данных, значение которого определяет, будет ли задействована функция управления этим ключом. Если функция DataGATE активизирована, то при наличии активного уровня управляющего сигнала производится блокировка этой входной цепи, а значение входного информационного сигнала в момент блокировки записывается в регистр-щёлку. Если параметр *Use Data Gate* принимает значение «включено», установленное по умолчанию, процесс размещения и трассировки разрабатываемого устройства в кристалле ПЛИС осуществляется с учётом применения технологии DataGATE. При указании значения «включено» функция DataGATE не активизируется.

Параметр *Collapsing Input Limit* устанавливает максимальное допустимое количество входов функционального блока, получающихся в результате разбиения логики. Значение по умолчанию зависит от типа ПЛИС, выбранного для реализации проекта. Для кристаллов семейства XC9500 это значение равно 36, для ПЛИС семейств XC9500XL и XC9500XV – 54, для Coolrunner-II и CoolRunner XPLA3 – 32.

Значение параметра *Collapsing Pterm Limit* определяет максимальное количество термов (логических произведений), используемых при реализации сложной комбинаторной логики. Значение по умолчанию зависит от типа ПЛИС, выбранного для реализации проектируемого устройства. В случае применения кристаллов семейств XC9500, XC9500XL или XC9500XV это значение равно 25, для ПЛИС семейств Coolrunner-II и CoolRunner XPLA3 – 28.

С помощью параметра *Use Direct Input for Input Registers* разработчик может задействовать для реализации проектируемого устройства «быстрые» входы триггеров, расположенных в макроячейках кристаллов семейства CoolRunner-II. Помимо входов, соединённых с выходами PLA-матрицы логических произведений, каждая макроячейка ПЛИС семейства CoolRunner-II содержит дополнительный, так называемый «быстрый» вход, подключенный непосредственно к блокам ввода/вывода. Тем самым предоставляется возможность использования триггера, входящего в состав макроячейки, в качестве входного триггера или за-

щёлки. При этом комбинаторные функции макроячейки сохраняются. По умолчанию для параметра *Use Direct Input for Input Registers* установлено значение «включено», разрешающее применение «быстрых» входов макроячеек, которые соединены напрямую с блоками ввода/вывода. Для ПЛИС семейства CoolRunner XPLA3 вместо параметра *Use Direct Input for Input Registers* применяется параметр *Use Fast Input for Input Registers*.

Значение параметра *Function Block Input Limit* определяет максимальный коэффициент объединения по входу для функциональных блоков ПЛИС семейств Coolrunner-II и CoolRunner XPLA3. Для этого параметра по умолчанию используется значение, равное 38.

С помощью параметра *Other CPLD Fitter Command Line Options* пользователь может задать дополнительные параметры командной строки для программных средств размещения и трассировки. Все необходимые параметры командной строки указываются с помощью клавиатуры после активизации поля редактирования значения данного параметра. При перечислении нескольких параметров в поле редактирования значения *Other CPLD Fitter Command Line Options* они отделяются друг от друга пробелами.

Параметр *Other Ngdbuild Command Line Options* позволяет задать дополнительные команды для программы *Ngdbuild*, используемой на этапе реализации проектируемого устройства. Эти команды указываются в поле редактирования значения данного параметра через пробел.

Когда для реализации разрабатываемого устройства выбирается ПЛИС семейства CoolRunner XPLA3, страница *Advanced Options* диалоговой панели параметров этапа реализации включает три дополнительных параметра.

Значение параметра *Use Function Block Shared P-term Clocks* разрешает или запрещает применение специальных выделенных выходов PLA-матрицы логических произведений (термов) при реализации проектируемого устройства. Использование данных термов (логических произведений) позволяет снизить задержки распространения сигналов в разрабатываемом устройстве. По умолчанию данный параметр принимает значение «включено», разрешающее применение указанных термов.

Параметр *Use Foldback NANDs* определяет возможность использования логических элементов И-НЕ, предназначенных для организации обратных связей в каждом функциональном блоке. Применение этих элементов для организации обратных связей внутри функциональных блоков позволяет в ряде случаев, например, при реализации сложных логических функций, повысить плотность размещения проектируемого устройства в кристалле. Значение «выключено», установленное по умолчанию для параметра *Use Foldback NANDs*, запрещает применение указанных элементов И-НЕ в цепях внутренней обратной связи. При этом данные элементы могут быть задействованы в качестве стандартных логических ресурсов кристалла при реализации функций разрабатываемого устройства.

С помощью параметра *Reserve ISP pins* указывается режим работы контактов JTAG-порта в кристалле, выбранном для реализации проектируемого устройства. Контакты JTAG-порта (TMS, TDO, TCK и TDI) в ПЛИС семейства CoolRunner XPLA3 могут быть задействованы в качестве пользовательских входов/выходов или применяться только для программирования кристалла и обратного считывания конфигурационной информации. По умолчанию параметр *Reserve ISP pins* принимает значение «включено», при котором указанные контакты используются только для выполнения функций порта JTAG-интерфейса. В случае установки данного параметра в состояние «выключено» контакты TMS, TDO, TCK и TDI могут быть задействованы в качестве пользовательских входов/выходов при реализации разрабатываемого устройства.

При использовании для реализации проектируемого устройства ПЛИС семейства XC9500 в группу дополнительных параметров этапа размещения и трассировки, в дополнение к перечисленным выше, входят ещё три параметра.

С помощью параметра *Pin Feedback* осуществляется управление трассировкой выходных цепей макроячеек к входам быстродействующей переключающей матрицы. При использовании значения «включено», установленного по умолчанию, выходные сигналы макроячеек подключаются к пользовательским выводам кристалла через соответствующие буферные элементы, после чего могут вновь подаваться на входы

быстродействующей переключающей матрицы. Такое решение повышает гибкость процесса трассировки цепей, но приводит к увеличению задержки распространения сигналов по этим цепям. Дополнительная задержка вносится входными и выходными буферными элементами.

Значение параметра *Local Macrocell Feedback* разрешает или запрещает использование внутренних (локальных) цепей обратной связи в макроячейках. Применение указанных цепей обратной связи позволяет повысить быстродействие проектируемых устройств. Локальные цепи обратной связи целесообразно использовать, например, при разработке высокоскоростных счётчиков и конечных автоматов. По умолчанию для параметра *Local Macrocell Feedback* установлено значение «включено», разрешающее применение внутренних цепей обратной связи.

Параметр *Enable FAST Connect/UIM optimization* предназначен для управления оптимизацией использования универсальной матрицы межблочных соединений, входящей в состав быстродействующей переключающей матрицы. По умолчанию для

данного параметра задано «включено», использование которого позволяет повысить гибкость процесса трассировки цепей и существенно уменьшить количество точек входа в функциональных блоках ПЛИС.

КРАТКОЕ ОПИСАНИЕ ПАРАМЕТРОВ, ПРЕДНАЗНАЧЕННЫХ ДЛЯ УПРАВЛЕНИЯ ПРОЦЕДУРАМИ ГЕНЕРАЦИИ ОТЧЁТОВ О ВЫПОЛНЕНИИ ЭТАПА РАЗМЕЩЕНИЯ И ТРАССИРОВКИ ПРОЕКТИРУЕМЫХ УСТРОЙСТВ В КРИСТАЛЛАХ ПЛИС СЕМЕЙСТВ CPLD

Страница *Reports* диалоговой панели параметров этапа реализации содержит параметры, определяющие степень детализации отчёта с результатами временного анализа проекта, и формат представления отображаемой информации.

Параметр *HDL Equations Style* предназначен для выбора языка HDL-описания итоговых выражений, определяющих состояние сигналов проектируемого устройства. Выпадающий список значений этого параметра со-

держит четыре варианта: *Source*, *ABEL*, *VHDL* и *Verilog*. При указании значения *Source* итоговые выражения, описывающие формирование сигналов разрабатываемого устройства, будут записаны на том же языке HDL, который использовался при создании модулей исходного описания проектируемого устройства. Значения *ABEL*, *VHDL* и *Verilog* предоставляют возможность явного указания соответствующего языка HDL для записи итоговых выражений в формируемом отчёте.

Значение параметра *Timing Report Format* позволяет выбрать одну из двух форм отчёта о результатах статического временного анализа проектируемого устройства. По умолчанию установлен обобщённый формат отчёта (*Summary*), включающий временные характеристики только основных путей распространения сигналов проектируемого устройства. При выборе подробной формы (*Detail*) создаваемый отчёт содержит значения задержек распространения сигналов по различным маршрутам внутри кристалла, реализующего проектируемое устройство.

С помощью параметра *Other Timing Report Command Line Options* разра-

ПОЛУПРОВОДНИКИ НА ОСНОВЕ КАРБИДА КРЕМНИЯ



ПРИМЕНЕНИЕ SiC-диодов Шоттки позволяет

- Снизить потери в диоде и ключевом транзисторе в 2 раза
- Уменьшить количество силовых электронных компонентов в 3 раза
- Увеличить надёжность
- Повысить частоту преобразования, уменьшить массу и габариты
- Получить выигрыш в стоимости и эффективности одновременно

Характеристики высоковольтных диодов Шоттки фирмы Cree

Наименование	CSD04060	CSD06060	CSD10060	CSD20060	CSD05120	CSD10120	CSD20120
U _{макс} , В	600	600	600	600	1200	1200	1200
I _{пост} , А	4	6	10	20	5	10	20
Типы корпусов	T0252, T0220-2, T0220-3	T0263, T0220-2, T0220-3	T0263, T0220-2, T0220-3	T0247-3	T0220-2	T0220-2, T0247-3	T0247-3

ОБЛАСТИ ПРИМЕНЕНИЯ:

- Активные корректоры коэффициента мощности — снижение динамических потерь в ключевом транзисторе и диоде до 60%
- Антипараллельные диоды MOSFET- и IGBT-транзисторов и модулей для жёсткого переключения — снижение динамических потерь на 20...30%
- Мощные высоковольтные выпрямители для частот до единиц мегагерц



Официальный дистрибьютор компании CREE в России и странах СНГ



АКТИВНЫЙ КОМПОНЕНТ ВАШЕГО БИЗНЕСА

Телефон: (495) 232-2522 • E-mail: info@prochip.ru • Web: www.prochip.ru

ботчик может указать дополнительные опции командной строки для средств генерации отчетов о результатах выполнения этапа размещения и трассировки проектируемого устройства в кристалле.

КРАТКОЕ ОПИСАНИЕ ПАРАМЕТРОВ, ПРЕДНАЗНАЧЕННЫХ ДЛЯ УПРАВЛЕНИЯ ФОРМИРОВАНИЕМ ПОЛНОЙ ВРЕМЕННОЙ МОДЕЛИ ПРОЕКТИРУЕМЫХ УСТРОЙСТВ В КРИСТАЛЛАХ ПЛИС СЕМЕЙСТВ CPLD

На странице *Simulation Model* расположены параметры, предназначенные для управления процедурами формирования полной временной модели разрабатываемого устройства, создаваемой после размещения и трассировки проекта в кристалле. Таблица параметров генерируемой модели, представленная на этой странице, разбита на три части: *General Simulation Model Properties*, *VHDL Simulation Model Properties* и *Verilog Simulation Model Properties*. В первой части таблицы *General Simulation Model Properties* расположены общие параметры полной временной модели проектируемого устройства, не зависящие от выбранного для её описания языка HDL. Вторая часть таблицы *VHDL Simulation Model Properties* содержит дополнительные параметры формируемой модели при использовании языка VHDL для её описания. Третья часть таблицы *Verilog Simulation Model Properties* объединяет параметры полной временной модели, генерируемой на языке Verilog.

Значение параметра *Simulation Model Target* определяет язык HDL, используемый для представления описания формируемой модели. Выпадающий список возможных значений этого параметра зависит от выбранных средств синтеза и системы моделирования проектируемого устройства. По умолчанию предлагается язык описания аппаратуры HDL, который используется при создании исходных модулей проекта. При использовании средств синтеза XST VHDL/Verilog выпадающий список допустимых значений параметра *Simulation Model Target* содержит два варианта: *VHDL* и *Verilog*. В этом случае по умолчанию предлагается значение *VHDL*.

Параметр *Generate Post-Fit Simulation Model* предоставляет возможность автоматической генерации полной вре-

менной модели разрабатываемого устройства на основе полученных результатов размещения и трассировки проекта в кристалле. Значение «выключено», установленное по умолчанию, блокирует автоматическое формирование полной временной модели проектируемого устройства после его размещения и трассировки в кристалле.

Значение параметра *Retain Hierarchy* определяет способ представления объектов HDL-описаний в иерархической структуре проекта в генерируемой полной временной модели. Если этот параметр установлен в состояние «включено», то указанные объекты представляются в формируемой модели в виде отдельных иерархических модулей, соответствующих исходному описанию проекта. При использовании значения «выключено» иерархическая структура объектов, определённая в исходном описании проектируемого устройства, в генерируемой модели не сохраняется. По умолчанию установлено значение «включено», при котором сохраняется иерархия объектов в создаваемой полной временной модели.

Параметр *Bring Out Global Set/Reset Net as a Port* используется для включения глобальной цепи сброса/установки кристалла в описание интерфейса моделируемого объекта. Если данный параметр находится в состоянии «включено», то глобальный сигнал сброса/установки триггерных ресурсов кристалла GSR преобразуется в формат порта объекта, который представлен в описании верхнего уровня иерархии проекта. Значение «выключено», принятое по умолчанию, соответствует обычному представлению глобальной цепи сброса/установки ПЛИС. При этом соответствующий порт не включается в состав интерфейса объекта верхнего уровня иерархии проекта.

Значение параметра *Global Set/Reset Port Name* позволяет указать название порта, соответствующего глобальной цепи сброса/установки кристалла. По умолчанию название порта совпадает с идентификатором этой цепи (*GSR_PORT*). Новое значение этого параметра вводится с помощью клавиатуры после активизации соответствующего поля редактирования. Эта возможность доступна только в том случае, если параметр *Bring Out Global Set/Reset Net as a Port* установлен в состояние «включено».

Параметр *Generate Testbench File* управляет процессом автоматической

генерации шаблона тестового файла. Создаваемый файл имеет расширение *twb* при использовании языка VHDL или *tv*, если применяется язык Verilog. Название автоматически генерируемого файла состоит из идентификатора объекта описания и имени модели (*<entity_name>_<sim_model_name>* для языка VHDL или *<module_name>_<sim_model_name>* для языка Verilog). По умолчанию для данного параметра установлено значение «выключено», которое запрещает автоматическое формирование шаблона тестового файла.

Параметр *Rename Design Instance in Testbench File to* позволяет переименовать объект верхнего уровня иерархии в шаблоне тестового модуля проекта. По умолчанию в качестве названия объекта, описывающего испытательный стенд, используется идентификатор *UUT*. Изменить значение данного параметра можно только в том случае, если параметр *Generate Testbench File* находится в состоянии «включено».

С помощью параметра *Other NETGEN Command Line Options* можно указать дополнительные параметры командной строки для программы NETGEN.

При выборе языка VHDL для описания генерируемой временной модели становятся доступными параметры, представленные во втором разделе таблицы, – *VHDL Simulation Model Properties*.

Параметр *Rename Top Level Entity to* предоставляет возможность изменения названия для объекта верхнего уровня иерархии создаваемого VHDL-описания модели. По умолчанию, если значение этого параметра не определено, имя объекта верхнего уровня иерархии наследуется из модуля исходного описания проекта. Чтобы указать другой идентификатор, нужно активировать поле редактирования значения рассматриваемого параметра и воспользоваться клавиатурой.

Параметр *Rename Top Level Architecture To* позволяет изменить название архитектурного тела объекта, соответствующего верхнему уровню иерархии создаваемого VHDL-описания модели. По умолчанию в качестве названия архитектуры объекта верхнего уровня иерархии предлагается идентификатор *STRUCTURE*. Для изменения этого названия следует активировать поле редактирования и воспользоваться клавиатурой.

Значение параметра *Reset On Configuration Pulse Width* определяет дли-

тельность импульса, необходимого для моделирования компонентов, управляющих инициализацией глобальных цепей сброса/установки в начальный момент времени (*Reset-On-Configuration, ROC*). По умолчанию для этого параметра используется значение, равное 100 нс.

С помощью параметра *Generate Architecture Only (No Entry Declaration)* указывается состав формируемого описания полной временной модели. Если для данного параметра указано значение «включено», то в составе генерируемого описания будет присутствовать только блок определения архитектуры соответствующего объекта. При этом блок декларации этого объекта и его интерфейса не включается в формируемое описание. В случае использования значения «выключено», указанного по умолчанию для параметра *Generate Architecture Only (No Entry Declaration)*, генерируется полное описание соответствующего объекта.

Если для параметра *Simulation Model Target*, определяющего язык описания формируемой модели, указано значение *Verilog*, то в доступное состояние переключается третий раз-

дел таблицы параметров – *Verilog Simulation Model Properties*.

Параметр *Rename Top Level Module To* позволяет изменить название модуля верхнего уровня иерархии в описании модели, формируемом на языке *Verilog*. По умолчанию, если значение этого параметра не определено, название объекта верхнего уровня иерархии совпадает с идентификатором модуля верхнего уровня иерархии из файла исходного описания проектируемого устройства.

Значение параметра *Include 'uselib Directive in Verilog File* разрешает или запрещает включение директивы *uselib* в состав формируемых файлов. Для большинства поддерживаемых средств моделирования рекомендуется использовать для данного параметра запрещающее значение, предлагаемое по умолчанию.

С помощью параметра *Path Used in \$sdf_annotate* разработчик может указать раздел, в котором содержатся требуемые файлы SDF. Этот параметр применяется только в тех случаях, когда необходимые файлы SDF расположены вне рабочего каталога проекта.

Параметр *Do Not Escape Signal and Instance Names in Netlist* определяет способ обработки идентификаторов сигналов и компонентов описания проектируемого устройства, в состав которых входят недопустимые символы. При использовании значения «включено» производится автоматическое исправление названий сигналов и компонентов, содержащих некорректные символы. В этом случае каждый недопустимый символ в названии автоматически заменяется символом подчёркивания. Если для параметра *Do Not Escape Signal and Instance Names in Netlist* выбирается значение «выключено», предлагаемое по умолчанию, то некорректные идентификаторы сигналов и компонентов исключаются средствами генерации полной временной модели.

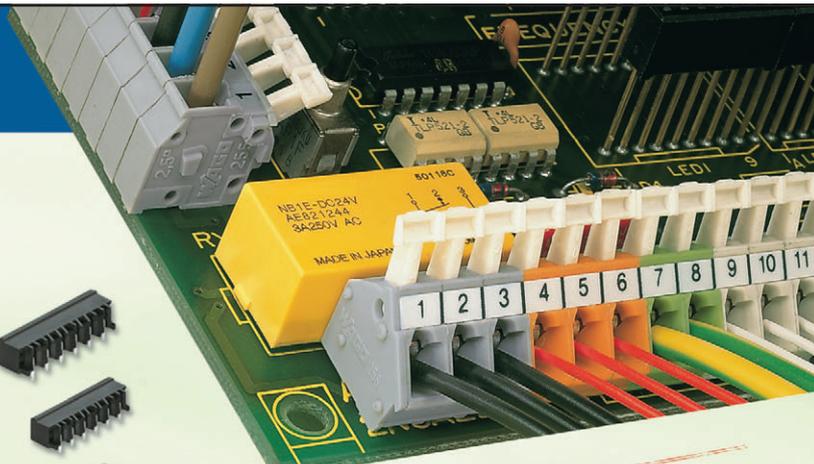
После установки требуемых значений параметров процесса размещения и трассировки следует подтвердить их нажатием клавиши ОК, расположенной в нижней части каждой страницы диалоговой панели. Далее следует активировать процесс размещения и трассировки или каждую его фазу поочередно.

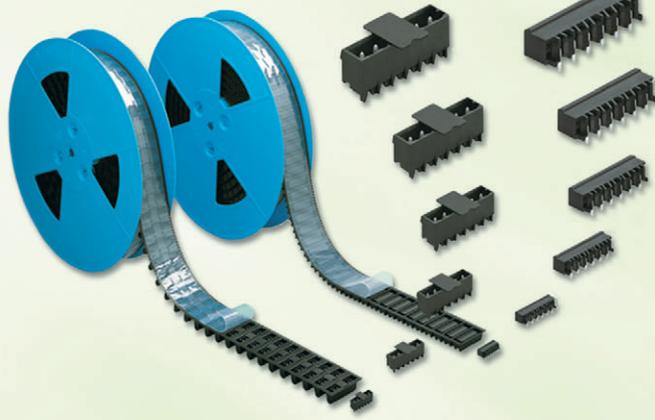
Продолжение следует



Клеммы и соединители для печатных плат







К монтажу
ГОТОВЫ!

ОФИЦИАЛЬНЫЙ ДИСТРИБЬЮТОР В РОССИИ И СТРАНАХ СНГ



МОСКВА Телефон: (495) 234-0636 • Факс: (495) 234-0640 • E-mail: info@prosoft.ru • Web: www.prosoft.ru
 С.-ПЕТЕРБУРГ Телефон: (812) 448-0444 • Факс: (812) 448-0339 • E-mail: info@spb.prosoft.ru • Web: www.prosoft.ru
 ЕКАТЕРИНБУРГ Телефон: (343) 376-2820 • Факс: (343) 376-2830 • E-mail: info@prosoftsystems.ru • Web: www.prosoftsystems.ru
 САМАРА Телефон: (846) 277-9166 • Факс: (846) 277-9165 • E-mail: info@samara.prosoft.ru • Web: www.prosoft.ru
 НОВОСИБИРСК Телефон: (383) 202-0960; 335-7001; 335-7002 • E-mail: info@nsk.prosoft.ru • Web: www.prosoft.ru
 КИЕВ Телефон: (+380-44) 206-2343/2478/2496 • Факс: (+380-44) 206-2343 • E-mail: info@prosoft-ua.com • Web: www.prosoft.ru
 УФА Телефон: (347) 2925-216; 2925-217 • Факс: (347) 2925-218 • E-mail: info@ufa.prosoft.ru • Web: www.prosoft.ru

Реклама