

Процессорные технологии и системные интерфейсы для современных приложений цифровой обработки сигналов

Николай Кольский (Москва)

В статье приведён обзор технологий для построения аппаратных платформ систем цифровой обработки сигналов. Значительное внимание уделено встраиваемым цифровым сигнальным процессорам, их сравнительному анализу и преимуществам по отношению к процессорам общего назначения. Оценивается место и роль современных процессоров общего назначения в системах ЦОС. Подробно рассмотрены системные интерфейсы для различных приложений.

Говоря о цифровой обработке сигналов (ЦОС/DSP), разработчики со стажем вспоминают прежде всего о цифровых сигнальных процессорах (ЦСП), которые часто делят на микросхемы общего применения (general-purpose DSP) и встраиваемые ЦСП (embedded DSP). Рынок последних примерно вдвое больше. Так, в 2005 г. объём рынка встраиваемых ЦСП составил \$14,3 млрд, при общем объёме рынка микросхем с процессорными ядрами для цифровой обработки сигналов \$22 млрд. Доминирование встраиваемых ЦСП обусловлено выходом приложений ЦОС на массовый потребительский рынок и развитием технологий проектирования и производства SoC- и заказных микросхем. Однако на потребительском рынке в последнее время наряду с ядрами «классических» ЦСП стали использовать и IP-ядра с архитектурами ARM и MIPS, которые обладают производительностью, позволяющей поддерживать ряд приложений ЦОС.

В последние несколько лет лидерами в производстве ЦСП являются компании Texas Instruments и Freescale Semiconductor, имеющие около 50 и 15% рынка соответственно, а также тройка компаний – Analog Devices, Philips Semiconductors, Agere Systems, доля рынка каждой из которых приближается к 10%. Микросхемы этих производителей доминируют при производстве компактных

мобильных устройств на базе технологий ЦОС. В то же время в стационарных встроенных системах ЦОС для военных приложений, промышленности и медицины с успехом применяются многоядерные многопроцессорные решения на базе процессоров общего назначения с архитектурами Intel, UltraSparc и PowerPC.

Ещё лет 10 назад ЦОС использовалась только для специальных целей. Гидро- и аэролокация, медицинская техника, научное приборостроение – вот, пожалуй, основные области, где применялась эта технология. Сегодня ЦОС вышла на широкий потребительский рынок, и связано это, прежде всего, с тем, что массовыми стали устройства беспроводной связи, растёт потребность в широкополосных каналах проводной связи для частных «цифровых» домов, цифровое мультимедиа внедряется как «народный» стиль развлечений, биометрия становится базовой технологией для идентификации личности в режиме реального времени.

Возросло значение ЦОС и на традиционных нишевых рынках. Цифровая обработка сигналов применяется в «интеллектуальной» локации, для решения задач электромагнитной разведки, управления, вычислений, обеспечения связи и наблюдения при использовании аппаратуры с синтезируемой апертурой, фазированных решёток, интеллектуальных

датчиков (в американских аббревиатурах – оборудование SIGINT, COMINT и ELINT), сонаров. Вырос объём гражданского рынка ЦОС для медицинского приборостроения и сейсморазведки.

ЦИФРОВЫЕ СИГНАЛЬНЫЕ ПРОЦЕССОРЫ КАК КЛАССИЧЕСКАЯ ПЛАТФОРМА ДЛЯ СИСТЕМ ЦОС

Упомянутые выше приложения реализуются с помощью математики фильтров, быстрого преобразования Фурье, векторной и матричной алгебры. Именно для выполнения математических алгоритмов и были придуманы цифровые сигнальные процессоры (ЦСП/DSP). По сравнению с процессорами общего назначения, эти «перемалыватели» сигналов с момента своего появления имели специфические особенности работы с памятью, а именно возможность одновременного извлечения инструкций и данных из нескольких банков памяти. Эти процессоры имеют аппаратную поддержку умножения с накоплением за один цикл (модуль MAC/multiply-accumulate, появившийся впервые в 1982 в конструкции ЦСП TMS32010 Texas Instruments/TI), аппаратную поддержку проведения параллельных вычислений в виде дополнения модулей MAC модулями арифметико-логических устройств (arithmetic-logic unit или ALU), устройства сдвига (shifter), устройства быстрого расчёта адресов (address generation unit).

В качестве типичных примеров аппаратного параллелизма можно привести выдержки из описаний ядер ЦСП. В технической документации на микросхему TMS320C64x (TI) написано: «...ядро ЦСП C64x имеет... восемь функционально независимых

блоков – два умножающих устройства с разрешением 32 разряда и шесть арифметико-логических устройств (АЛУ)...». Для микросхемы ADSP-BF538/538F фирмы Analog Devices можно прочитать: «...ядро содержит два 16-разрядных блока умножения (MAC), два 32-разрядных АЛУ, одно 40-разрядное устройство сдвига... кроме того, реализованы четыре 8-разрядных видео-АЛУ, что позволяет производить параллельную обработку 8-разрядных данных...».

Ещё одной, уникальной до недавнего времени, особенностью ЦСП является использование специализированной периферии в виде буферизированных синхронных последовательных портов и контроллеров прямого доступа к памяти (ПДП/DMA).

Все упомянутые особенности конструкции «классического» ЦСП направлены на обеспечение ввода оцифрованного сигнального потока в вычислительную систему и быструю его обработку в режиме реального времени за счёт параллельных вычислений на основе достаточно простых алгоритмов и аппаратной поддержки этих вычислений.

ПРОЦЕССОРЫ ОБЩЕГО НАЗНАЧЕНИЯ НА РЫНКЕ ЦОС

Массовый спрос на цифровую обработку сигналов сделал рынок этих технологий привлекательным для производителей процессоров общего назначения (ПОН/GPP). В качестве примера можно привести микросхемы, построенные на основе архитектуры Intel и PowerPC. Для проникновения на рынок ЦОС, по крайней мере, в части графических приложений, «держатели» этих процессорных архитектур дополнили их расширениями класса SIMD – Single Instruction, Multiple Data (технологии MMX у Intel и AltiVec в процессорах на основе архитектуры PowerPC).

Следующим этапом в адаптации ПОН к цифровой обработке сигналов, да и этапом повышения производительности систем на основе ЦСП, стали технологии многопроцессорности и многоядерности. Обе эти технологии являются естественным развитием приёмов распараллеливания вычислений за счёт аппа-

ратной поддержки. Если приложение допускает, можно добавить ещё один процессор на плату, ещё одну процессорную плату в систему. Переход на проектные нормы в 90 нм и меньше позволяет на кристалле одной микросхемы разместить несколько ядер и/или добавить в ядро ресурсы для запуска нескольких потоков приложений (технология MultiThreading).

Многоядерный процессор обладает рядом преимуществ. Это и более высокая производительность на единицу потребляемой мощности, и более полная загрузка аппаратных ресурсов процессора. Правда, операционная система и код приложения должны соответствовать дополнительным возможностям, предоставляемым многопроцессорной системой, с тем чтобы эти возможности были эффективно использованы.

На практике однопоточный высокопроизводительный процессор простаивает значительную часть своего рабочего времени из-за того, что обращения к внешней памяти в десятки раз медленнее, чем скорость работы процессора. В зависимости от качества программы простой может составлять от 30 до 75% рабочего времени при тактовой частоте ядра 500 МГц. Для того чтобы запустить ещё один программный поток, процессор должен иметь дополнительные аппаратные ресурсы, такие как программный счётчик, набор программируемых регистров и т.п. В случае, например, лицензируемого ядра MIPS32 34К, поддерживающего технологию многопоточных процессоров MultiThreading, добавление систем, занимающих 14% площади поверхности кристалла, увеличивает производительность процессора на 60% по сравнению с однопоточным аналогом. Ещё одной заготовкой для современного многопоточного процессора может послужить ядро S1, созданное компанией SimplyRISC на базе архитектуры UltraSparc T1 от Sun Microsystems.

Многопроцессорные же «конструкции» микросхем с числом ядер до четырёх сегодня можно строить, например, на основе лицензируемого ядра ARM11 MPCore, которое предлагается в виде единого конфигурируемого макроблока. Технологи-

гия симметричной многопроцессорности (symmetrical multiprocessing, или SMP) для ARM11 MPCore может быть реализована на основе стандартного компонента Linux, который можно скачать с сайта kernel.org.

Но технология многоядерности широко используется и производителями «классических» ЦСП. В качестве примера можно привести два недавно анонсированных цифровых сигнальных процессора Symphony DSP56720 и DSP56721 компании Freescale Semiconductor. Новые микросхемы производятся по 90-нм КМОП-технологии и построены на основе двухъядерных кристаллов с 24-разрядными вычислительными ядрами. Производительность каждого ядра составляет 200 MIPS, а рабочая тактовая частота – 200 МГц. Наличие у новых микросхем размещённой на кристалле памяти ROM объёмом 608 Килослов и памяти RAM объёмом 248 Килослов (речь идёт о 24-разрядных словах) позволяет эффективно проводить декодировку аудио (а именно для этих приложений и предназначены новые ЦСП) и некоторые постпроцессинговые операции без использования внешней памяти. При этом наличие интерфейса для работы с внешней памятью у микросхемы DSP56720 ещё больше расширяет её возможности. Контроллер ПДП (DMA) обеспечивает поддержку восьми каналов прямого доступа к памяти для каждого ядра, что является дополнительным источником повышения производительности работы и расширения полосы пропускания.

Несколько иным примером многоядерности ЦСП являются процессоры корпорации TI для недавно анонсированной платформы Texas Instruments DaVinci. Микросхемы содержат ядра TMS320C64+ и ARM926, что позволяет разделить функции ЦОС и управления. Особенности ядра TMS320C64x+ являются мегабайтная кэш-память второго уровня, поддержка интерфейса Gigabit Ethernet. Ядро характеризуется увеличенной на 20% производительностью и позволяет уменьшить объём кода на 20...30% по сравнению с ядром C64x предыдущего поколения. Высокая производительность ядра TMS320C64+ и гибкие возмож-

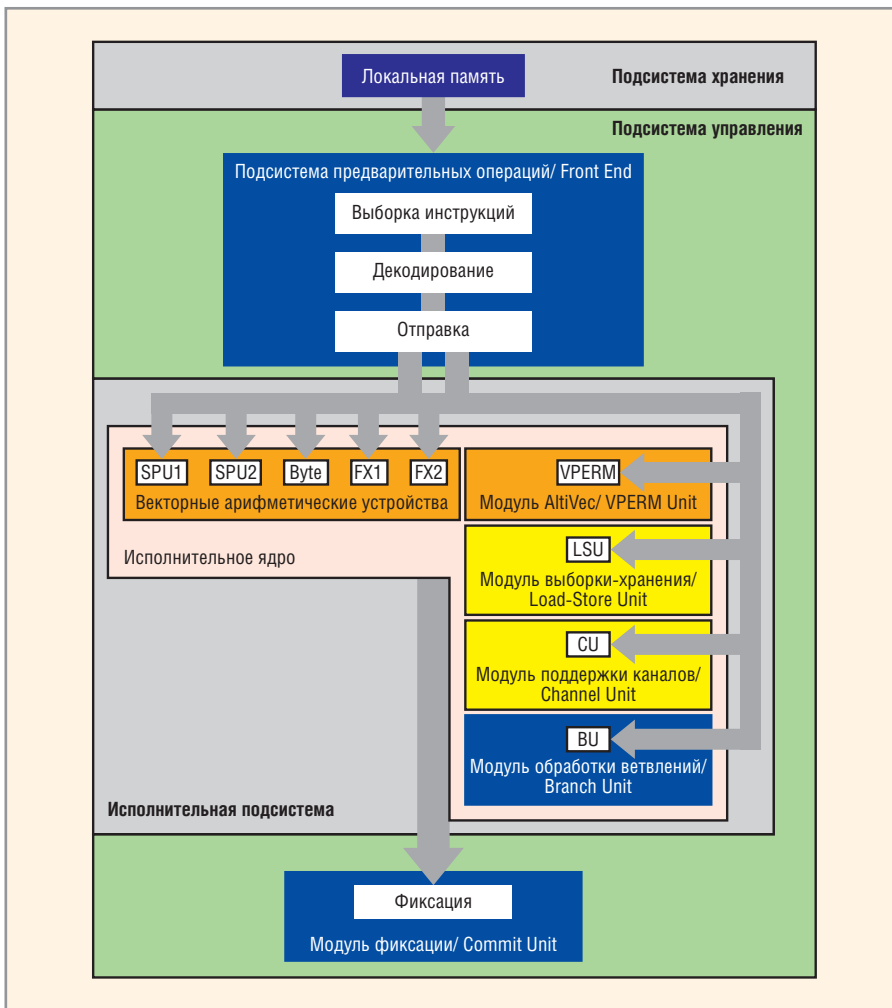


Рис. 1. Блок-схема процессора Cell BE

ности управления, реализуемые на основе ставшей стандартом де-факто архитектуры ARM, позволяют на базе платформы DaVinci создавать оборудование для самых различных приложений. Это видеотелефоны, телевизионные приставки с поддержкой IP-протокола, портативные медиаплееры, цифровые фотокамеры, автомобильные мультимедийные комплексы, охранные системы видеонаблюдения, медицинские системы, сетевые видеосистемы и многие другие устройства.

ПОСЛЕДОВАТЕЛЬНЫЕ ИНТЕРФЕЙСЫ ДЛЯ СИСТЕМ ЦОС

Важным дополнением к технологиям многоядерности и многопроцессорности является быстрый интерфейс, который обеспечивает нужную пропускную способность данных с низкими задержками. Перспективные интерфейсы для приложений ЦОС являются сегодня в большинстве своём последовательными.

В число «быстрых» системных интерфейсов с тактовой рабочей частотой до 8 МГц входят разработки компании Rambus. Компания AMD лицензировала у неё интерфейсы контроллеров DDR2, DDR3, FB-DIMM, PCI Express и XDR. Корпорация IBM заключила с Rambus лицензионное соглашение на использование интерфейсов FlexIO и XDR в многоядерном процессоре Cell BE (см. рис. 1), который воплотил в себе ряд технологий процессорного рынка для быстрых параллельных вычислений, востребованных в ЦОС.

Этот процессор имеет ядро PowerPC, «подключённое» к восьми специализированным ядрам ЦСП. Маркетологи Synergistic Processing Elements (SPE). По-русски это переводится достаточно тяжело: процессорные элементы, обеспечивающие синергетическое повышение производительности вычислений. Некоторые специалисты предлагают другую расшифровку этой аббревиатуры: SIMD processing elements (SPE), или

процессорные элементы, реализующие технологию SIMD. По своей архитектуре каждая ячейка Cell SPE представляет собой SIMD-процессор с парным запуском инструкций и локальной памятью 256 Кб. Большинство арифметических инструкций SPE работает со 128-битными векторами из четырёх 32-разрядных элементов. Эти небольшие векторные «компьютеры» подключаются друг к другу и к кэш-памяти L2 объёмом 512 Кб с помощью интерфейса element interface bus (EIB), который позволяет передавать 96 байт за цикл и обрабатывать более 100 запусков.

Элементы SPE работают как равноправные узлы сети (peers on the network). Они обмениваются данными с кэш-памятью L2 и главной памятью под управлением MIC-контроллера (memory interface controller), поддерживающего стандарт памяти Rambus XDR. На системном уровне обмен данными происходит под управлением контроллера BIC.

Центральное ядро процессора Cell построено по 64-разрядной архитектуре PowerPC и поддерживает технологии Altivec и Simultaneous Multi-Threading/SMT (симметричная многопоточность). Кэш-память L1 этого ядра имеет объём 32 Кб и соединяется с системной кэш-памятью L2 шиной, обеспечивающей передачу 32 байт за цикл между кэшами.

Кристалл процессора Cell включает 234 миллиона транзисторов, его площадь при производстве на основе технологического процесса с проектной нормой 90 нм равна 221 кв. мм.

В современных мультипроцессорных проектах ЦОС всё чаще используется последовательная шина Serial RapidIO/SRIO, которая обеспечивает скорость передачи данных до 10 Гбит/с. В технологии SRIO возможны соединения класса x1 (линия обслуживается одной парой передатчик – приёмник) и x4 (канал связи обслуживается четырьмя парами передатчик – приёмник). При этом для программиста линия x4 выглядит просто как более быстрый канал передачи. Теоретически линиями SRIO поддерживаются скорости передачи данных: 1,25, 2,5 и 3,125 Гбит/с, однако полезная нагрузка канала составляет 1, 2 и 2,5 Гбит/с, т.к. для «устойчивости» линии SRIO используется схема ко-

дирования 8-/10-бит, что добавляет к потоку данных 20% «избыточной» информации. Таким образом, для канала SRIO на основе соединения x4 для каждого из двух направлений реализуема скорость передачи данных 10 Гбит/с, а полная скорость передачи данных может составить 20 Гбит/с. Есть ещё потери на передачу служебной информации, однако при передаче больших блоков данных эффективная пропускная способность может достигать 98% от максимальной.

На основе интерфейса SRIO можно создавать сети с разными топологиями и с количеством сетевых элементов, достигающим 64 тыс. Уже упомянутая схема кодирования 8-/10-бит обеспечивает в таких сетях первый уровень защиты от ошибок при передаче данных. Следующим уровнем является проверка циклической контрольной суммы (технология CRC).

В число специальных функций интерфейса SRIO входит режим ПДП/DMA Direct IO, который позволяет записывать данные непосредственно в пространство памяти того

процессора, которому адресуется информация. Поддержка широковещательной передачи (multicast) обеспечивает отправку данных сразу к нескольким узлам. Интерфейс SRIO поддерживает передачу прерываний для сообщения процессорным узлом о событиях. Управление передачей с использованием иерархии приоритетов обеспечивает доставку важных данных даже в случае перегрузки сети. Аппаратно реализованный механизм повторной передачи данных позволяет гарантировать доставку данных без использования ресурсов процессора и необходимости создания программного стека.

Шина Serial RapidIO создана «старожилами» рынка ЦОС. Производители процессоров общего назначения, и в первую очередь Intel, предлагают для детерминированной высокоскоростной передачи больших объёмов данных интерфейсную технологию Advanced Switching Interconnect (ASI), в основе которой лежит опыт, накопленный в процессе разработки шины PCI Express (PCIe).

Архитектура интерфейса ASI позволяет создавать многоочечные коммутируемые каналы между равноправными узлами (peer-to-peer switched interconnect links) для передачи как непосредственно данных, так и служебной информации. В сети ASI возможна поддержка пакетов практически любой длины за счёт использования технологии Segmentation and Reassembly/SAR и предусмотрен режим надёжной передачи данных (reliable transport mechanism). Техника инкапсуляции пакетов позволяет передавать данные с небольшим количеством служебной информации и поддерживать перемещение по сети пакетов любого протокола. Всё это обеспечивает детерминированное поведение сети, маленькие задержки и управляемый джиттер.

Для потокового ввода данных от сенсоров в вычислительную систему на расстоянии до 10 км используется интерфейс Serial FPDP (ANSI/VITA 17.1), являющийся развитием стандарта параллельной передачи данных ANSI/VITA 17.0 Front Panel Data Port (FPDP). В дополнение к переда-

ДИСПЛЕИ СВЕРХВЫСОКОЙ ЯРКОСТИ

 LITEMAX



- ЖК-дисплеи яркостью от 700 до 1600 нит
- Размеры по диагонали от 10,4 до 31,5"
- Разрешение до 1366×768 (WXGA)
- Угол обзора по вертикали и горизонтали 170°
- Модели для монтажа в панель управления и в настольном исполнении
- Поставляются ЖК-дисплеи со светодиодной подсветкой
- Возможна установка сенсорного экрана, защитного стекла

Хорошо под солнцем, если ты LiteMax!

Телефон: (495) 234-0636 • Факс: (495) 234-0640 • E-mail: info@prosoft.ru • Web: www.prosoft.ru

PROSOFT®



Рис. 2. Модуль B2-AMC компании BittWare

че 32-разрядных «слов» интерфейса FPDP, в технологии Serial FPDP предусматривается передача сигналов управления. Однако «избыточность» протокола данными управления не превышает 2%. Широкое использование в протоколе аппаратной, а не программной поддержки обеспечивает минимизацию загрузки центральных вычислительных ресурсов и небольшое время задержки. Интерфейс Serial FPDP поддерживает топологии цепи и кольца с единственным «мастером» и возможностью «широковещательной» (broadcast) передачи, а также кольцевую топологию с несколькими «мастерами».

ИСПОЛЬЗОВАНИЕ МИКРОСХЕМ ПЛИС В ОБОРУДОВАНИИ ЦОС

Широкий выбор инновационных интерфейсов, предлагаемых для современных систем ЦОС, породил решения, в которых нужная технология передачи данных конфигурируется на основе ПЛИС (FPGA). Так, в мезонинном модуле B2-AMC компании BittWare для обмена данными могут использоваться интерфейсы Serial RapidIO, PCI Express, Advanced Switching Interconnect, GigE или XAUI (10 GigE). Для этого на модуле установлена ПЛИС Altera Stratix II, которая позволяет сконфигурировать нужный тип интерфейса. Сам мезонин является типичной многопроцессорной конструкцией на основе четырёх цифровых сигнальных процессоров ADSP-TS201 TigerSHARC (см. рис. 2), что позволяет достигать производительности в 14,4 GFLOPs и 57,5 GOPS.

ПЛИС используются сегодня и для собственно цифровой обработки сигналов, и для совмещения функций ЦОС и управления. В качестве примера можно привести РМС/ХМС-модуль 7141-703 компании Pentek на основе ПЛИС Virtex-II Pro с двумя АЦП LTC2255 (14 бит/125 МГц). Новый модуль

ориентирован на приложения «программного» радио (Software Defined Radio или SDR). Аналоговые сигналы на высокой или промежуточной частоте поступают на вход и оцифровываются АЦП с последующей передачей цифрового потока в микросхему Virtex-II Pro, которая осуществляет обработку сигналов или их передачу в цепи преобразования. В качестве последних выступают цифровой четырёхканальный преобразователь переноса сигнала вниз по частоте (quad digital down-converter), цифровой преобразователь переноса сигнала вверх по частоте (digital up-converter) с ЦАП, память DDR SDRAM и шина PCI. Микросхема Virtex-II Pro используется также в качестве устройства управления всеми ресурсами нового модуля. Предустановленными функциями ПЛИС является мультиплексирование данных, выбор каналов, пакетирование, синхронизация, управление памятью SDRAM.

ОСОБЕННОСТИ СОВРЕМЕННЫХ ЦСП – ЭКОНОМНАЯ КОНСТРУКЦИЯ, БОЛЬШАЯ ПАМЯТЬ, ШИРОКИЙ НАБОР ИНТЕРФЕЙСОВ И УДОБСТВО ПРОГРАММИРОВАНИЯ

При массовом производстве электроники для потребительского рынка ПЛИС является более дорогой платформой, чем ЦСП. Массовое производство делает привлекательной даже «копеечную» экономию, не говоря уже об экономии в десятки раз. И здесь даже конструкция микросхем ЦСП общего применения подвергается тщательной ревизии на предмет снижения цены. Так, корпорация TI предложила для замены микросхем TMS320C641x на основе инновационного ядра TMS320C64x+ новые ЦСП TMS320C6454. ЦСП C6454 предлагаются в качестве замены микросхем C641x в тех приложениях, где требуется более мощная периферия при сохранении той же стоимости систем. Цифровые сигнальные процессоры TI TMS320C6454 имеют вдвое большие ресурсы памяти и полосу пропускания подсистемы ввода-вывода, чем у процессоров семейства TMS320C641x, 10 млн. которых уже продано приблизительно четырьмя сотнями заказчиков. В состав периферии C6454 наряду с MAC-контроллером Gigabit Ethernet вхо-

дит и шина PCI/66 МГц. Производительность микросхем TMS320C6454 равна производительности, достигнутой в ЦСП TMS320C6455, но стоит TMS320C6454 на четверть дешевле за счёт исключения интерфейсов UTOPIA и SRIO, сопроцессора Viterbi и Turbo-сoproцессора.

Новые ЦСП TMS320C6454 предназначены для использования в видео- и аудиоприложениях, телекоммуникационном оборудовании класса high-end, для создания инфраструктуры беспроводных коммуникаций. Новой областью применения ЦСП являются задачи управления, ранее возлагавшиеся исключительно на микроконтроллеры. В приложениях управления, в промышленности, автомобилестроении, энергетике важен широкий набор интерфейсов. В качестве примера новых ЦСП для этого рынка можно привести процессоры семейства Blackfin (ADSP BF531/532/533/534/535/536/537/538/538F/561), которые созданы на базе архитектуры MSA (Micro Signal Architecture). Процессоры предназначены для поддержки как задач ЦОС в режиме реального времени, так и функций управления. Эти новые микросхемы характеризуются большим набором интерфейсов, в числе которых имеется PCI, Ethernet, CAN, USB 1.1, UART, SPI, I²C, а также большим объёмом встроенной памяти SRAM.

Если порт PPI (Parallel Peripheral Interface) обеспечивает подключение устройств, в которых используется кодирование и декодирование видео, а также высокоскоростных микросхем АЦП и ЦАП, то шина CAN (Controller Area Network) со скоростью передачи данных до 1 Мбит/с и высокой помехоустойчивостью – типичный представитель промышленных и автомобильных интерфейсов.

Последним отличием современных ЦСП от их предшественников, на которое хочется обратить внимание, является поддержка высокоуровневого программирования, идущего на смену программированию на ассемблере. Современные приложения на порядки «объёмнее» тех программ ЦОС, что когда-то насчитывали сотню строк кода. А конкуренция на рынке накладывает высокие требования на скорость создания новых приложений.



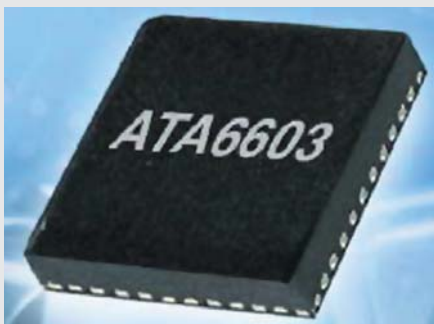
ИС для измерения электроэнергии

Компания Microchip представляет ИС для измерения электроэнергии MCP3909 и соответствующее базовое решение. MCP3909 состоит из двух аналого-цифровых дельта-сигма-преобразователей с разрешением 16 разрядов и опросом данных через SPI, а также активного мощного выхода. Погрешность измерений чипа составляет 0,1% (тип.) в динамическом диапазоне свыше 1000 : 1, причём он может применяться, согласно производителю, при потреблении 4 мА для многих одно- и трёхфазных счётчиков. Базовое решение для трёхфазного счётчика состоит из трёх ИС MCP3909 и отдельных микроконтроллеров PIC1 8F2520 и PIC1 8F4550 в модульном исполнении. PIC18F2520 выполняет в базовом решении все задачи расчёта мощности, тогда как PIC18F4550 предоставляет интерфейс USB для программного обеспечения. Программный пакет базового решения служит как для измерения активной и реактивной мощности, так и для эффективных значений тока и напряжения, а также для калибровки счётчика. Базовое решение должно появиться в марте 2007 г.

www.microchip.com

8-разрядный микроконтроллер и LIN-чип в одном корпусе

Фирма Atmel представила Multichip-модули ATA6602 и ATA6603, относящиеся к LIN-семейству производителя. Интегральные схемы построены как Multichip-модули, у которых в одном корпусе установлены без внутренних связей микроконтроллер (Atmels 8-Bit-AVR) и LIN SBC-чип (LIN-System-Basis). ATA6602 и ATA6603 содержат микроконтроллер, стабилизатор напряжения, а также LIN-трансивер и «сторожевую» схему, обеспечивая всю базовую функциональность LIN-узла. ATA6602 вклю-



чает в себя сертифицированный для автомобильной промышленности ATmega88 с 8 Кб Flash-памяти, тогда как сертифицированный для автомобильной промышленности ATA6603 ATmega168 имеет Flash-память 16 Кб. LIN-SBC в модулях содержат LIN-трансивер, расширенный стабилизатор напряжения и Watchdog-таймер. На стадии разработки могут использоваться Standard-AVR-инструменты фирмы Atmel. Сюда относятся AVR Studio, среда разработки (IDE) для записи AVR-приложения и для устранения ошибок. AVR Studio содержит ассемблер, а также симулятор, и поддерживает интеграцию предлагаемого в качестве Freeware компилятора GCC. Он может быть скачан бесплатно. Для On-Chip-отладки может использоваться AVR JTAGICE mkII. Имеется также LIN Protocol Handler. Дополнительно предоставляется бесплатная LIN-Software-библиотека для C-компиляторов GCC и IAR. Образцы LIN Multichip-модулей ATA6602/ATA6603 в корпусе QFN48 (7 × 7 мм) уже имеются.

www.atmel.com

Аудиоусилители класса D с выходной мощностью 1,7 Вт

Компания National Semiconductor представляет LM48510, первый продукт ряда аудиоусилителей класса D семейства Boomer, интегрированная технология преобразования которого избавляет от необходимости наличия внешнего Boost-преобразователя. LM48510 обеспечивает возможность разработки переносных приборов, которые при снижающемся напряжении батарей могут работать с неизменно высокой выходной мощностью.

LM48510 может при напряжении питания 3 В выдавать в длительном режиме мощность 1,2 Вт на нагрузку 8 Ом и 1,7 Вт на нагрузку 4 Ом в при THD+N (общий клир-фактор плюс искажения) менее 1%. Усилитель семейства Boomer имеет энергосберегающий Shutdown-режим и обладает выходом с защитой от короткого замыкания и перегрева. С помощью специальных схем подавляются помехи типа щелчков, которые могут возникать при включении и выключении или при переходе из обычного режима в Shutdown-режим и обратно. LM48510 можно сконфигурировать наружными средствами для независимой

регулировки усиления от различных источников.

www.national.com

High-Side-переключатели для автомобильной промышленности

Компания International Rectifier представила семейство защищённых High-Side-IPS (интеллектуальных переключателей мощности). Семейство IPS60xx было разработано для применения в автомобилях, в том числе в механизме переключения передач и трансмиссии, в схемах управления тяговым реле, схемах регулирования освещения, а также для щётчных моторов постоянного тока в системах регулировки положения сидений, стеклоподъёмников и стеклоочистителей. IPS6011 в корпусе D-Pak имеет максимальное сопротивление включения 14 мОм. В элементах семейства интегрированы мощные МОП-транзисторы со стандартными схемами защиты от перегрузки, перегрева, электростатических разрядов, а также активный ограничительный диод. С помощью встроенной схемы подкачки заряда элемент может осуществлять управление без дополнительных компонентов.



Серия имеет защиту против неправильной полярности батареи, которая в этом случае включает выходной МОП-транзистор. При этом практически весь ток блокируется так называемым Body-diode. Кроме того, эти элементы выдают диагностические сообщения на микроконтроллер, что позволяет выявлять основные дефекты, такие как обрыв и короткое замыкание. Все элементы соответствуют RoHS и сертифицированы по нормам Q100 для применения в автомобилях. Они могут поставляться в различных корпусах.

www.irf.com