

Микроконтроллеры семейства LPC2000 (ARM7TDMI-S) от Philips – ещё один шаг к идеальной платформе для встраиваемых приложений

(часть 2)

Павел Редькин (г. Ульяновск)

Во второй части автор продолжает знакомить с 16/32-разрядными встраиваемыми микроконтроллерами семейства LPC2000 фирмы Philips Semiconductors. Показана организация системной памяти, конфигурация выводов и контроллер внешней памяти. Приведено описание аппаратных узлов и регистров блока управления системой.

Организация системной памяти LPC2000

При рассмотрении системной памяти МК производитель оперирует понятиями «карта памяти» и «переотображение памяти». Под картой памяти здесь понимается блочная диаграмма, графически изображающая адресное пространство некоторой адресуемой памяти. Под переотобра-

жением памяти понимается заложённая производителем в МК LPC2000 возможность автоматической аппаратной перекодировки адресов памяти в командах процессора при осуществлении доступа к определённым её областям. В результате такой перекодировки попытки программы осуществить доступ к некоторой области памяти приводят в результате к аналогичному физическому доступу к другой области памяти, на которую переотображена требуемая область.

Массив системной памяти

Встроенная память устройств семейства LPC2000 состоит из нескольких различных областей.

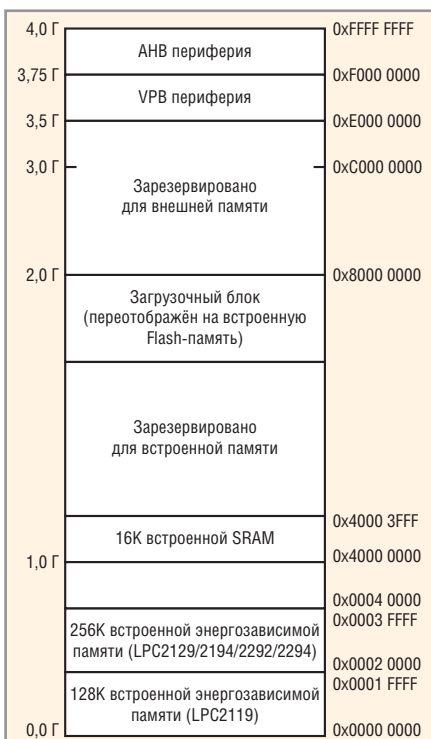


Рис. 4. Карта системной памяти моделей LPC2119/2129/2194/2292/2294

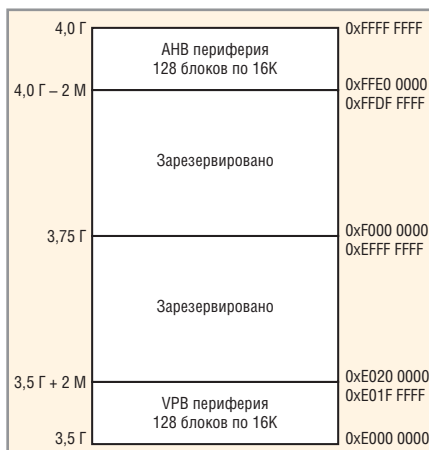


Рис. 5. Карта периферийной памяти моделей LPC2119/2129/2194/2292/2294

На рис. 4 показана полная карта всей системной памяти МК LPC2119/2129/2194/2292/2294, доступной пользовательской программе после сброса. На рис. 5 показана карта периферийной памяти МК LPC2119/2129/2194/2292/2294. К периферийной памяти относятся АНВ и VPB периферийные области, размером каждая по 2М, разделённые на 128 областей периферийных устройств. Таким образом, каждому периферийному устройству отведена область памяти размером 16К. Карты периферийной памяти областей АНВ и VPB приведены соответственно на рис. 6 и 7.

Концепция карты памяти и операционных режимов

Суть концепции построения памяти МК семейства LPC2000 состоит

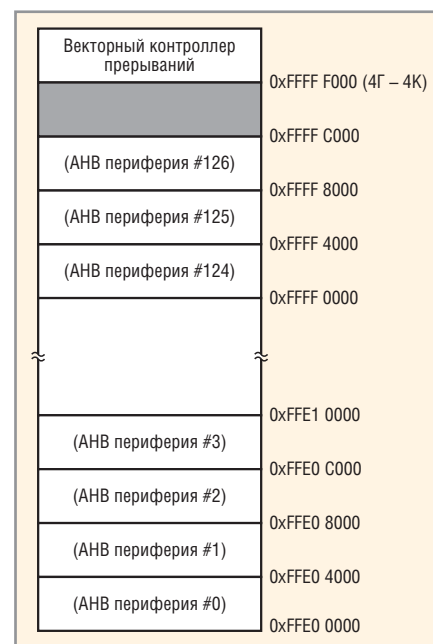


Рис. 6. Карта периферийной памяти АНВ моделей LPC2119/2129/2194/2292/2294

в том, что каждая область памяти МК имеет свое «естественное», раз и навсегда заданное местоположение в карте памяти. Оно всегда неизменно и представляет собой адресный интервал, для которого пишется код, постоянно находящийся в этой области. Объём каждой такой области памяти всегда постоянен. Местоположение области векторов исключений процессора ARM7 (адреса от 0x0000 0000 до 0x0000 001C, как показано в табл. 6) может быть программно переотображено на небольшую часть загрузочного блока или на большую часть пространства SRAM. Эта возможность позволяет создать возможную альтернативу использования прерываний в различных операционных режимах МК, описанных в табл. 7. Местоположение самого загрузочного блока также может быть переотображено. Переотображение векторной области прерываний осуществляется с помощью механизма управления памятью устройств LPC2000, который будет описан ниже. Переотображение загрузочного блока из встроенной Flash-памяти в область старших адресов внешней памяти осуществляется способом, указанным в табл. 7 («Режим внешнего пользователя»).

Переотображение памяти

Как уже было сказано, для обеспечения совместимости с будущими устройствами весь загрузочный блок может быть переотображён на

Таблица 6. Местоположения векторов исключений МК семейства LPC2000

Адрес	Исключение
0x0000 0000	Сброс (запуск)
0x0000 0004	Неопределённая (неправильная) команда
0x0000 0008	Программное прерывание
0x0000 000C	Аварийное прекращение работы выбора с упреждением (ошибка выборки команды из памяти)
0x0000 0010	Аварийное прекращение выборки данных (ошибка доступа к данным в памяти)
0x0000 0014	Зарезервировано*
0x0000 0018	IRQ
0x0000 001C	FIQ

* В документации ARM этот адрес идентифицируется как зарезервированный. В устройствах семейства LPC2000 этот адрес используется встроенным загрузчиком как ключ (сигнатура) «правильной» пользовательской программы.

верхнюю область адресного пространства встроенной памяти. Таким образом, при использовании встроенных и внешних модулей памяти различного размера разработчику никогда не потребуются изменения местоположения загрузочного блока (что потребовало бы изменения непосредственно кода загрузчика) или изменения способа отображения векторов прерываний загрузочного блока. Области памяти, не относящиеся к размещению векторов прерываний, остаются на прежних местах. На рис. 8 показана карта механизма управления встроенной памятью в режимах, перечисленных выше. Часть памяти, которая может переотображаться, чтобы обеспечить обработку прерываний в различных режимах, включает в себя область векторов прерываний (32 байта) и дополнительные 32 байта, т.е. имеет размер 64 байта. Переотображение позволяет обращаться к физическим адресам с 0x0000 0000 по 0x0000 003F путём программного доступа к другим (переотображённым) адресам. Таким образом, типовая пользовательская программа во Flash-памяти может разместить полный обработчик FIQ по адресу 0x0000 001C без возникновения потребности учитывать границы памяти. Вектор, содержащийся в загрузочном блоке внешней памяти или в SRAM, должен содержать команды передачи управления к фактическим программам обработки прерывания или к другим командам, которые обеспечивают переход к программам обработки прерываний.

Необходимо отметить, что области переотображённой памяти, вклю-

Таблица 7. Режимы управления памятью МК семейства LPC2000

Режим	Способ активации	Использование
Режим загрузчика	Аппаратная активация после любого сброса	Загрузчик всегда выполняется после любого сброса. Векторы прерывания загрузочного блока переотображены на начало памяти, чтобы разрешить обработку исключений и использовать прерывания в ходе процесса начальной загрузки
Режим программы пользователя	Программная активация загрузочным кодом	Активируется загрузчиком, когда сигнатура «правильной» пользовательской программы распознана в памяти и поэтому операция загрузки не вызывается. Векторы прерывания не переотображены и находятся в начале Flash-памяти
Режим пользовательской оперативной памяти	Программная активация пользовательской программой	Следует активировать пользовательской программой. Векторы прерывания переотображены на начало статической памяти SRAM
Режим внешнего пользователя	На выводах BOOT1:0 нет уровней «11» при сбросе	Активируется загрузчиком, когда один или оба вывода BOOT находятся на низком уровне в момент снятия внешнего низкого уровня с вывода RESET. Векторы прерывания переотображены на начало карты внешней памяти*

* Этот режим доступен только для устройств с контроллером внешней памяти, например для LPC2292/2294.

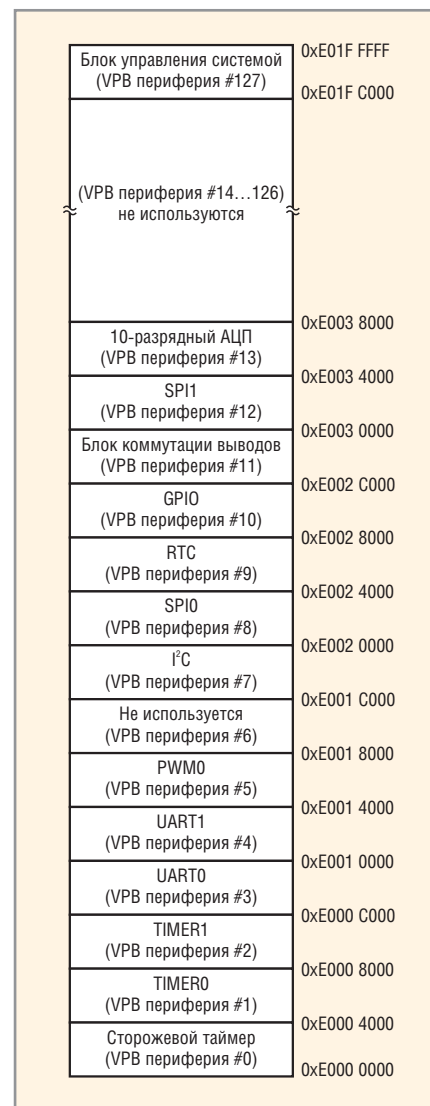


Рис. 7. Карта периферийной памяти VPB моделей LPC2119/2129/2194/2292/2294

чая загрузочный блок и векторы прерывания, продолжают находиться и в их первоначальном (оригинальном) местоположении кроме их дополнительного (виртуального) нахождения по переотображённым адресам.

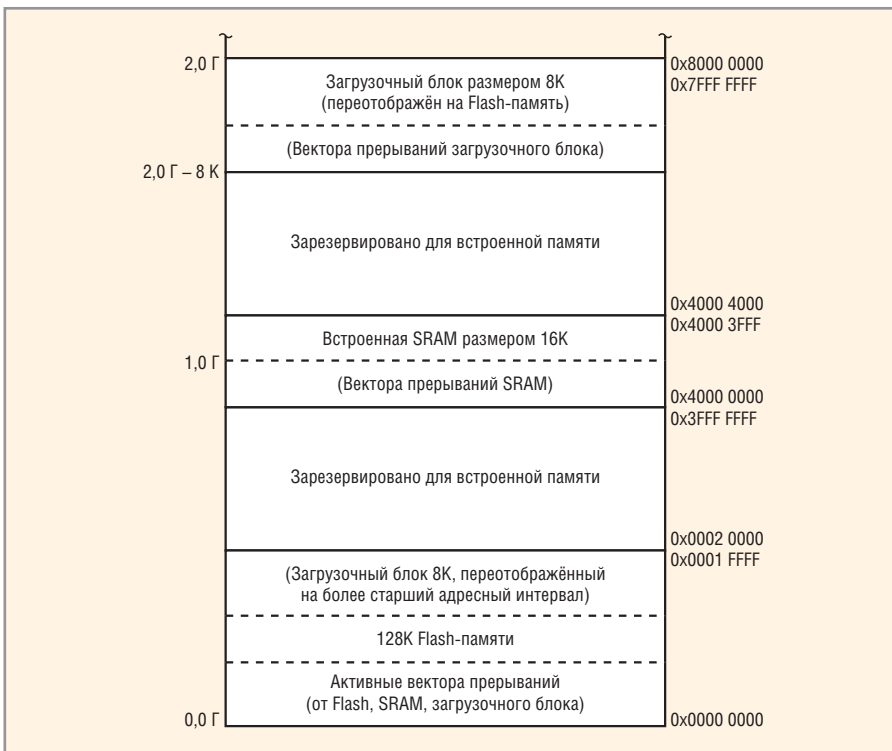


Рис. 8. Карта механизма управления встроенной памятью для МК LPC2000 с 128К и Flash 16К SRAM

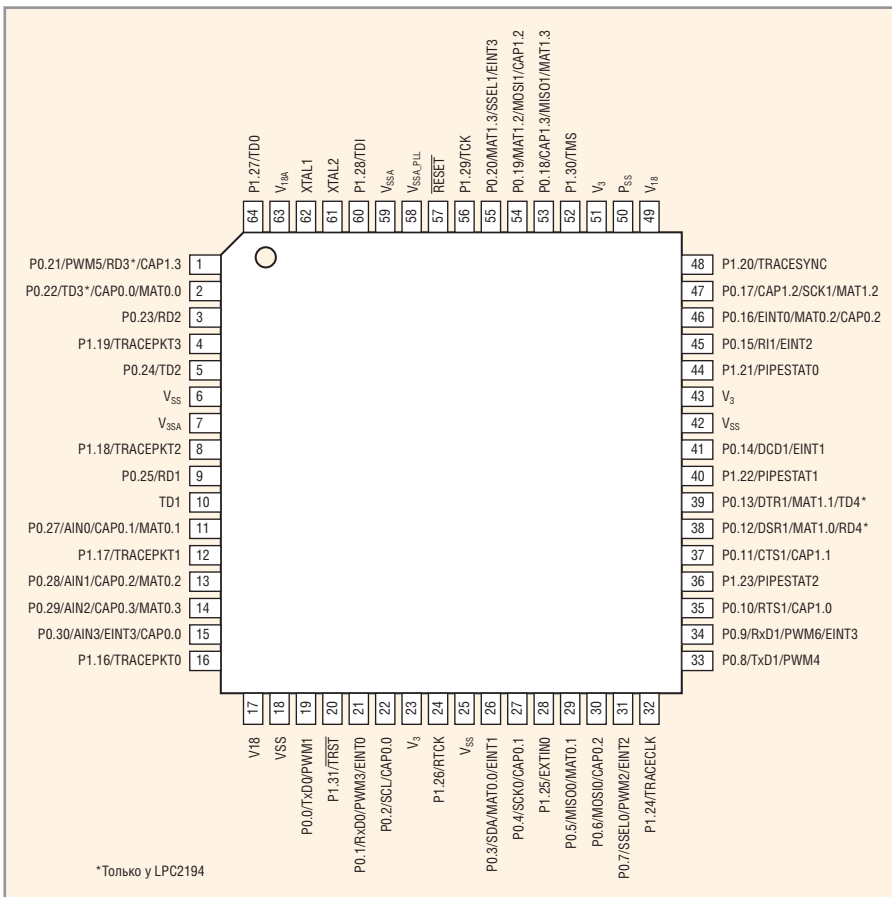


Рис. 9. Топологическая схема корпуса моделей LPC2119/2129/2194

МК LPC2000 генерируют исключение аварийного прекращения работы цикла шины, если производится доступ к зарезервированным или несуществующим областям адресов, указанным в картах памяти как «зарезер-

вированная встроенная память». Кроме того, исключение аварийного прекращения работы выбора с упреждением будет сгенерировано для любого вызова команды, который отображается на адрес АНВ или VPВ периферии.

Конфигурация выводов LPC2000

Топологическая схема корпуса устройств LPC2119/2129/2194 с указанием номеров и функций выводов приведена на рис. 9. Описание выводов устройств LPC2119/2129/2194 с указанием их альтернативных функций приведено в табл. 8. Аналогичная информация для других устройств LPC2000 доступна на сайте www.LPC2000.com.

Контроллер внешней памяти (EMC)

Модуль контроллера внешней памяти EMC реализован только для МК LPC2000 в 144-выводном корпусе, например LPC2292/2294. Модуль EMC имеет следующие основные особенности:

- поддерживает статические устройства с отображённой памятью, RAM, ROM, Flash-память, burst-ROM и некоторые внешние устройства ввода-вывода;
 - обеспечивает асинхронные операции чтения в постраничном режиме в не синхронизированных подсистемах памяти;
 - обеспечивает независимое конфигурирование до четырёх банков памяти, каждый размером до 16М;
 - обеспечивает программируемую внешнюю ширину данных: 8, 16 или 32 разряда.
- Диапазоны адресов, способы и схемы подключения к МК устройств внешней памяти, критерии выбора таких устройств, специальные регистры EMC, а также типичные шинные последовательности сигналов интерфейса EMC подробно рассмотрены в книге [1].

Блок управления системой

Блок управления системой МК семейства LPC2000 включает в себя несколько аппаратных узлов и регистров управления множеством не зависимых друг от друга функций, связанных с определёнными периферийными устройствами. Эти функции (узлы) следующие:

- стабилизированный кварцевым резонатором генератор;
- входы внешних прерываний;
- узел управления памятью;
- узел ФАПЧ (PLL);
- узел управления потребляемой мощностью;

Таблица 8. Описание выводов устройств LPC2119/2129/2194

Номер вывода ¹	Обозначение	Тип	Описание
–	Порт 0	I/O	32-разрядный двунаправленный порт ввода-вывода с индивидуальным заданием направления для каждого бита. Функция каждой линии порта 0 выбирается через блок коммутации выводов. Выводы 26 и 31 порта 0 недоступны ²
1	P0.21	I/O	Линия ввода/вывода общего назначения (GPIO)
	PWM5	O	Выход широтно-импульсного модулятора 5
	RD3 (CAN3)	I	Вход приёмника (доступен только в LPC2194)
2	CAP1.3	I	Вход захвата TIMER1, канал 3
	P0.22	I/O	Линия ввода/вывода общего назначения (GPIO)
	TD3 (CAN3)	O	Выход передатчика (доступен только в LPC2194)
	CAP0.0	I	Вход захвата TIMER0, канал 0
3	MAT0.0	O	Выход совпадения TIMER0, канал 0
	P0.23	I/O	Линия ввода/вывода общего назначения (GPIO)
5	RD2 (CAN2)	I	Вход приёмника
	P0.24	I/O	Линия ввода/вывода общего назначения (GPIO)
9	TD2 (CAN2)	O	Выход передатчика
	P0.25	I/O	Линия ввода/вывода общего назначения (GPIO)
11	RD1 (CAN1)	I	Вход приёмника
	P0.27	I/O	Линия ввода/вывода общего назначения (GPIO)
	AIN0	I	АЦП, вход 0 (аналоговый вход, всегда подключен к этому выводу)
	CAP0.1	I	Вход захвата TIMER0, канал 1
13	MAT0.1	O	Выход совпадения TIMER0, канал 1
	P0.28	I/O	Линия ввода/вывода общего назначения (GPIO)
	AIN1	I	АЦП вход 1 (аналоговый вход, всегда подключен к этому выводу)
	CAP0.2	I	Вход захвата TIMER0, канал 2
14	MAT0.2	O	Выход совпадения TIMER0, канал 2
	P0.29	I/O	Линия ввода/вывода общего назначения (GPIO)
	AIN2	I	АЦП вход 2 (аналоговый вход, всегда подключен к этому выводу)
	CAP0.3	I	Вход захвата TIMER0, канал 3
15	MAT0.3	O	Выход совпадения TIMER0, канал 3
	P0.30	I/O	Линия ввода/вывода общего назначения (GPIO)
	AIN3	I	АЦП вход 3 (аналоговый вход, всегда подключен к этому выводу)
	EINT3	I	Вход внешнего прерывания 3
19	CAP0.0	I	Вход захвата TIMER0, канал 0
	P0.0	I/O	Линия ввода/вывода общего назначения (GPIO)
	TxD0	O	Выход передатчика UART0
21	PWM1	O	Выход широтно-импульсного модулятора 1
	P0.1	I/O	Линия ввода/вывода общего назначения (GPIO)
	RxD0	I	Вход приёмника UART0
	PWM3	O	Выход широтно-импульсного модулятора 3
22	EINT0	I	Вход внешнего прерывания 0
	P0.2	I/O	Линия ввода/вывода общего назначения (GPIO)
	SCL	I/O	Вход-выход синхронизации I ² C. Выход с открытым коллектором (в режиме I ² C)
26	CAP0.0	I	Вход захвата TIMER0, канал 0
	P0.3	I/O	Линия ввода/вывода общего назначения (GPIO)
	SDA	I/O	Вход-выход данных I ² C. Выход с открытым коллектором (в режиме I ² C)
	MAT0.0	O	Выход совпадения TIMER0, канал 0
27	EINT1	I	Вход внешнего прерывания 1
	P0.4	I/O	Линия ввода/вывода общего назначения (GPIO)
	SCK0	I/O	Выход последовательной синхронизации SPI0. Выход синхронизации SPI ведущего или вход ведомого
29	CAP0.1	I	Вход захвата TIMER0, канал 1
	P0.5	I/O	Линия ввода/вывода общего назначения (GPIO)
	MISO0	I/O	Вход ведущего-выход ведомого SPI0. Выход данных SPI ведущего или выход данных SPI ведомого
	MAT0.1	O	Выход совпадения TIMER0, канал 1

Номер вывода ¹	Обозначение	Тип	Описание
30	P0.6	I/O	Линия ввода/вывода общего назначения (GPIO)
	MOSIO	I/O	Выход ведущего – вход ведомого SPI0. Выход данных SPI ведущего или вход данных SPI ведомого
	CAP0.2	I	Вход захвата TIMER0, канал 2
31	P0.7	I/O	Линия ввода/вывода общего назначения (GPIO)
	SSEL0	I	Выбор ведомого SPI0. Выбирает интерфейс SPI в качестве ведомого
	PWM2	O	Выход широтно-импульсного модулятора 2
	EINT2	I	Вход внешнего прерывания 2
33	P0.8	I/O	Линия ввода/вывода общего назначения (GPIO)
	TxD1	O	Выход передатчика UART1
	PWM4	O	Выход широтно-импульсного модулятора 4
34	P0.9	I/O	Линия ввода/вывода общего назначения (GPIO)
	RxD1	I	Вход приёмника UART1
	PWM6	O	Выход широтно-импульсного модулятора 6
	EINT3	I	Вход внешнего прерывания 3
35	P0.10	I/O	Линия ввода/вывода общего назначения (GPIO)
	RTS1	O	Выход запроса посылки UART1
	CAP1.0	I	Вход захвата TIMER1, канал 0
37	P0.11	I/O	Линия ввода/вывода общего назначения (GPIO)
	CTS1	I	Вход сброса посылки UART1
	CAP1.1	I	Вход захвата TIMER1, канал 1
38	P0.12	I/O	Линия ввода/вывода общего назначения (GPIO)
	DSR1	I	Вход готовности данных UART1
	MAT1.0	O	Выход совпадения TIMER1, канал 0
	RD4 (CAN4)	I	Вход приёмника (доступен только в LPC2194)
39	P0.13	I/O	Линия ввода/вывода общего назначения (GPIO)
	DTR1	O	Выход готовности данных терминала UART1
	MAT1.1	O	Выход совпадения TIMER1, канал 1
	TD4 (CAN4)	O	Выход передатчика (доступен только в LPC2194)
41	P0.14	I/O	Линия ввода/вывода общего назначения (GPIO)
	DCD1	I	Вход обнаружения несущей частоты данных UART1
45	EINT1	I	Вход внешнего прерывания 1 ³
	P0.15	I/O	Линия ввода/вывода общего назначения (GPIO)
	RI1	I	Вход индикатора вызова UART1
46	EINT2	I	Вход внешнего прерывания 2
	P0.16	I/O	Линия ввода/вывода общего назначения (GPIO)
	EINT0	I	Вход внешнего прерывания 0
	MAT0.2	O	Выход совпадения TIMER0, канал 2
47	CAP0.2	I	Вход захвата TIMER0, канал 2
	P0.17	I/O	Линия ввода/вывода общего назначения (GPIO)
	CAP1.2	I	Вход захвата TIMER1, канал 2
53	SCK1	I/O	Выход последовательной синхронизации SPI1. Выход синхронизации SPI ведущего или вход ведомого
	MAT1.2	O	Выход совпадения TIMER1, канал 2
54	P0.18	I/O	Линия ввода/вывода общего назначения (GPIO)
	CAP1.3	I	Вход захвата TIMER1, канал 3
	MISO1	I/O	Вход ведущего – выход ведомого SPI1. Выход данных SPI ведущего или выход данных SPI ведомого
55	MAT1.3	O	Выход совпадения TIMER1, канал 3
	P0.19	I/O	Линия ввода/вывода общего назначения (GPIO)
	MAT1.2	O	Выход совпадения TIMER1, канал 2
55	CAP1.2	I	Вход захвата TIMER1, канал 2
	P0.20	I/O	Линия ввода/вывода общего назначения (GPIO)
	MAT1.3	O	Выход совпадения TIMER1, канал 3
	SSEL1	I	Выбор ведомого SPI1. Выбирает интерфейс SPI в качестве ведомого
	EINT3	I	Вход внешнего прерывания 3

Таблица 8. Описание выводов устройств LPC2119/2129/2194 (продолжение)

Номер вывода ¹	Обозначение	Тип	Описание
–	Порт 1	I/O	32-разрядный двунаправленный порт ввода-вывода с индивидуальным заданием направления для каждого бита. Функция каждой линии порта 1 выбирается через блок коммутации выводов. Только выводы 16 – 31 порта 1 доступны ⁴
4	P1.19	I/O	Линия ввода/вывода общего назначения (GPIO)
	TRACERPKT3	O	Трассировка пакетов, бит 3
8	P1.18	I/O	Линия ввода/вывода общего назначения (GPIO)
	TRACERPKT2	O	Трассировка пакетов, бит 2
12	P1.17	I/O	Линия ввода/вывода общего назначения (GPIO)
	TRACERPKT1	O	Трассировка пакетов, бит 1
16	P1.16	I/O	Линия ввода/вывода общего назначения (GPIO)
	TRACERPKT0	O	Трассировка пакетов, бит 0
20	P1.31	I/O	Линия ввода/вывода общего назначения (GPIO)
	TRST	I	Тестирование сброса для интерфейса JTAG
24	P1.26	I/O	Линия ввода/вывода общего назначения (GPIO)
	RTCK	I/O	Выход возврата тестирования синхронизации. Дополнительный сигнал, который добавляется к JTAG-порту. Помогает синхронизации отладчика, когда частота процессора изменяется ⁵
28	P1.25	I/O	Линия ввода/вывода общего назначения (GPIO)
	EXTINO	I	Внешний триггерный вход
32	P1.24	I/O	Линия ввода/вывода общего назначения (GPIO)
	TRACELCK	O	Тактирование трассировки
36	P1.23	I/O	Линия ввода/вывода общего назначения (GPIO)
	PIPESTAT2	O	Состояние конвейера, бит 2
40	P1.22	I/O	Линия ввода/вывода общего назначения (GPIO)
	PIPESTAT1	O	Состояние конвейера, бит 1
44	P1.21	I/O	Линия ввода/вывода общего назначения (GPIO)
	PIPESTAT0	O	Состояние конвейера, бит 0
48	P1.20	I/O	Линия ввода/вывода общего назначения (GPIO)
	TRACESYNC	O	Синхронизация трассировки ⁶
52	P1.30	I/O	Линия ввода/вывода общего назначения (GPIO)
	TMS	I	Тестирование выбора режима для интерфейса JTAG

Номер вывода ¹	Обозначение	Тип	Описание
56	P1.29	I/O	Линия ввода/вывода общего назначения (GPIO)
	TCK	I	Тестирование синхронизации для интерфейса JTAG
60	P1.28	I/O	Линия ввода/вывода общего назначения (GPIO)
	TDI	I	Тестирование входных данных для интерфейса JTAG
64	P1.27	I/O	Линия ввода/вывода общего назначения (GPIO)
	TDO	O	Тестирование выходных данных для интерфейса JTAG
6, 18, 25, 42, 50	VSS	I	Заземление – напряжение 0 В
7	V3A	I	Аналоговое напряжение питания 3,3 В для портов ввода-вывода. Это напряжение номинально должно быть тем же, что и V ₃ , но должно быть изолировано от последнего, чтобы минимизировать шумы и ошибки АЦП. Напряжение на этом выводе используется в качестве опорного напряжения для АЦП
10	TD1 (CAN1)	O	Выход передатчика. Этот вывод толерантен к внешнему напряжению 5 В и имеет встроенный подтягивающий к «плюсу» питания резистор
17, 49	V18	I	Напряжение питания 1,8 В для внутренних схем устройства, в т.ч. вычислительного ядра
23, 43, 51	V3	I	Напряжение питания 3,3 В для портов ввода-вывода
57	RESET	I	Вход внешнего сброса – низкий внешний уровень на этом выводе сбрасывает устройство, устанавливая на портах ввода-вывода и периферийных устройствах заданные по умолчанию состояния и вызывая выполнение программы процессором с адреса 0. Это TTL-вход с гистерезисом, толерантный к внешнему напряжению 5 В
58	VSSA_PLL	I	Аналоговое заземление ФАПЧ напряжение 0 В. Это напряжение номинально должно быть тем же, что и V _{SS} , но должно быть изолировано от последнего, чтобы минимизировать шумы и ошибки АЦП
59	VSSA	I	Аналоговое заземление – напряжение 0 В. Это напряжение номинально должно быть тем же, что и V _{SS} , но должно быть изолировано от последнего, чтобы минимизировать шумы и ошибки АЦП
61	XTAL2	O	Выход усилителя генератора
62	XTAL1	I	Вход схемы генератора и внутренних цепей генератора синхросигнала
63	V18A	I	Аналоговое напряжение питания 1,8 В для внутренних схем устройства, в т.ч. вычислительного ядра. Это напряжение номинально должно быть тем же, что и V ₁₈ , но должно быть изолировано от последнего, чтобы минимизировать шумы и ошибки АЦП

¹ Корпус LQFP-64.

² Все выводы порта 0, исключая те, которые могут использоваться как входы АЦП (P0.27, P0.28, P0.29 и P0.30), толерантны к внешнему напряжению 5 В. Если АЦП не используется, то выводы, связанные с АЦП, могут также использоваться как цифровые выводы I/O, толерантные к 5 В.

³ Низкий уровень на выводе P0.14 при низком уровне на выводе RESET приводит к передаче управления встроенному загрузчику после завершения сброса.

⁴ Все выводы порта 1 толерантны к внешнему напряжению 5 В и имеют встроенные подтягивающие к «плюсу» питания резисторы. Резисторы устанавливают высокий входной уровень на выводе, когда соответствующий вывод используется как вход.

⁵ Низкий внешний уровень на выводе P1.26 при низком уровне на выводе RESET. Разрешает работу выводов P1.31:26 в качестве порта отладки после завершения сброса.

⁶ Низкий внешний уровень на выводе P1.20, в то время как на выводе RESET также присутствует низкий уровень. Разрешает работу выводов P1.25:16 в качестве линий трассировки пакетов после завершения сброса.

- узел сброса;
- VPВ-делитель;
- таймер «пробуждения» из «спящего» режима.

Каждая функция имеет свои собственные обслуживающие регистры.

Стабилизированный кварцем генератор

В пределах частотного диапазона 1...50 МГц в МК LPC2000 может использоваться внешний тактовый сигнал (амплитудой не менее 200 мВ).

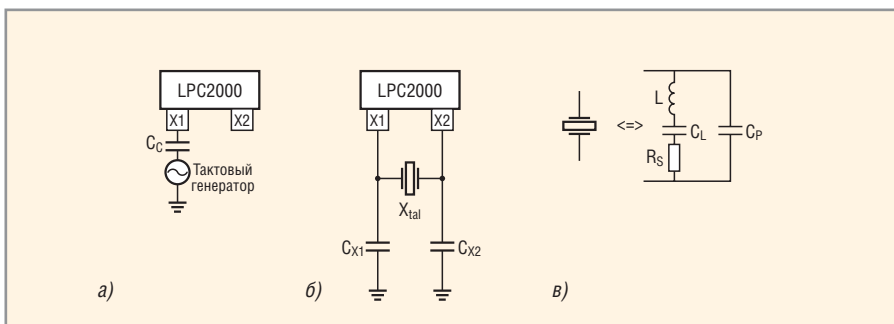


Рис. 10. Режимы работы встроенного генератора LPC2000

Его следует подавать на вход XTAL1. Встроенная схема генератора МК поддерживает работу с внешними кварцевыми резонаторами только в частотном диапазоне 1...30 МГц. Если в устройстве используется встроенная система ФАПЧ или встроенный загрузчик, то входная частота тактового сигнала ограничена диапазоном 10...25 МГц.

Генератор выдает частоту, которая далее будет обозначаться как F_{OSC}, а частота тактирования процессора ARM далее будет обозначаться как cclk (CCLK). Частоты F_{OSC} и cclk совпадают в том случае, если встроенная система ФАПЧ не используется.

Встроенный генератор в МК LPC2000 может работать в одном из двух режимов: ведомом (рис. 10а) и режиме автоколебаний (рис. 10б). Внешние компоненты, используемые в режиме автоколебаний, показаны на рис. 10б и 10в и в табл. 9. Необходимое для генерации сопротивление обратной связи уже встроено в устройство, а ёмкости C_{X1} и C_{X2} должны быть подключены как показано на рисунке для обеспечения генерации на основной частоте подключенного кварцевого резонатора (основная частота резонатора определяется значениями L , C_L и R_S эквивалентной схемы резонатора, см. рис. 10в). Ёмкость C_P , показанная на эквивалентной схеме, у используемого резонатора не должна превышать 7 пФ.

Входы внешних прерываний

МК семейства LPC2000 имеют четыре входа внешних прерываний (EINT0 – EINT3) аналогично выбираемым функциям выводов. Входы внешних прерываний могут использоваться произвольно, чтобы «пробудить» процессор из режима пониженного энергопотребления Power Down.

Таблица 9. Рекомендованные значения C_{X1} , C_{X2} в режиме автоколебаний, параметры кварцевого резонатора и других внешних компонентов

Основная частота генератора F_S , МГц	Эквивалентная ёмкость резонатора C_L , пФ	Максимальное эквивалентное сопротивление резонатора R_S , Ом	Внешние ёмкости C_{X1} , C_{X2} , пФ
1...5	10	NA*	NA
	20	NA	NA
	30	<300	58, 58
5...10	10	<300	18, 18
	20	<300	38, 38
	30	<300	58, 58
10...15	10	<300	18, 18
	20	<220	38, 38
	30	<140	58, 58
15...20	10	<220	18, 18
	20	<140	38, 38
	30	<80	58, 58
20...25	10	<160	18, 18
	20	<90	38, 38
	30	<50	58, 58
25...30	10	<130	18, 18
	20	<50	38, 38
	30	NA	NA

* NA – здесь и далее означает «не используется» (Not Applicable).

С функцией обработки внешних прерываний связаны нижеследующие регистры.

Регистр флагов внешних прерываний (EXTINT – 0xE01FC140). Битовая структура регистра EXTINT



ЧЛЕН
МЕЖДУНАРОДНОГО
СОЮЗА ВЫСТАВОК
И ЯРМАРОК



КОСК «РОССИЯ»
ВЫСТАВОЧНЫЙ ЦЕНТР

ПРИБОРОСТРОЕНИЕ ЭЛЕКТРОНИКА. ЭЛЕКТРОТЕХНИКА - 2006

V межрегиональная специализированная выставка

14 - 16 НОЯБРЯ 2006

Основные разделы выставки:

- Передовые технологии, оборудование, материалы
- Датчики, системы идентификации, первичные преобразователи, электроприводы
- Контрольно-измерительные и диагностические приборы
- Электронные устройства, компоненты, элементная база
- Метрология, весоизмерительное оборудование
- Электротехническое оборудование общепромышленного применения
- Силовая электроника и микроэлектроника
- Специализированная литература

Место проведения:
 КОСК «Россия» г. Екатеринбург ул. Высоцкого, 14
 Тел/факс: (343) 347-45-05, 347-18-32
 e-mail: vystavka@kosk.ru
<http://www.kosk.ru>



Таблица 10. Регистр флагов внешних прерываний (EXTINT – 0xE01FC140)

Номер бита	Имя бита	Функция бита	Значение после сброса
0	EINT0	В режиме, когда внешние прерывания вызываются уровнем, этот бит устанавливается, если функция EINT0 выбрана для вывода устройства и на этот вывод подан его активный внешний уровень. В режиме, когда внешние прерывания вызывается перепадом, этот бит устанавливается, если функция EINT0 выбрана для вывода устройства и на этот вывод подан его активный внешний перепад. Можно выбрать двух выводов, чтобы реализовать функцию EINT0 (P0.1 и P0.16). Этот бит может быть сброшен путем записи в него лог. 1, кроме того случая, когда внешние прерывания вызываются уровнем и на вывод подан этот внешний активный уровень	0
1	EINT1	Аналогично описанию бита EINT0, но относится к функции EINT1 и выводам P0.3 и P0.14	0
2	EINT2	Аналогично описанию бита EINT0, но относится к функции EINT2 и выводам P0.7 и P0.15	0
3	EINT3	Аналогично описанию бита EINT0, но относится к функции EINT3 и выводам P0.9, P0.20 и P0.30	0
7:4	Зарезервированы	Данные биты зарезервированы. Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределенное значение	NA

Таблица 11. Регистр «пробуждения» от внешних прерываний (EXTWAKE – 0xE01FC144)

Номер бита	Имя бита	Функция бита	Значение после сброса
0	EXTWAKE0	Когда этот бит установлен, заданный активный уровень или перепад на входе /EINT0 «пробудит» процессор из режима Power Down	0
1	EXTWAKE1	Аналогично описанию бита EXTWAKE0, но относится к входу /EINT1	0
2	EXTWAKE2	Аналогично описанию бита EXTWAKE0, но относится к входу /EINT2	0
3	EXTWAKE3	Аналогично описанию бита EXTWAKE0, но относится к входу /EINT3	0
7:4	Зарезервированы	Данные биты зарезервированы. Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределенное значение	NA

Таблица 12. Регистр режима внешних прерываний (EXTMODE – 0xE01FC148)

Номер бита	Имя бита	Функция бита	Значение после сброса
0	EXTMODE0	Когда этот бит сброшен, прерывание EINT0 вызывается уровнем. Когда этот бит установлен, прерывание EINT0 вызывается перепадом	0
1	EXTMODE1	Аналогично описанию бита EXTMODE0, но относится к прерыванию EINT1	0
2	EXTMODE2	Аналогично описанию бита EXTMODE0, но относится к прерыванию EINT2	0
3	EXTMODE3	Аналогично описанию бита EXTMODE0, но относится к прерыванию EINT3	0
7:4	Зарезервированы	Данные биты зарезервированы. Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределенное значение	NA

Таблица 13. Регистр полярности внешних прерываний (EXTPOLAR – 0xE01FC14C)

Номер бита	Имя бита	Функция бита	Значение после сброса
0	EXTPOLAR0	Когда этот бит сброшен, прерывание EINT0 вызывается низким уровнем внешнего сигнала или отрицательным перепадом (в зависимости от значения бита EXTMODE0)	0
		Когда этот бит установлен, прерывание EINT0 вызывается высоким уровнем внешнего сигнала или положительным перепадом (в зависимости от значения бита EXTMODE0)	
1	EXTPOLAR1	Когда этот бит сброшен, прерывание EINT1 вызывается низким уровнем внешнего сигнала или отрицательным перепадом (в зависимости от значения бита EXTMODE1)	0
		Когда этот бит установлен, прерывание EINT1 вызывается высоким уровнем внешнего сигнала или положительным перепадом (в зависимости от значения бита EXTMODE1)	
2	EXTPOLAR2	Когда этот бит сброшен, прерывание EINT2 вызывается низким уровнем внешнего сигнала или отрицательным перепадом (в зависимости от значения бита EXTMODE2)	0
		Когда этот бит установлен, прерывание EINT2 вызывается высоким уровнем внешнего сигнала или положительным перепадом (в зависимости от значения бита EXTMODE2)	
3	EXTPOLAR3	Когда этот бит сброшен, прерывание EINT3 вызывается низким уровнем внешнего сигнала или отрицательным перепадом (в зависимости от значения бита EXTMODE3)	0
		Когда этот бит установлен, прерывание EINT3 вызывается высоким уровнем внешнего сигнала или положительным перепадом (в зависимости от значения бита EXTMODE3)	
7:4	Зарезервированы	Данные биты зарезервированы. Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределенное значение	NA

приведена в табл. 10. Когда выбрана функция обработки внешнего прерывания с вывода устройства, то внешний уровень или перепад напряжения на этом выводе вызовет установку флага соответствующего прерывания в регистре EXTINT. Установка флага в свою очередь вызовет соответствующий запрос на прерывание контроллера векторов прерываний (VIC), который вызовет переход на его обработку, если внешние прерывания разрешены.

Регистр «пробуждения» от внешних прерываний (EXTWAKE – 0xE01FC144). Битовая структура регистра EXTWAKE приведена в табл. 11. Биты регистра EXTWAKE разрешают внешним прерываниям «пробудить» процессор, если он находится в режиме Power Down. Чтобы «пробуждение» состоялось, соответствующая функция EINTn должна быть задана для вывода МК (разрешение данного прерывания в VIC не обязательно).

Регистр режима внешних прерываний (EXTMODE – 0xE01FC148). Битовая структура регистра EXTMODE приведена в табл. 12.

Регистр полярности внешних прерываний (EXTPOLAR – 0xE01FC14C). Битовая структура регистра EXTPOLAR приведена в табл. 13.

Управление памятью

Управление памятью заключается в изменении отображения области векторов прерываний, которая, как кажется пользователю, всегда начинается с адреса 0x00000000. Это позволяет коду, находящемуся в различных областях памяти, управлять прерываниями.

Доступный для чтения и записи регистр управления памятью (MEMMAP – 0xE01FC040) определяет, читаются ли вектора прерывания ARM из загрузочного блока во Flash-памяти, пользовательской Flash-памяти или оперативной памяти. Битовая структура регистра MEMMAP приведена в табл. 14.

Механизм управления памятью просто выбирает один из трёх доступных источников данных (состоящих из 64 байтов каждый), необходимых для обработки исключения ARM. Например, всякий раз, когда сгенерирован запрос программного прерывания, ядро ARM бу-

Таблица 14. Биты регистра МЕММАР (МЕММАР – 0xE01FC040)

Номер бита	Имя бита	Функция бита	Значение после сброса*
1:0	MAP1:0	00 – режим загрузчика. Векторы прерывания переотображены в загрузочный блок	0
		01 – режим пользовательской Flash-памяти. Векторы прерывания не переотображены и постоянно находятся во Flash-памяти	
		10 – режим пользовательской оперативной памяти. Векторы прерывания переотображены в статическую оперативную память SRAM	
		11 – режим пользовательской внешней памяти. Векторы прерывания переотображены во внешнюю память	
		Этот режим доступен только для устройств с контроллером внешней памяти, например, L2292/2294, и не должен задаваться, когда используются другие МК семейства LPC2000**	
7:2	Зарезервированы	Данные биты зарезервированы. Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA

* Значение битов MAP после аппаратного сброса равно 00. Это значение даёт возможность пользователю видеть результаты выполнения кода загрузчика, который всегда выполняется при сбросе.

** Некорректное задание значений этих битов может привести к неправильным операциям устройства

дет выбирать 32-разрядные данные, «расположенные» по адресу 0x00000008. Однако когда биты МЕММАР[1:0] = 10 (режим пользовательской оперативной памяти), чтение/выборка по адресу 0x00000008 возвратит данные, реально храня-

щиеся по адресу 0x40000008. Если биты МЕММАР[1:0] = 01 (режим пользовательской Flash-памяти), то чтение/выборка по адресу 0x00000008 возвратит данные, реально хранящиеся во встроенной Flash-памяти по адресу 0x00000008.

В случае если биты МЕММАР[1:0] = 00 (режим загрузчика), чтение/выборка по адресу 0x00000008 возвратит данные, хранящиеся по адресу 0x7FFFE008 (загрузочный блок, переотображённый во встроенную Flash-память).

Продолжение следует

ЛИТЕРАТУРА

1. Редькин П.П. Микроконтроллеры ARM7. Семейство LPC2000 компании Philips: полное руководство пользователя. М.: Додэка-XXI. 2006 (готовится к выпуску).
2. LPC2119/2129/2194/2292/2294 USER MANUAL. Feb. 2004. Philips Semiconductors (www.LPC2000.com).
3. ARM 7TDMI Data Sheet. Document Number: ARM DDI 0029E. August 1995. Copyright Advanced RISC Machines Ltd (ARM) 1995 (www.arm.com).
4. ARM7TDMI-S Technical Reference Manual (Rev 4) Copyright © ARM Limited. ARM DDI 0234A (www.arm.com).
5. ARM Instruction Set. Quick Reference Card (www.arm.com).
6. Thumb Instruction Set. Quick Reference Card (www.arm.com).





NEMIC LAMBDA
Leading Power

Практически для любых применений!



Универсальная серия HWS
AC/DC-преобразователей

- Универсальный вход 85-265 В (47-63 Гц) или 120-370 В постоянного напряжения
- Выходные мощности от 15 до 1500 Вт
- Выходные напряжения от 3,3 до 48 В
- Высокие энергетические показатели качества
- Монтаж на шасси и DIN-рейку

- Диапазон рабочих температур от -40 до +71 °С (опция)
- Устойчивость к вибрационным и ударным воздействиям: MIL-STD-810F
- Исполнение для применения в медицинском оборудовании
- Широкий набор сервисных функций
- Гарантийный срок 5 лет



Телефон: (495) 234-0636 • Факс: 234-0640
E-mail: info@prosoft.ru • Web: www.prosoft.ru