

Микроконтроллеры AT32UC3 с ядром AVR32

(часть 2)

Павел Редькин (г. Ульяновск)

Вторая часть статьи посвящена описанию встроенной периферии МК семейства AT32UC3. Все периферийные устройства имеют пользовательские интерфейсы, состоящие из специальных регистров, отображённых в адресное пространство памяти. Доступ к этим регистрам осуществляется через периферийную шину.

Контроллер ввода-вывода общего назначения

Контроллер ввода-вывода общего назначения (GPIO) управляет линиями ввода-вывода микроконтроллера (МК). Каждая линия ввода-вывода, обслуживаемая GPIO, имеет следующие основные особенности:

- устойчивость к подаче внешнего напряжения 5 В;
- возможность генерации прерывания по положительному или отрицательному перепаду внешнего сигнала;
- встроенный фильтр выбросов и помех, обеспечивающий подавление импульсов внешнего сигнала, которые по длительности короче одного тактового цикла;
- режим Open Drain (открытый сток), допускающий совместное использование линий ввода-вывода со стороны МК и внешних компонентов;
- возможность программного чтения входных внешних сигналов на выводе и управления выходными сигналами вывода;
- мультиплексирование до четырёх периферийных функций на одной линии ввода-вывода;
- встроенный, программируемый, подтянутый к «плюсу» питания резистор.

Устройства AT32UC3A имеют четыре параллельных порта ввода-вывода общего назначения (A, B, C, X), а устройства AT32UC3B – два порта (A, B).

Некоторые из специальных регистров пользовательского интерфейса GPIO, в дополнение к их отображению на периферийную шину, отображены на локальную шину ЦПУ. Это предоставляет доступ к этим регист-

рам, как по периферийной, так и по локальной шине. Отображение на локальную шину позволяет обеспечить синхронизированное с тактовыми циклами ЦПУ переключение выводов GPIO. Поскольку локальная шина тактируется со скоростью ЦПУ, одна операция записи или чтения регистров GPIO может быть выполнена за один тактовый цикл ЦПУ.

Каждая линия GPIO в МК помимо функции ввода-вывода общего назначения может быть программно назначена для обслуживания одной из трёх периферийных функций: A, B или C. Нагрузочная способность каждой линии GPIO характеризуется значением выходного тока, равным 4 мА. Устройства AT32UC3B дополнительно содержат четыре линии GPIO, имеющие драйверы с удвоенной нагрузочной способностью.

Контроллеры прерываний

Архитектура AVR32 поддерживает четыре уровня приоритета для регулярных прерываний, маскируемые прерывания и немаскируемое прерывание (NMI).

Генерировать сигналы запросов прерываний может почти вся встроенная периферия МК. Эти сигналы поступают в контроллер прерываний (INTC). Модуль INTC поддерживает до 64 групп прерываний. Каждая группа может иметь до 32 линий запросов прерываний, которые связаны с периферийными устройствами. Каждая группа имеет свой регистр приоритета прерывания (IPR) и регистр запроса прерывания (IRR). Регистры IPR используются для назначения уровня приоритета и вектора в каждой группе, а регистры IRR – для идентифика-

ции активных запросов прерываний в пределах каждой группы.

В модуле INTC имеется также четыре регистра причины прерывания (ICR). С помощью перечисленных регистров идентифицируется группа, которая содержит отложенное прерывание соответствующего уровня приоритета.

Помимо модуля INTC, позволяющего генерировать прерывание от каждого вывода МК, все МК семейства AT32UC3 содержат контроллер внешних прерываний (EIM), позволяющий дополнительно конфигурировать несколько выводов МК в качестве входов внешних прерываний. Каждый такой вывод имеет свой собственный запрос прерывания, который может быть индивидуально замаскирован; вывод может генерировать прерывание по положительному или отрицательному перепаду и по высокому или низкому уровню внешнего сигнала. Каждая линия имеет встроенный фильтр с перестраиваемой конфигурацией, позволяющий подавлять выбросы входных сигналов. Каждый вывод, являющийся входом внешнего прерывания, может быть также сконфигурирован для асинхронного «пробуждения» МК из подрежимов «спящего» режима, в которых отсутствует тактирование. Модуль EIM может также «пробудить» МК из «спящего» режима, не генерируя прерывания.

Модуль контроллера прерываний поддерживает сканирование внешней клавиатуры, которую можно подключить к МК в целевой пользовательской системе. Эта клавиатура должна состоять из линий строк и столбцов; первые подключаются к входам внешних прерываний МК, вторые управляются отдельным набором сканирующих выходов модуля EIM. Нажатая клавиша клавиатуры вызывает прерывание, которое может быть идентифицировано с помощью регистров пользовательского интерфейса. Блок-схема контроллера прерываний приведена на рисунке 7.

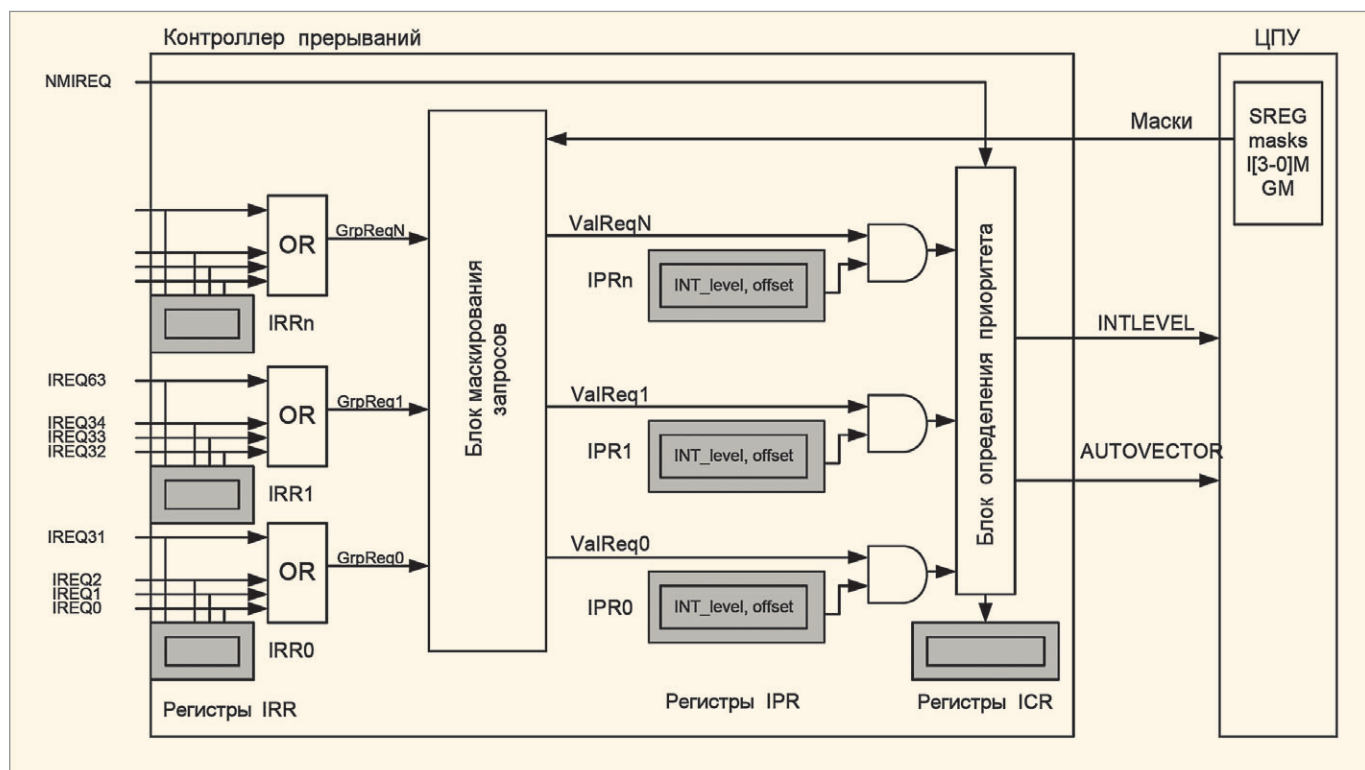


Рис. 7. Блок-схема контроллера прерываний (INTC)

СЧЁТЧИК РЕАЛЬНОГО ВРЕМЕНИ

Встроенный в МК типа AT32UC3 счётчик реального времени (RTC) может генерировать периодические прерывания через интервалы заданной длительности или производить точное измерение временных задержек в реальном масштабе времени. Счётная частота для RTC формируется с помощью 16-разрядного предварительного делителя, который тактируется от встроенных RC-генератора или генератора частоты 32 кГц. Модуль RTC потребляет чрезвычайно малую мощность (7 мкА/МГц) и может функционировать во всех подрежимах «спящего» режима МК, кроме подрежима Static. Максимальное время счёта RTC составляет 272 года.

КОНТРОЛЛЕР ВСТРОЕННОЙ ФЛЭШ-ПАМЯТИ

Контроллер флэш-памяти (FLASHC) связывает блок встроенной флэш-памяти AT32UC3 с 32-разрядной внутренней шиной HSB. Принцип функционирования контроллера FLASHC заключается в размещении слов данных с последовательно идущими адресами в чередующихся субблоках флэш-памяти. Наличие в каждом субблоке интерфейса чтения позволяет производить их чтение параллельно. Когда данные из одного субблока

флэш-памяти выводятся на шину, из другого субблока производится чтение по следующему последовательно идущему адресу. Результат этого чтения возвращается в следующем тактовом цикле.

Контроллер флэш-памяти также управляет программированием, стиранием, блокировкой и разблокированием, осуществляемыми при помощи последовательностей специальных команд.

Модуль FLASHC имеет два шинных интерфейса:

- интерфейс к высокоскоростной шине (HSB) для чтения данных из массива флэш-памяти и их записи в буфер страницы;
- интерфейс к периферийной шине (PB) для записи команд, а также для управления и чтения состояния контроллера.

Для обеспечения функционирования в системах с высокими тактовыми частотами модуль FLASHC имеет интерфейс к блоку флэш-памяти с двумя портами чтения.

ШИННАЯ МАТРИЦА HSB

Входящая в состав МК AT32UC3 шинная матрица HSB (HMATRIX) представляет собой многослойную шинную структуру, которая позволяет организовать параллельный множественный доступ через высокоско-

ростную шину (HSB) для ведущих и ведомых устройств в системе. Это позволяет значительно увеличить полосу пропускания шины. Шинная матрица связывает между собой до 16 ведущих устройств HSB и до 16 ведомых устройств HSB. В качестве ведущих устройств выступают, например, ЦПУ, DMA периферийных модулей USB и Ethernet, интерфейс внешней шины, а в качестве ведомых – встроенная флэш-память, мосты к периферийным шинам и встроенная память SRAM.

Нормальное время ожидания соединения ведущего устройства с ведомым – один тактовый цикл, за исключением случаев, когда ведущее устройство непосредственно связано с ведомым. В этом случае получается 0 циклов ожидания.

ИНТЕРФЕЙС ВНЕШНЕЙ ШИНЫ

Модуль интерфейса внешней шины (EBI) входит в состав только МК типа AT32UC3A0x. Интерфейс внешней шины (EBI) предназначен для организации обмена данными между МК и несколькими внешними устройствами. Контроллеры статической и динамической памяти реализованы в EBI как контроллеры внешней памяти; они могут обслуживать несколько типов периферийных устройств и устройств внешней памяти:

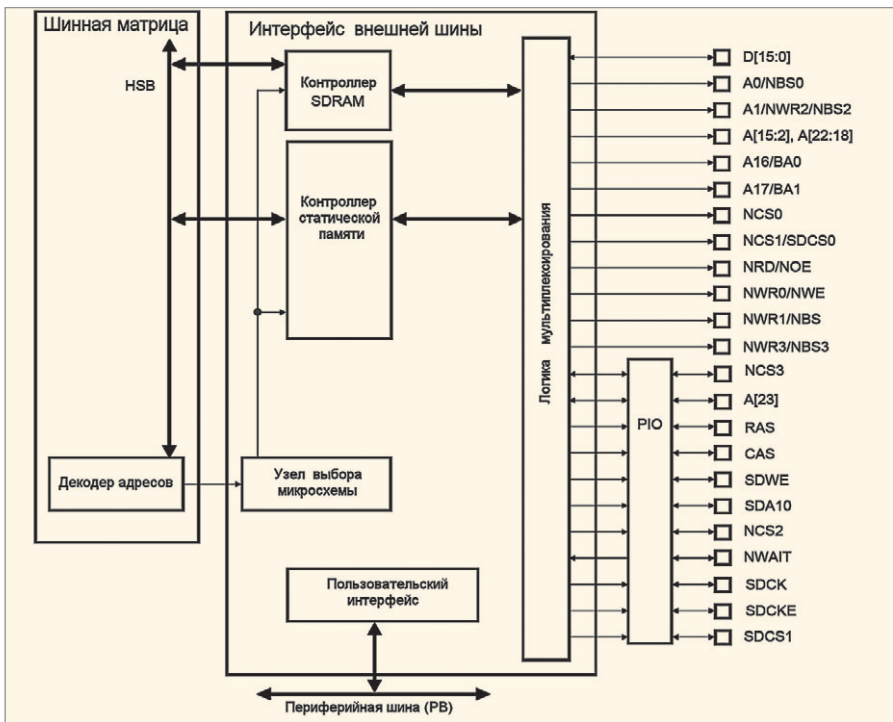


Рис. 8. Блок-схема интерфейса внешней шины (EBI)

SRAM, PROM, EPROM, EEPROM и SDRAM.

Интерфейс EBI обеспечивает обмен данными между МК и внешними устройствами (до 5), причём каждому из них может быть назначена область адресов, задаваемая встроенным контроллером памяти МК. Обмен данными выполняется через 16-разрядную шину данных, 24-разрядную адресную шину, линии выбора микросхем (до 4 – NCS[3:0]) и через линии управления, которые могут переключаться между двумя контроллерами внешней памяти. Блок-схема интерфейса внешней шины приведена на рисунке 8.

Периферийный контроллер DMA

Входящий в состав МК типа AT32UC3 модуль прямого доступа к памяти (PDCA) обеспечивает перемещение данных между встроенными периферийными модулями (USART, SPI, SSC и т.п.) и встроенной/внешней памятью МК. Использование модуля PDCA позволяет не задействовать ЦПУ для передач данных, повышая фактическую производительность МК в приложениях.

Модуль PDCA связан с периферийными модулями с помощью интерфейсов установления связи. Периферийное устройство с помощью запроса сообщает PDCA о готовности принимать или пере-

давать данные; модуль подтверждает этот запрос, когда начинается передача.

Количество интерфейсов установления связи может превышать количество каналов DMA. В этом случае канал DMA должен быть сконфигурирован для использования наиболее предпочтительного интерфейса. Когда буфер передачи PDCA оказывается пустым или буфер приёма PDCA оказывается полным, модуль может сгенерировать запрос прерывания. Размер элемента передаваемых через PDCA данных (байт, полуслово, слово) может быть задан индивидуально для каждого канала DMA.

Последовательный периферийный интерфейс SPI

Входящий в состав МК типа AT32UC3 модуль последовательного периферийного интерфейса (SPI) имеет следующие основные особенности.

Модуль поддерживает связь с внешними устройствами, имеющими интерфейс SPI:

- четыре вывода выбора микросхемы при наличии внешнего декодера позволяют организовать связь с периферийными внешними устройствами (до 15);
- в числе поддерживаемых устройств с последовательным доступом – микросхемы памяти, например,

устройства DataFlash, микросхемы EEPROM с интерфейсом 3-wire, АЦП и ЦАП, CAN-контроллеры, датчики и внешние сопроцессоры.

Модуль SPI обеспечивает поддержку последовательного периферийного интерфейса в режимах ведущего или ведомого. Он имеет:

- программируемую 8- или 16-разрядную длительность слова данных для выбранной микросхемы;
- программируемые фазу и полярность синхросигнала для выбранной микросхемы;
- программируемые задержки передачи между последовательными передачами, а также между синхросигналом и данными для выбранной микросхемы;
- выбираемый режим обнаружения ошибок передачи.

Модуль SPI обеспечивает соединения с модулем PDCA с возможностью оптимизации канала передачи данных:

- один канал PDCA для приёмника, один канал PDCA для передатчика;
- поддержку буфера следующей передачи.

Двухпроводный интерфейс TWI

Двухпроводный интерфейс (TWI) МК типа AT32UC3 связывает между собой со скоростью до 400 Кбит/с компоненты, подключенные к стандартной двухпроводной шине, которая состоит из одной линии синхронизации и одной линии данных. При обмене используется байтовый формат передачи. К шине могут быть подключены устройства последовательной памяти, часы реального времени (RTC), контроллеры символьных/графических ЖКИ, температурные датчики и другие I²C-совместимые устройства фирмы Atmel и других производителей.

Интерфейс TWI микроконтроллера может быть сконфигурирован для работы в ведущем и ведомом режимах с последовательным или произвольным побайтовым доступом; поддерживается также режим Multi-master. Арбитраж на шине выполняется внутренней логикой интерфейса, которая автоматически переводит интерфейс TWI в ведомый режим при потере арбитража.

Генератор скорости обмена сстраиваемой конфигурацией позволяет адаптировать скорость обмена

данными интерфейса TWI к стандартной сетке скоростей обмена. В таблице 4 приводится перечень параметров совместимости двухпроводного интерфейса Atmel МК типа AT32UC3 в ведущем режиме с полностью I²C-совместимыми устройствами.

Синхронный последовательный контроллер SSC

Синхронный последовательный контроллер (SSC) обеспечивает синхронный обмен данными между МК AT32UC3 и внешними устройствами и поддерживает несколько последовательных протоколов синхронной передачи данных, используемых в звуковых и телекоммуникационных приложениях: I2S, Short Frame Sync, Long Frame Sync и т.п.

Контроллер SSC содержит независимые приёмник и передатчик, имеющие общий делитель синхросигнала. Приёмник и передатчик оснащены трёхпроводным интерфейсом: линия данных TD/RD, линия синхронизации TK/RK и линия синхронизации кадра TF/RF. Обмен данными может программироваться с автоматическим или зависимым стартом по различным событиям, детектируемым по синхросигналу кадра.

Высокоуровневое программирование контроллера SSC при наличии двух выделенных каналов PDCA с разрешением до 32 разрядов обеспечивает непрерывную передачу данных без вмешательства ЦПУ.

Поддерживая связь с двумя каналами PDCA, контроллер SSC позволяет организовывать обмен данными между ЦПУ как устройством высокого уровня и каким-либо устройством низкого уровня, например, из следующего перечня:

- кодеком в режиме ведущего или ведомого;
- цифроаналоговым преобразователем через выделенный последовательный интерфейс, например I2S;
- считывающим устройством магнитных карт.

Универсальный синхронно-асинхронный приёмопередатчик USART

Встроенные в МК типа AT32UC3 модули универсальных синхронно-асинхронных приёмопередатчиков (USART) обеспечивают полную дуп-

лексную универсальную синхронно-асинхронную последовательную связь. Формат кадра данных программируется в широких пределах (длина посылки данных, чётность, число стоповых битов), чтобы поддерживать максимальное количество стандартов. Приёмник USART производит обнаружение ошибок чётности, ошибок кадровой синхронизации и ошибок переполнения. Время ожидания приёмника позволяет обрабатывать кадры переменной длины, а передатчик USART с функцией timeguard облегчает связь с медленными удалёнными устройствами. Также поддерживается многоочечная связь с помощью битовых операций адресации при приёме и передаче.

Логика USART поддерживает три режима тестирования: удалённый шлейф, местный шлейф и автоматическое эхо. Модуль USART имеет операционные режимы, обеспечивающие поддержку интерфейса RS-485, спецификации ISO7816 при $T=0$ или $T=1$, Smart-карт, ИК-приёмопередатчиков (IrDA) и связь с модемными портами.

Аппаратная процедура установления связи обеспечивает управление потоком данных путём автоматического управления сигналами на выводах RTC и CTS.

В дополнение к «штатному» встроенному интерфейсу SPI, МК типа AT32UC3 поддерживают функционирование интерфейса USART в режиме SPI, при этом модуль USART может работать как ведущий или ведомый.

Модуль USART поддерживает связь с периферийным контроллером DMA (PDCA), который может пересылать данные в передатчик USART и принимать данные из приёмника USART. Контроллер PDCA обеспечивает це-

почечную организацию буферизации данных без вмешательства ЦПУ.

Контроллер SDRAM

Встроенный контроллер динамической памяти SDRAM (SDRAMC) входит в состав только МК подсемейства AT32UC3A. Контроллер SDRAM расширяет возможности встроенной памяти МК, обеспечивая интерфейс с внешним 16- или 32-разрядным устройством SDRAM. Модуль SDRAMC поддерживает размер страницы памяти от 2048 до 8192 и количество столбцов от 256 до 2048. Модуль обеспечивает доступ к байту, полуслову и слову, а также блочные чтение и запись при единичной длительности блока; поддерживается формат неактивности сигнала CAS, равный 1, 2 и 3.

Развитые режимы доступа к SDRAMC – саморегенерация, «отключенное» питание и «глубоко отключенное» питание – позволяют экономить мощность, потребляемую устройствами SDRAM. Блок-схема контроллера динамической памяти SDRAM приведена на рисунке 9.

Интерфейс Ethernet MAC

Входящий в состав МК подсемейства AT32UC3A модуль интерфейса Ethernet MAC (MACB) имеет следующие основные особенности:

- совместим со стандартом IEEE 802.3;
- поддерживает операции со скоростями обмена 10 и 100 Мбит/с;
- поддерживает полно- и полудуплексные операции;
- имеет регистры подсчёта статистики;
- поддерживает интерфейс физического уровня MII/RMII;
- может генерировать прерывания при завершении передачи и приёма;

Таблица 4. Совместимость интерфейса TWI микроконтроллера AT32UC3 со стандартом I²C

Стандарт I ² C	Atmel TWI AT32UC3
Стандартный режим (частота последовательного синхросигнала 100 кГц)	Поддерживается
Быстрый режим (частота последовательного синхросигнала 400 кГц)	Поддерживается
7-разрядная и 10-разрядная адресация ведомого устройства	Поддерживается
Стартовый байт*	Не поддерживается
Условие «повторный старт» (Sr)	Поддерживается
Управление ACK и NACK	Поддерживается
Сlope-управление и входная фильтрация (в быстром режиме)	Не поддерживается
«Затягивание» синхросигнала	Поддерживается

* $START + b000000001 + A + Sr$, где $START$ – условие «старт» ($START$), A – подтверждение (ACK), Sr – условие «повторный старт» ($REPEATED_START$).

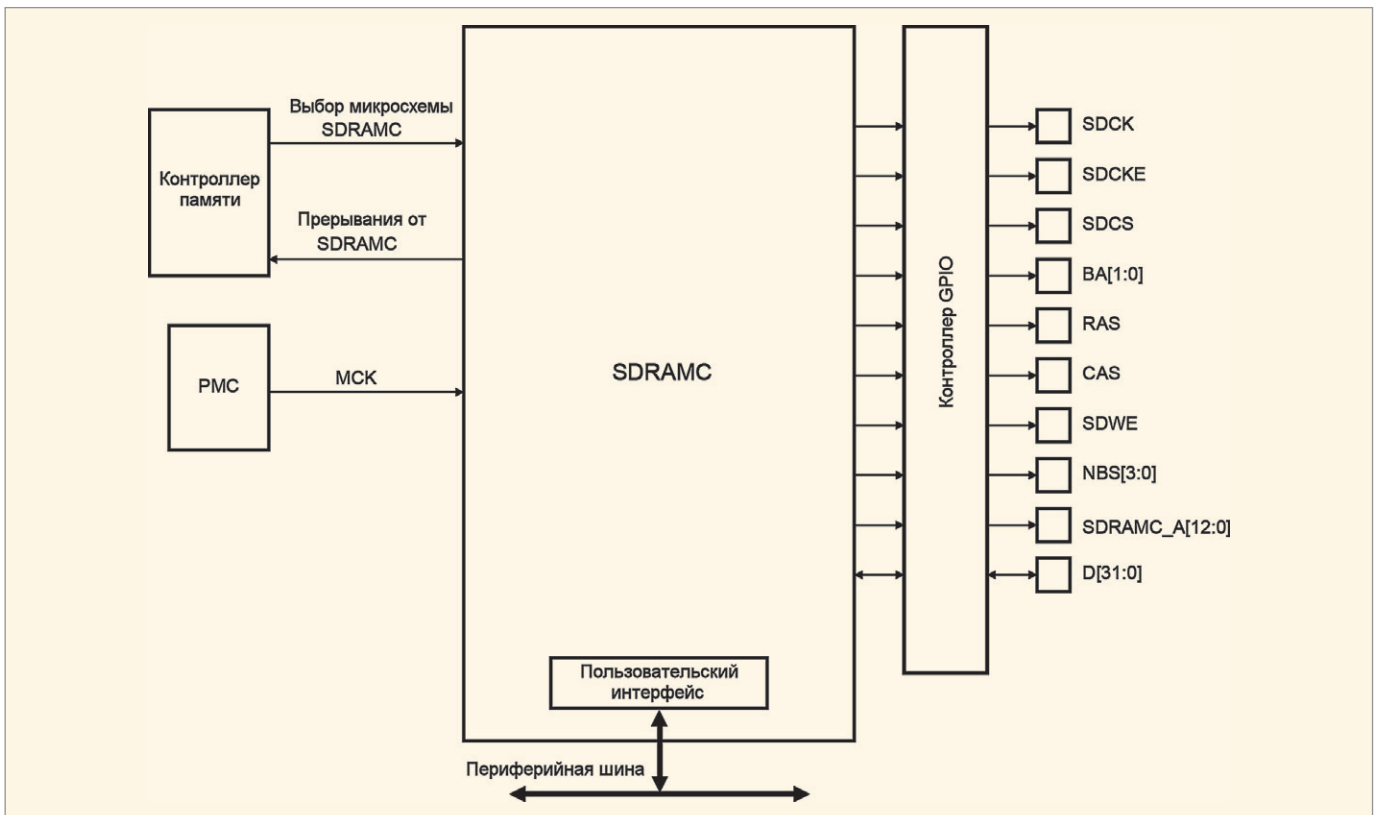


Рис. 9. Блок-схема контроллера динамической памяти SDRAM (SDRAMC)

- поддерживает (в режиме ведущего) каналы DMA для приёма и передачи;
- имеет приёмный и передающий буферы FIFO;
- автоматически генерирует контрольные поля Pad и CRC в передаваемых кадрах;
- автоматически отбрасывает кадры, принятые с ошибками;
- имеет логику проверки адреса, распознающую до четырёх уникальных 48-разрядных адресов;
- поддерживает режим Promiscuous, в котором все принятые без ошибок кадры копируются в память;
- поддерживает управление физическими уровнями с помощью интерфейса MDIO;
- поддерживает внешний сигнал совпадения адреса принятых кадров;
- поддерживает полдуплексное управление потоком данных, допускающее столкновения входящих кадров;
- поддерживает полдуплексное управление потоком данных с распознаванием входящих кадров паузы и аппаратную генерацию передаваемых кадров паузы;
- поддерживает некоторые операции стандарта 802.1Q (VLAN);
- имеет множества приёмных и передающих буферов кадров;

- поддерживает пробуждение через LAN;
- поддерживает гигантские кадры, содержащие до 10 240 байтов.

ИНТЕРФЕЙС USB OTG

Входящий в состав всех МК семейства AT32UC3 модуль интерфейса USB On-The-Go (USBB) имеет следующие особенности:

- ограниченно совместим со спецификацией USB 2.0, полно- и низкоскоростными режимами (FS/LS) и On-The-Go (OTG), скоростью обмена до 12 Мбит/с;
- 7 каналов или конечных точек;
- 960 байт встроенной двухпортовой оперативной памяти (DPRAM) для каналов/конечных точек;
- до двух банков памяти на канал/конечную точку (кроме канала/конечной точки управления);
- гибкую конфигурацию канала/конечной точки и управление выделенными каналами DMA;
- приёмопередатчики на кристалле, включая возможность подтягивания линий к «плюсу» питания и общему проводу (Pull-Ups/Pull-downs);
- кнопочный интерфейс OTG, включающий аналоговый компаратор VBUS на кристалле.

Модуль USB AT32UC не полностью соответствует специфика-

ции USB 2.0, поскольку не обеспечивает поддержку высокоскоростного режима 480 Мбит/с.

Каждый канал/конечная точка модуля USB может быть сконфигурирован для одного из нескольких типов передачи. Канал/конечная точка может быть связан с одним или более банками двухпортовой оперативной памяти с целью сохранения текущих данных. Если используется несколько банков (режим «пинг-понг»), то в один банк DPRAM производит чтение или запись ЦПУ или DMA, в то время как в другой производит чтение или запись макроядро модуля USB. Эта особенность присуща изохронным каналам/конечным точкам.

ТАЙМЕРЫ/СЧЁТЧИКИ

Входящий в состав МК типа AT32UC3 модуль таймеров/счётчиков (T/C) включает в себя три идентичных 16-разрядных канала таймера/счётчика. Каждый канал может независимо программироваться для выполнения широкой номенклатуры функций, включая измерение частоты, подсчёт событий, измерение интервалов, генерацию импульсов, синхронизацию задержек и широтно-импульсную модуляцию.

Каждый канал (таймер/счётчик) имеет три внешних и пять внутрен-

них входов синхронизации, а также два многоцелевых сигнала ввода-вывода, которые могут конфигурироваться пользователем. Каждый канал управляет сигналом внутреннего прерывания, который может быть сконфигурирован для генерации прерывания ЦПУ.

Блок таймеров/счётчиков имеет два глобальных регистра, которые обслуживают все три канала ТС. Регистр команд блока позволяет запускать операции во всех трёх каналах одновременно одной командой. Регистр режима блока задаёт для каждого канала внешние входы синхронизации, позволяя выстраивать их в цепочку.

КОНТРОЛЛЕР ШИМ

Модуль контроллера широтно-импульсной модуляции (PWM) управляет семью независимыми каналами. Каждый канал с помощью независимого 20-разрядного счётчика обеспечивает генерацию выходной прямоугольной импульсной последовательности. Характеристики этой последовательности (период, длительность импульса и полярность) конфигурируются через пользовательский интерфейс PWM. В каждом канале может быть выбран для использования один из источников синхронизации, обеспечиваемых тактовым генератором. Тактовый генератор формирует несколько частот синхронизации, получаемых делением частоты задающего генератора контроллера PWM.

Все виды доступа к модулю PWM производятся через отображения регистров PWM на периферийную шину. Каналы PWM могут быть синхронизированы между собой, чтобы генерировать взаимно перекрывающиеся импульсные последовательности. Все каналы имеют двойную систему буферизации для предотвращения генерации непредсказуемых импульсных последовательностей при программном изменении периода или длительности импульса. Для каждого канала обеспечивается программируемое выравнивание формы импульсов выходной импульсной последовательности (по центру или по левой границе).

АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ

Входящий в состав МК типа AT32UC3 модуль аналого-цифрового

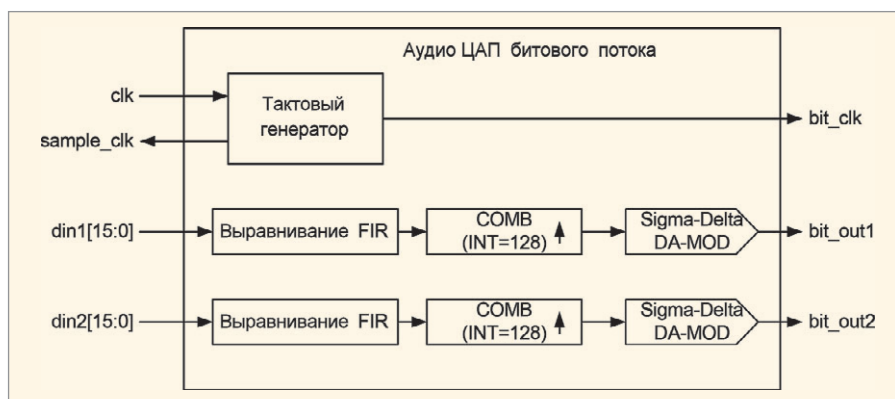


Рис. 10. Блок-схема звукового ЦАП битового потока (ABDAC)

преобразователя (ADC) имеет следующие особенности:

- интегрированный мультиплексор, способный переключать до восьми независимых аналоговых входов;
- индивидуальное включение и отключение каждого канала;
- аппаратный или программный запуск преобразования (триггер), вывод внешнего триггера;
- выходы таймера/счётчика, используемые в качестве триггера (триггер, соответствующий ТПОА);
- поддержка модуля PDCA;
- возможность конфигурирования синхронизации АЦП;
- «спящий» режим и встроенную процедуру упорядочения преобразований (автоматическое «пробуждение» от триггера и возврат назад в «спящий» режим после завершения преобразований во всех включенных каналах).

Модуль АЦП поддерживает режим с разрешающей способностью 10 или 8 дв. разрядов; результат преобразования возвращается в регистр, общий для всех каналов или же в регистр, специально выделенный для каждого канала. Преобразование может запускаться следующими источниками: программным триггером, внешним триггером, срабатывающим по положительному перепаду на выводе ADTRG, внутренним триггером от выводов таймера/счётчика (таймер/счётчиков). Источник запуска может быть задан программно.

Звуковой ЦАП битового потока

Входящий в состав только МК подсемейства AT32UC3A модуль звукового ЦАП битового потока (ABDAC) преобразует цифровое 16-разрядное значение выборки в цифровой битовый поток со средневзвешенным зна-

чением, пропорциональным значению выборки. При этом обеспечивается поддержка двух каналов, что делает модуль ABDAC полезным для приложений, использующих стереозвук. Каждый канал имеет комплементарную пару цифровых выходов (DACn и DACn_N), которые могут быть подключены к внешнему усилителю с высоким входным сопротивлением.

Звуковой ЦАП битового потока образован сигма-дельта-ЦАП 3-го порядка с коэффициентом передискретизации, равным 128. Перед поступлением на сигма-дельта-модулятор ЦАП выборки пропускаются через фильтр интерполяции 4-го порядка с Sinc-характеристикой (Comb4). На входе фильтра интерполяции включен выравнивающий КИХ-фильтр.

Модуль ABDAC имеет входной параллельный интерфейс и поддерживает связь с контроллером DMA для фоновой передачи данных без вмешательства ЦПУ. Блок-схема звукового ЦАП битового потока показана на рисунке 10.

Для получения подробных сведений о периферийных модулях МК типа AT32UC3 рекомендуется обратиться к источникам [1–3].

ЛИТЕРАТУРА

1. AVR*32 32-Bit Microcontroller AT32UC3A0512, AT32UC3A0256, AT32UC3A0128, AT32UC3A1512, AT32UC3A1256, AT32UC3A1128 Preliminary. 32058C-AVR32-10/07, <http://www.atmel.com>.
2. AVR*32 32-Bit Microcontroller AT32UC3B0256, AT32UC3B0128, AT32UC3B064, AT32UC3B1256, AT32UC3B1128, AT32UC3B164 Preliminary. 32059E-AVR32-12/07, <http://www.atmel.com>.
3. <http://www.avr32.ru>.

