

# Средства проектирования встраиваемых микропроцессорных систем, реализуемых на основе ПЛИС фирмы Xilinx

(часть 1)

Валерий Зотов (Москва)

Появление новых семейств программируемых логических интегральных схем с фантастически большим объёмом логических и трассировочных ресурсов делает их едва ли не самой перспективной элементной базой для проектирования встраиваемых микропроцессорных систем. Автор знакомит с разновидностями компонентов и САПР, предоставляемыми фирмой Xilinx® для разработки встраиваемых систем на базе ПЛИС. В первой части публикации приводится классификация и даётся сравнительная характеристика семейств микропроцессорных ядер, используемых в качестве основы встраиваемых систем. Указываются преимущества и недостатки конфигурируемых (Soft Processor) и аппаратных (Hard Processor) микропроцессорных ядер. Приводится информация об особенностях архитектуры 8- и 32-разрядных ядер.

Программируемые логические интегральные схемы (ПЛИС) широко применяются для создания цифровых устройств с аппаратной реализацией операций, успешно заменяя «дискретную логику» («жёсткую логику»). Это обусловлено такими преимуществами современных микросхем программируемой логики, как высокое быстродействие, возможность перепрограммирования непосредственно в системе, высокая степень интеграции, позволяющая разместить все узлы проектируемого устройства в одном кристалле. В последние годы как разработчики, так и производители ПЛИС рассматривают их в качестве перспективной элементной базы для проектирования встраиваемых микропроцессорных систем. Этому способствует появление новых семейств ПЛИС, обладающих большим объёмом логических и трассировочных ресурсов.

Фирма Xilinx®, являясь ведущим мировым производителем кристаллов программируемой логики, активно поддерживает данное направление в применении ПЛИС. Ежегодно ею выпускаются новые семейства кристаллов [1 – 4], отличающиеся повышенным быстро-

действием, поддержкой различных стандартов ввода/вывода, наличием таких специализированных ресурсов, как блочная память, аппаратные умножители, высокоскоростные приёмопередатчики. В дополнение к этому фирма Xilinx предоставляет разработчикам следующие средства для проектирования встраиваемых систем:

- отлаженные модули микропроцессорных ядер с различной архитектурой;
- модули периферийных устройств, в том числе выполненные в виде Intellectual Property и IP-компонентов;
- современное программное обеспечение, необходимое для разработки и отладки проектов встраиваемых микропроцессорных систем, а также для последующего конфигурирования кристаллов.

Совокупность перечисленных средств позволяет в короткие сроки и с минимальными затратами создавать как специализированные встраиваемые контроллеры, так и более мощные цифровые системы на кристалле (System-on-Chip), реализуемые на базе ПЛИС с различной архитектурой. Целью настоящей публикации является ознакомление чи-

тателей, использующих традиционные (аппаратные) микроконтроллеры и микропроцессоры, с основными характеристиками указанных средств проектирования встраиваемых микропроцессорных систем, реализуемых на основе ПЛИС фирмы Xilinx.

## Классификация микропроцессорных ядер, предназначенных для применения в ПЛИС фирмы Xilinx

Основным элементом встраиваемой системы, проектируемой на базе ПЛИС, является микропроцессорное ядро. Архитектура и характеристики этого компонента во многом определяют возможности разрабатываемой системы. Фирма Xilinx предоставляет несколько семейств микропроцессорных ядер с собственной оригинальной архитектурой, оптимизированной для реализации на основе ПЛИС различных серий. Кроме того, в рамках программы AllianceCORE пользователям доступны ядра, разработанные «третьими» фирмами, с архитектурой широко применяемых микропроцессоров и микроконтроллеров различных производителей, таких как Z80 фирмы Zilog®, PIC-семейств 125х, 1655х, 165х фирмы Microchip®, 8051 и др. Система команд этих ядер полностью совместима с системой команд соответствующих аппаратных прототипов. Поэтому программное обеспечение, созданное ранее для аппаратных микропроцессоров и микроконтроллеров, может использоваться во встраиваемых системах, выполняемых на базе ПЛИС с применением указанных ядер. При этом следует обратить внимание на то, что тактовые частоты ядер, реализуемых в ПЛИС, зачастую на порядок превышают аналогичные параметры своих прототипов. Далее в настоящей статье рас-

смаатриваются только те ядра, которые распространяются непосредственно фирмой Xilinx.

Микропроцессорные ядра, предназначенные для проектирования встраиваемых систем на основе ПЛИС фирмы Xilinx, можно классифицировать как по способу их реализации, так и по разрядности элементов внутренней архитектуры (АЛУ, регистров и шины данных). По способу реализации микропроцессорные модули подразделяются на два типа: конфигурируемые (Soft Processor) и аппаратные (Hard Processor). К *первому типу* относятся ядра, которые формируются на основе стандартных логических ресурсов кристаллов. Эти микропроцессорные ядра могут применяться в ПЛИС различных серий. В группу конфигурируемых модулей входят семейства микропроцессорных ядер PicoBlaze™ и MicroBlaze™. Ко *второму типу* относятся микропроцессорные ядра, которые выполнены в виде соответствующих интегрированных аппаратных блоков ПЛИС. Данный тип представлен семейством микропроцессорных ядер PowerPC™ фирмы IBM®, которое присутствует в ПЛИС серий Virtex™-II Pro, Virtex-4 и Virtex-5.

Преимуществами конфигурируемых микропроцессорных ядер, предлагаемых фирмой Xilinx, по сравнению с аппаратными являются высокая гибкость, низкая себестоимость, относительно небольшой объем используемых ресурсов кристаллов, возможность применения в проектах, реализуемых на базе самых распространенных и доступных семейств ПЛИС. Главное преимущество аппаратных микропроцессорных ядер семейства PowerPC проявляется в возможности функционирования с высокими тактовыми частотами. Следствием этого является более высокая производительность по сравнению с конфигурируемыми микропроцессорными ядрами фирмы Xilinx. Недостатками аппаратных ядер являются ограниченное число кристаллов, в которых они применяются, и их сравнительно высокая стоимость.

При классификации в соответствии с разрядностью микропроцессорные ядра, используемые в ПЛИС фирмы Xilinx, образуют две группы: 8-разрядные и 32-разрядные. Первую группу образуют ядра семейства PicoBlaze. Вторую группу составляют ядра семейств MicroBlaze и PowerPC. Основным преимуществом 8-разрядных ядер является компакт-

ность, что позволяет без труда разместить в кристалле другие функциональные модули проектируемой системы, включая интерфейсы ввода/вывода. Так, например, в кристаллах серии Spartan™-IIЕ микропроцессорное ядро семейства PicoBlaze занимает всего лишь 76 секций (slices), что составляет 9% от полного объема логических ресурсов кристалла XC2S50Е и 2,5% от логической ёмкости ПЛИС XC2S300Е. Для реализации ядра этого же семейства в кристаллах серии Spartan-3 необходимо 96 секций, что соответствует 5% ресурсов ПЛИС XC3S200 и 0,3% ПЛИС XC3S5000. Объем ресурсов кристалла, требуемых для размещения микропроцессорного ядра PicoBlaze в ПЛИС семейства Virtex-II, ограничивается 84 секциями (slices), что соответствует 9% от полного объема логических ресурсов кристалла XC2V40Е и 0,25% от логической ёмкости ПЛИС XC2V6000Е. К преимуществам 8-разрядных ядер следует отнести также открытость исходных описаний и свободное (бесплатное) распространение. В качестве недостатка ядер этой группы можно упомянуть ограниченное количество периферийных модулей, доступных пользователям в предоставляемом комплекте. Необходимость разработки и отладки отсутствующих модулей приводит к увеличению суммарного времени разработки проектируемой системы. 32-разрядные ядра требуют для реализации значительно большего объема физических ресурсов ПЛИС, в том числе и для размещения периферийных модулей. Например, в ПЛИС семейства Spartan-3 ядро MicroBlaze занимает 525 секций и два модуля блочной памяти, что составляет 68% от полного объема логических ресурсов кристалла XC3S50, 27% – кристалла XC3S200 и 15% от логической ёмкости ПЛИС XC3S400. В отличие от 8-разрядных ядер 32-разрядные сопровождаются большим количеством дополнительных компонентов периферийных модулей, выполненных в виде IP-ядер, позволяющих минимизировать время разработки встраиваемой микропроцессорной системы. Все 32-разрядные ядра, применяемые в ПЛИС фирмы Xilinx, поддерживаются большинством операционных систем реального времени (Real Time Operating Systems, RTOS), что облегчает разработку программного обеспечения.

В последующих разделах рассматривается архитектура ядер различно-

го типа и приводятся их основные характеристики.

### **Краткая характеристика и описание архитектуры микропроцессорных ядер семейства PicoBlaze**

В состав семейства PicoBlaze входят четыре варианта микропроцессорных ядер, каждый из которых предназначен для реализации в ПЛИС соответствующих серий. Первый, базовый вариант ядра PicoBlaze был разработан для применения в кристаллах семейств Spartan-II, Spartan-IIЕ, Virtex и Virtex-E. Второй вариант, обладающий более широкими возможностями и повышенной производительностью по сравнению с базовым, нацелен прежде всего на использование в кристаллах семейства Virtex-II. Он также может быть реализован в составе проектов, которые выполняются на основе ПЛИС серий Virtex-II Pro и Virtex-4. Третья модификация ядра, представляющая собой результат дальнейшего развития двух первых вариантов, создавалась, в первую очередь, для разработки встраиваемых микропроцессорных систем, реализуемых в ПЛИС семейства Spartan-3. Кроме того, эта версия микропроцессорного ядра может использоваться также в составе проектов систем, выполняемых на основе ПЛИС семейств Spartan-3Е, Spartan-3L, Virtex-II, Virtex-II Pro, Virtex-4 и Virtex-5. Наиболее компактная модификация микропроцессорного ядра PicoBlaze предназначена для применения в проектах, реализуемых на основе кристаллов семейства CoolRunner™-II, которое отличается от других серий ПЛИС CPLD, выпускаемых фирмой Xilinx, высоким быстродействием, низкой потребляемой мощностью и наличием микросхем с достаточно большим объемом логических ресурсов [1].

Тактовая частота, с которой функционируют ядра рассматриваемого семейства, и, соответственно, их производительность зависит от семейства ПЛИС, выбранного для их реализации. Значение тактовой частоты может достигать 116 МГц, а производительность – 40...70 MIPS в зависимости от конкретного типа используемого кристалла.

Микропроцессорные ядра семейства PicoBlaze построены в соответствии с Гарвардской архитектурой, в которой используется концепция отдельных





цессорных ядрах семейства PicoBlaze предусмотрена возможность поддержки до 256 входных и выходных портов.

Блок дешифрации команд на основании данных, поступающих с выходов программной памяти, формирует совокупность управляющих сигналов, необходимых для выполнения соответствующей операции, которые подаются на все блоки микропроцессорного ядра.

Программный счётчик предназначен для формирования адреса выборки следующей команды. С его помощью осуществляется управление последовательностью выполнения команд в составе программы. Разрядность программного счётчика зависит от типа микропроцессорного ядра и совпадает с разрядностью шины адреса. В архитектуре микропроцессорных ядер семейства PicoBlaze предусмотрен вход сброса (инициализации) для подачи сигнала, позволяющего перевести микропроцессор в начальное состояние. При активном уровне сигнала на этом входе содержимое программного счётчика обнуляется. В случае вызова подпрограмм и процедур обработки прерываний содержимое программного счётчика заносится в стек. Глубина стека различается для большинства элементов семейства PicoBlaze. Для вариантов ядра, реализуемых на базе ПЛИС серий Spartan-II, Spartan-III, Virtex, Virtex-E и Virtex-II, она составляет пятнадцать уровней. В ядре, применяемом в кристаллах серий Spartan-3, Spartan-3E, Spartan-3L, Virtex-II, Virtex-II Pro, Virtex-4 и Virtex-5, глубина стека увеличена до 31 уровня. В самой компактной версии ядра, используемой в ПЛИС серии CoolRunner-II, стек содержит четыре уровня.

В дополнение к блоку РОН в состав архитектуры ядра, предназначенного для реализации в кристаллах серий Spartan-3, Spartan-3E, Spartan-3L, Virtex-II, Virtex-II Pro, Virtex-4 и Virtex-5, включено СОЗУ ёмкостью 64 байта. Наличие СОЗУ создаёт предпосылки существенного сокращения времени выполнения программы за счёт исключения операций обращения к внешней (по отношению к микропроцессорному ядру) памяти. Содержимое каждого РОН может быть передано в одну из ячеек СОЗУ и наоборот. Для обмена данными между блоками РОН и СОЗУ предусмотрены специальные команды, время выполнения которых не превышает двух машинных циклов.

В состав архитектуры микропроцессорных ядер, предназначенных для использования в кристаллах семейств FPGA, включено ППЗУ микропрограмм, которое выполняется на основе блочной памяти ПЛИС Block SelectRAM. Объём программной памяти ядра PicoBlaze, реализуемого на базе ПЛИС семейств Spartan-II, Spartan-III, Virtex, Virtex-E, составляет  $256 \times 16$  разрядов. В вариантах ядра, предназначенных для применения в кристаллах семейств Spartan-3, Spartan-3E, Spartan-3L, Virtex-II, Virtex-II Pro, Virtex-4 и Virtex-5, для хранения микропрограмм предусмотрено встроенное ППЗУ ёмкостью  $1024 \times 18$  разрядов.

Система команд, поддерживаемых всеми микропроцессорными ядрами семейства PicoBlaze, включает в себя 49 инструкций, которые можно разбить по функциональному признаку на шесть групп:

- команды, управляющие последовательностью выполнения операций в программе и обработки подпрограмм;
- команды выполнения поразрядных логических операций;
- арифметические команды (сложения и вычитания);
- команды логического (арифметического) или циклического сдвига данных;
- команды ввода/вывода, предназначенные для организации обмена данными между регистрами, входящими в блок РОН, и портами ввода/вывода;
- команды, используемые для обслуживания прерываний.

Вариант ядра, предназначенный для использования в кристаллах семейств Spartan-3, Spartan-3E, Spartan-3L, Virtex-II, Virtex-II Pro, Virtex-4 и Virtex-5, кроме указанных выше команд поддерживает ещё восемь инструкций. В систему команд этой версии ядра дополнительно включена группа инструкций чтения и записи данных в сверхоперативное запоминающее устройство, а также расширен состав групп арифметических инструкций и поразрядных логических операций.

Время выполнения всех инструкций, поддерживаемых микропроцессорными ядрами семейства PicoBlaze, составляет два машинных цикла. Все микропроцессорные ядра семейства PicoBlaze распространяются свободно через Internet ([http://www.xilinx.com/ipcenter/processor\\_central/pi](http://www.xilinx.com/ipcenter/processor_central/pi)

[coblaze/index.htm](http://coblaze/index.htm)) после регистрации (идентификационный код и пароль следует указывать перед выполнением операции копирования). Каждый вариант ядра семейства PicoBlaze предоставляется в форме соответствующего zip-архива, который включает в себя следующие файлы:

- модули исходных описаний ядра и его компонентов на языках высокого уровня VHDL™ и Verilog™ (только для ядра, применяемого в ПЛИС семейств Spartan-3, Spartan-3E, Spartan-3L, Virtex-II, Virtex-II Pro, Virtex-4 и Virtex-5);
- ассемблер и файлы шаблонов описаний программной памяти на языках VHDL и Verilog;
- файлы описания дополнительных компонентов, в том числе универсального асинхронного приёмопередатчика UART (Universal Asynchronous Receiver-Transmitter), которые могут быть использованы в составе разрабатываемых проектов встраиваемых микропроцессорных систем;
- тестовые примеры, иллюстрирующие использование компонентов ядра;
- загрузчик программ JTAG Program Loader, позволяющий записывать новый программный код непосредственно в программную память ядра PicoBlaze через порт JTAG-интерфейса ПЛИС с помощью стандартного загрузочного кабеля (только для ядра, реализуемого в ПЛИС семейств Spartan-3, Spartan-3E, Spartan-3L, Virtex-II, Virtex-II Pro, Virtex-4 и Virtex-5).

Детальное описание возможностей, особенностей архитектуры и системы команд каждого из вариантов микропроцессорных ядер семейства PicoBlaze приведено в книге [5].

#### **Краткая характеристика и описание архитектуры микропроцессорных ядер семейства MicroBlaze**

Семейство MicroBlaze включает в себя конфигурируемые 32-разрядные микропроцессорные ядра с RISC (Reduced Instruction Set Computer) архитектурой, которые предназначены для применения в системах, выполняемых на основе ПЛИС серий Spartan-II, Spartan-III, Spartan-3, Spartan-3E, Spartan-3L, Virtex-II, Virtex-II Pro, Virtex-4 и Virtex-5 соответственно. Генерация этих ядер осуществляется с по-

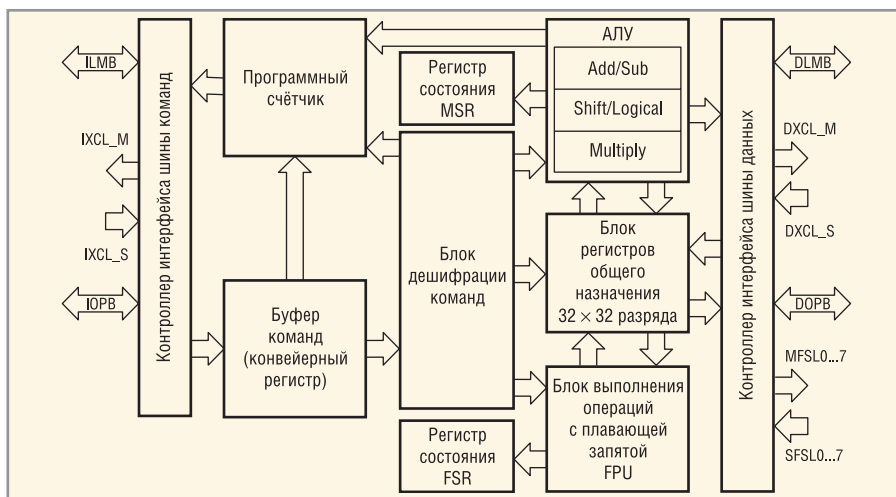


Рис. 2. Архитектура микропроцессорных ядер семейства MicroBlaze

мощью комплекса проектирования встраиваемых микропроцессорных систем на основе ПЛИС серий FPGA Xilinx Embedded Development Kit™ (EDK). Каждый вариант ядра рассматриваемого семейства формируется с учётом оптимального использования индивидуальных аппаратных особенностей и ресурсов соответствующей серии ПЛИС, на базе которых он должен быть выполнен.

Предельные значения тактовой частоты для микропроцессорных ядер семейства MicroBlaze зависят от серии и конкретного типа ПЛИС, используемых для их реализации. Так, например, для кристаллов серии Virtex-4 предельная тактовая частота равна 200 МГц, для ПЛИС серии Virtex-II Pro она составляет 170 МГц и для ПЛИС серии Spartan-3 – 100 МГц. Максимальная производительность ядер данного семейства достигает 166 D-MIPS\*.

В архитектуре микропроцессорных ядер семейства MicroBlaze используются отдельные шины данных и команд (Гарвардский тип), которые соответствуют спецификации OPB V2.0 (On-chip Peripheral Bus) фирмы IBM®. Каждая из этих шин фактически разделяется на две независимые магистрали: глобальную шину, соответствующую спецификации OPB, и локальную шину, соответствующую спецификации LMB (Local Memory Bus™). Шина LMB предоставляет прямой доступ к ресурсам блочной памяти ПЛИС Block SelectRAM. Во встраиваемых системах, разрабатываемых на основе ядер семейства MicroBlaze, шины данных и команд могут быть реализованы

как в полном составе, так и в виде только локальной LMB или только глобальной OPB магистрали. Разрядность всех шин ядра (адреса, данных, команд) составляет тридцать два бита.

Обобщённая архитектура микропроцессорных ядер семейства MicroBlaze изображена на рис. 2. Она включает в себя следующие элементы:

- 32-разрядное АЛУ;
- блок РОН;
- блок выполнения операций с плавающей запятой (FPU);
- регистры состояния (статуса);
- программный счётчик (счётчик команд);
- буфер команд (конвейерный регистр);
- блок дешифрации команд;
- контроллер интерфейса шины команд;
- контроллер интерфейса шины данных;
- регистры специального назначения Exception Address Register (EAR) и Exception Status Register (ESR);
- отладочная логика;
- кэш-память команд;
- кэш-память данных;
- схема управления прерываниями.

Последние пять элементов на рис. 2 не показаны. Возможность использования отладочной логики, кэш-памяти команд и данных определяется разработчиком в соответствии с конфигурацией проектируемой системы. Функциональное назначение большинства из перечисленных структурных элементов было описано при рассмотрении архитектуры микропроцессорных ядер семейства

PicoBlaze. Основные отличия этих элементов от элементов, приведённых в предыдущем разделе, заключаются в разрядности, функциональных возможностях и способе реализации. Поэтому далее обсуждаются только их особенности, а основное внимание уделяется описанию тех элементов, которые отсутствуют в архитектуре микропроцессорных ядер семейства PicoBlaze.

Блок АЛУ, кроме традиционных логических и арифметических операций, выполняет операции умножения и деления над 32-разрядными операндами, в качестве которых может использоваться содержимое любого РОН, а также 16- или 32-разрядные константы, указанные непосредственно в тексте команды. Результат выполнения операции заносится в один из РОН, номер которого задаётся в качестве соответствующего параметра выполняемой инструкции. В кристаллах семейств Spartan-3, Spartan-3E, Spartan-3L, Virtex-II, Virtex-II Pro, Virtex-4 и Virtex-5 для выполнения инструкций умножения могут использоваться блоки аппаратных умножителей, что позволяет значительно сократить время выполнения указанных операций. Для выполнения операций с плавающей запятой в состав архитектуры последней версии микропроцессорных ядер семейства MicroBlaze добавлен специальный прецизионный блок Floating-Point Unit (FPU), который соответствует спецификации стандарта IEEE-754. Включение блока FPU в состав ядра позволило расширить набор поддерживаемых команд соответствующей группой инструкций.

Регистр состояния (Machine Status Register, MSR) содержит значения флагов (признаков), формируемых блоком АЛУ при выполнении арифметических и логических инструкций, а также операций ввода/вывода и прерываний. Регистр статуса (Floating Point Status Register, FSR) предназначен для хранения значений флагов (признаков), формируемых блоком выполнения операций с плавающей запятой (FPU). Эти регистры имеют по 32 разряда, назначение которых подробно рассматривается в книге [5].

Блок РОН содержит 32 регистра. Длина каждого регистра составляет 32 разряда. При использовании этих

\*Производительность процессоров, определенная с помощью специальной программы Dbrystone. Программа разработана в 1984 г. Рейнольдом Вейкером (Reinhold P. Weicker) и совершенствуется по сей день.

регистров в разрабатываемом ПО рекомендуется придерживаться соглашений, установленных интерфейсом Application Binary Interface (ABI). Интерфейс ABI определяет правила создания приложений на языке ассемблера для микропроцессорных ядер семейства MicroBlaze. Компилятор программ, написанных на языке высокого уровня Си/Си++, при их трансляции автоматически выполняет требования, предусмотренные ABI. Согласно классификации, принятой в ABI, все РОН условно разделяются на три группы:

- регистры, предназначенные для хранения временных (промежуточных) данных, которые не сохраняются при вызове функций (подпрограмм);
- регистры, содержимое которых восстанавливается после вызова функций (подпрограмм) в состоянии, предшествующее обращению к функции (подпрограмме);
- выделенные регистры, предназначенные для хранения строго определённых данных.

Подробное описание распределения РОН по группам приведено в книге [5].

Контроллеры интерфейсов шин данных и команд предназначены для организации взаимодействия микропроцессорного ядра и других компонентов проектируемой системы, включая программную и оперативную память, через соответствующие магистрали. Кроме упомянутых выше интерфейсов ядра семейства MicroBlaze поддерживают 8 входных и 8 выходных интерфейсов, соответствующих спецификации FSL (Fast Simplex Link), а также интерфейс Xilinx CacheLink™ (XCL).

Буферный (конвейерный) регистр команд используется для организации конвейерного способа обработки инструкций. Этот способ позволяет повысить производительность микропроцессорного ядра за счёт параллельного выполнения обработки нескольких команд. В основе этого способа лежит расщепление процесса обработки команды на фазы и совмещение во времени выполнения различных фаз некоторой последовательности инструкций. В микропроцессорных ядрах семейства MicroBlaze процесс обработки команды разбит на три фазы:

- выборка инструкции из программной памяти;
- дешифрация кода команды;
- исполнение инструкции.

Каждая из перечисленных фаз выполняется в течение одного машинного цикла. При этом выигрыш в производительности ядра достигается за счёт одновременного выполнения (на протяжении одного машинного цикла) соответствующих фаз трёх инструкций, которые последовательно выбираются из программной памяти. В течение одного машинного цикла производится выборка новой команды, дешифрация предыдущей инструкции и исполнение команды, которая предшествовала двум перечисленным инструкциям (трёхступенчатый конвейер). Для исключения сбоев в работе конвейера применяется буфер предварительной выборки команд.

Отладочный модуль реализуется на основе логики периферийного сканирования кристаллов FPGA. При включении этого модуля в состав микропроцессорного ядра обеспечивается возможность аппаратной отладки разрабатываемых приложений в кристалле через порт JTAG-интерфейса с помощью соответствующих программных средств Xilinx EDK. В процессе отладки можно установить требуемое число контрольных точек, выполнять отлаживаемую программу в пошаговом режиме, считывать данные и производить запись в память и во все регистры, включая регистр состояния и программный счётчик.

Диапазон адресного пространства программной памяти ядра позволяет использовать в составе разрабатываемой

микропроцессорной системы ППЗУ микропрограмм объёмом от 512 Кб до 4 Гб, которое может быть реализовано в трёх вариантах. *Первый вариант* предполагает организацию памяти микропрограмм в виде запоминающего устройства, реализуемого на основе ресурсов блочной памяти кристалла Block SelectRAM. Основным недостатком этого варианта является ограниченный объём программной памяти, который определяется физическими ресурсами блочной памяти ПЛИС. *Второй вариант* заключается в применении внешнего (по отношению к кристаллу FPGA) ППЗУ для хранения микропрограмм. В этом случае объём программной памяти может достигать максимально допустимого значения (4 Гб) при включении соответствующего числа микросхем ППЗУ. Для *третьего варианта* организации программной памяти характерно совместное использование внутренней блочной памяти ПЛИС и внешнего ППЗУ. При этом используются различные шины команд для каждого типа программной памяти.

Оперативная память встраиваемой микропроцессорной системы, выполняемой на базе ядра семейства MicroBlaze, может быть реализована как на основе ресурсов внутренней блочной памяти ПЛИС Block SelectRAM, так и в виде внешних запоминающих устройств различного типа. Её объём может составлять от 0 до 4 Гб.



## МИКРОКОНТРОЛЛЕРЫ

- 8-разрядные RISC микроконтроллеры PICmicro
- Контроллеры с FLASH- и OTP-памятью
- Микроконтроллеры с ультрафиолетовым стиранием
- Тактовая частота 4–33 МГц
- 12-, 14-, 16-разрядные команды
- Малое энергопотребление
- Высокая эффективность
- Простота проектирования
- Программное обеспечение и инструментальные средства проектирования





Москва, ул. Ивана Франко, д. 40, стр. 2 • Тел./факс: (495) 97 000 99 • E-mail: platan@aha.ru



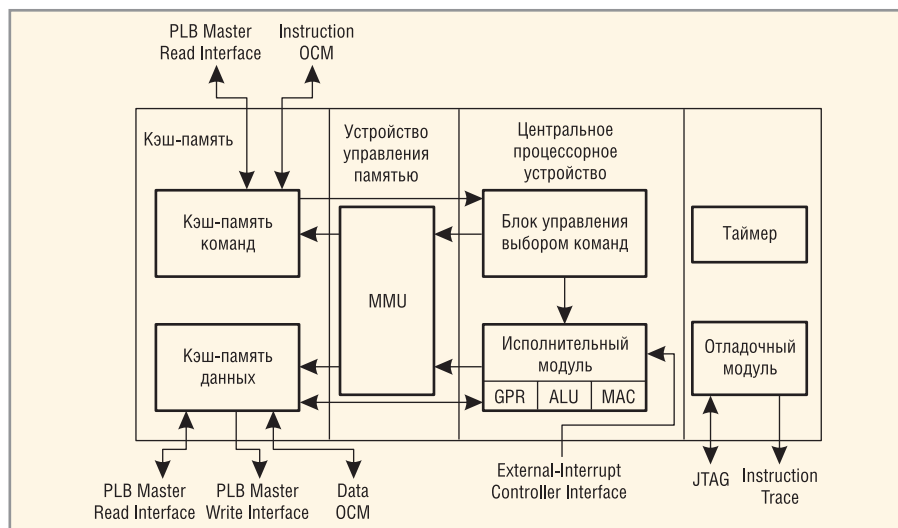


Рис. 3. Обобщённая архитектура микропроцессорного ядра PowerPC 405

Для повышения производительности проектируемой системы в состав микропроцессорного ядра может быть включена быстросействующая кэш-память команд и данных. Размер этой памяти может составлять 2, 4, 8, 16, 32 и 64 Кб. Для реализации высокоскоростного обмена между кэш-памятью и контроллером внешней памяти используется интерфейс XCL.

Система команд микропроцессорных ядер семейства MicroBlaze поддерживает 124 инструкции. При классификации команд по функциональному признаку можно выделить одиннадцать групп инструкций:

- инструкции, предназначенные для выполнения основных арифметических операций (сложения, вычитания, умножения, деления и сравнения двух 32-разрядных операндов);
- команды, используемые для осуществления поразрядных логических операций;
- команды арифметического и циклического сдвига данных;
- инструкции преобразования типов данных, выполняющие расширение данных различной длины до 32-разрядного значения;
- команды пересылки данных из памяти в POH и обратно;
- инструкции, предназначенные для управления последовательностью выполнения команд в программе;
- инструкции ввода/вывода, используемые для организации обмена данными между POH и входными/выходными интерфейсами, соответствующими спецификации FSL;
- специальные команды, выполняющие операции чтения информации из регистра статуса и записи её

в POH, а также записи содержимого, выбранного POH, в регистр состояния;

- команды, предназначенные для работы с кэш-памятью;
  - инструкции, используемые для поразрядного сравнения двух операндов;
  - команды, предназначенные для выполнения операций с плавающей запятой (поддерживаются только последней версией микропроцессорных ядер семейства MicroBlaze).
- При проектировании встраиваемых систем на основе микропроцессорного ядра MicroBlaze разработчику предоставляется в рамках комплекса Xilinx EDK широкий спектр периферийных модулей, выполненных в форме IP-компонентов, в том числе:
- таймер-счётчик (Timer/Counter);
  - сторожевой таймер (WatchDog Timer);
  - универсальный асинхронный приёмник/передатчик UART (Universal Asynchronous Receiver/Transmitter) (UART – Lite);
  - контроллер прерываний Interrupt Controller (INTC);
  - контроллер стандартного интерфейса ввода/вывода (GPIO Controller);
  - контроллер интерфейса памяти SDRAM (SDRAM Controller);
  - контроллер интерфейса памяти DDR SDRAM (DDR SDRAM Controller);
  - контроллер интерфейса памяти Flash Memory (Flash Memory Controller);
  - контроллер интерфейса блочной памяти BlockRAM (BRAM Controller);
  - контроллер интерфейса Serial Peripheral Interface (SPI Master and Slave

Bus Controller), соответствующего спецификации фирмы Motorola®;

- универсальный асинхронный приёмник/передатчик UART, использующий для коммуникации JTAG-порт (JTAG UART).

Применение шины OPB, соответствующей стандарту архитектуры IBM CoreConnect™, позволяет использовать в составе проектируемых систем широкий спектр IP-ядер периферийных компонентов, разработанных не только фирмой Xilinx, но и «третьими» производителями.

Во встраиваемых микропроцессорных системах, выполненных на основе ядер семейства MicroBlaze, могут использоваться различные типы операционных систем реального времени (OCPB), в том числе: AT Nucleus PLUS RTOS, µC/OS-II RTOS, PetaLogix uCLinux, eSOL PrKERNELv4, RealFast AB Sierra RTOS.

Более подробные сведения об архитектуре, шинных интерфейсах, распределении адресного пространства памяти и системе команд микропроцессорных ядер семейства MicroBlaze приведены в книге [5].

### Краткая характеристика и обзор архитектуры микропроцессорных ядер семейства PowerPC

Аппаратные микропроцессорные ядра семейства PowerPC, применяемые в ПЛИС фирмы Xilinx, полностью соответствуют стандарту одноименных ядер фирмы IBM. Ядра этого семейства встроены в кристаллы уже выпускающихся серий Virtex-II Pro и Virtex-4, а также будут использоваться в ПЛИС соответствующих сегментов серии Virtex-5.

Характерными особенностями микропроцессорных ядер семейства PowerPC 405, установленных в ПЛИС серий Virtex-II Pro и Virtex-4, являются:

- возможность работы в системах с тактовыми частотами до 400 МГц;
- высокая производительность, достигающая 600 D-MIPS;
- применение специальных аппаратных блоков для выполнения операций умножения и деления;
- применение блока POH, включающего тридцать два 32-разрядных регистра;
- наличие специального устройства управления памятью Memory Management Unit (MMU), обеспечивающего поддержку различных OCPB, в том числе Wind River Systems VxWorks

RTOS, MontaVista Linux RTOS, AT Nucleus PLUS RTOS, QNX Neutrino RTOS, µC/OS-II RTOS, ENEA OSE RTOS;

- применение усовершенствованного контроллера интерфейса встроенной блочной памяти ПЛИС On-Chip Memory Block RAM;
- поддержка шинной архитектуры IBM CoreConnect™;
- наличие большого количества IP-компонентов периферийных модулей, доступных в рамках комплекса проектирования встраиваемых систем Xilinx EDK;
- возможность использования кэш-памяти данных и команд объёмом 16 Кбит;
- наличие встроенных отладочных средств, поддерживаемых комплексом Xilinx EDK.

Структурное представление архитектуры микропроцессорного блока PowerPC 405 показано на рис. 3.

Основными элементами архитектуры являются:

- центральное процессорное устройство (ЦПУ);
- устройства управления памятью Memory Management Unit (MMU);
- кэш-память данных;
- кэш-память команд;
- отладочный модуль;
- таймер.

Детальное описание ПЛИС, содержащих аппаратные микропроцессорные ядра семейства PowerPC, а также архитектуры, параметров и системы команд этих ядер можно найти в [3, 4, 6 – 8].

*Продолжение следует*

## ЛИТЕРАТУРА

1. Кузелин М.О., Книшнев Д.А., Зотов В.Ю. Современные семейства ПЛИС фирмы Xilinx. Справочное пособие. М.: Горячая линия – Телеком. 2004.
2. Spartan™-3 Platform FPGA Handbook. Xilinx Inc. 2003.
3. Virtex-II Pro™ Platform FPGA Handbook. Xilinx Inc. 2002.
4. Virtex-4 Handbook. Xilinx Inc. 2004.
5. Зотов В. Ю. Проектирование встраиваемых микропроцессорных систем на основе ПЛИС фирмы Xilinx. М.: Горячая линия – Телеком, 2006.
6. PowerPC Processor Reference Guide. Xilinx Inc. 2003.
7. PowerPC™ 405 Processor Block Reference Guide. Xilinx Inc. 2004.
8. Processor IP Reference Guide. Xilinx Inc. 2005.



## Новости мира News of the World Новости мира

### Blu-ray и HD DVD или DVD?

Поскольку конца-края «битве титанов» не видно, затянувшееся противостояние может сыграть роковую роль в судьбе обоих форматов: потребители готовы отвернуться от новой технологии как таковой, сохранив верность старому доброму DVD, – к такому выводу пришли аналитики английской Screen Digest.

Те же опасения, выраженные в денежной форме, звучат так: только 28% денег, потраченных к 2010 г. на приобретение видеодисков покупателями в США, Европе и Японии, придётся на издания высокой чёткости. Это 11 из 39 млрд. долл.

Другими словами, нагнетая противостояние и шумиху вокруг него, производители добились того, что аппетит потребителей в отношении нового продукта, если так можно выразиться, стал идти на убыль.

В своё время формат DVD буквально «взорвал» рынок и создал отрасль на многие миллиарды долларов, предложив более удобную и качественную альтернативу видеокассетам. У него просто не было конкурентов. Сейчас оба новых формата предлагают примерно одинаковые качества – и выбор для рядового потребителя становится неочевиден.

Примечательно, что коммерциализация новых технологий началась только тогда, когда спрос на DVD стал утихать – покупатели уже сформировали свои домашние коллекции, покупая диски по доступным ценам.

Крупные сети розничной торговли в панике – они боятся повторения истории с VHS и Betamax. Уже сейчас они понима-

ют, что «сладкий» рождественский сезон 2006 г. под угрозой: потребители отложат покупку новых проигрывателей и дисков до того момента, пока не выявится победитель.

Что же будет дальше, по мнению экспертов Screen Digest? Ни один из форматов не станет доминировать, по крайней мере, в ближайшем будущем. В то же время они едва ли будут выброшены, что называется, на свалку истории. Вместо этого их внедрение будет затягиваться до того момента, пока не появятся доступные по цене универсальные решения, поддерживающие оба формата.

Что касается текущего года, Screen Digest оценивает общемировой объём продаж устройств для воспроизведения и записи дисков Blu-ray и HD DVD в 0,43 млн. шт. В будущем году будет продано 1,35 млн. таких устройств. Для сравнения – только в США в год появления DVD на рынке было продано 5,5 млн. проигрывателей, в следующем году – 25,1 млн., а в 2004 – более 37 млн.

[www.dom.hi-fi.ru](http://www.dom.hi-fi.ru)

### Sanyo объявила о создании альянса с Quanta

Японская компания Sanyo Electric, третий по величине производитель бытовой техники в стране после Matsushita и Sharp, объявила о создании альянса с тайваньской компанией Quanta Computer, крупнейшим производителем ноутбуков, с целью реструктуризации производства телевизоров с плоским экраном. Об этом говорится в распро-

странённом совместном заявлении компаний.

В рамках альянса будут производиться исследования и разработка новых моделей, осуществляться закупка материалов и комплектующих. В дополнение к существующему подразделению по производству плоских телевизоров Sanyo, в октябре 2006 г. будет создано совместное предприятие, в котором 81% акций будет принадлежать японской компании, а 19% – тайваньской Quanta.

Впервые о создании альянса было объявлено в марте с.г., однако этим планам не было суждено реализоваться после того, как тайваньская компания Optronics объявила о намерении приобрести Quanta.

Решение о создании совместного предприятия продиктовано необходимостью сокращения издержек Sanyo при производстве бытовой техники массового потребления. Чистые убытки компании в I квартале 2006 – 2007 финансового года, завершившегося 30 июня, сократились почти в 3 раза – до 9,7 млрд. иен (83 млн. долл.) по сравнению с 26,2 млрд. иен (225 млн. долл.) в аналогичном периоде годом ранее. Выручка за отчётный период сократилась на 11,4% – до 504 млрд. иен (4,3 млрд. долл.) по сравнению с 569 млрд. иен (4,9 млрд. долл.), полученными в I квартале 2005 – 2006 финансового года.

Чистая прибыль Quanta, производящей ноутбуки для Dell, H-P, IBM, Gateway, по итогам первого полугодия 2006 г., снизилась на 18% – до 150 млн. долл.

[www.rbc.ru/about\\_p.htm](http://www.rbc.ru/about_p.htm)