

# Практический курс сквозного проектирования цифровых устройств на основе ПЛИС фирмы Xilinx

(часть 2)

Валерий Зотов (Москва)

Вторая часть курса знакомит с последовательностью этапов проектирования цифровых устройств на основе ПЛИС фирмы Xilinx. Приводятся краткие рекомендации по выбору кристаллов для реализации разрабатываемого устройства. Подробно рассматривается процесс создания нового проекта в САПР серии Xilinx ISE.

## КРАТКАЯ ХАРАКТЕРИСТИКА ЭТАПОВ ПРОЕКТИРОВАНИЯ ЦИФРОВЫХ УСТРОЙСТВ НА ОСНОВЕ ПЛИС, ВЫПУСКАЕМЫХ ФИРМОЙ XILINX

В процессе проектирования цифровых устройств на базе ПЛИС фирмы Xilinx можно выделить следующие этапы:

- выбор семейства и типа кристалла для реализации разрабатываемого устройства;
- создание нового проекта в САПР серии Xilinx ISE;
- подготовка исходного описания проектируемого устройства в схемотехнической, алгоритмической или текстовой форме;
- синтез проектируемого устройства;
- верификация исходных описаний проектируемого устройства методом функционального моделирования;
- размещение и трассировка проекта разрабатываемого устройства в кристалле;
- полное (временное) моделирование проектируемого устройства, выполняемое с учётом задержек распространения сигналов внутри кристалла;
- формирование конфигурационной последовательности ПЛИС, соответствующей проекту разрабатываемого устройства;
- программирование ПЛИС (загрузка проекта разработанного устройства в кристалл) или конфигурационного ПЗУ/ППЗУ.

Типовой маршрут проектирования цифровых устройств, выполняемых на основе ПЛИС фирмы Xilinx, показан на рисунке 4.

Прежде чем приступить к созданию нового проекта, следует выбрать метод описания разрабатываемого устройства и, соответственно, средств синтеза. Исходная информация, описывающая проектируемое устройство, может быть представлена в виде принципиальных схем, описаний на языках HDL (Hardware Description Language), диаграмм состояний, пакетов и библиотек пользователя. Наиболее привычным и наглядным для разработчиков является схемотехнический метод описания. В то же время в последние годы большое распространение получили языки описания аппаратуры высокого уровня, в первую очередь, VHDL™ и Verilog™. На практике используют смешанный метод: каждый функциональный блок разрабатываемого устройства описывается на одном из языков HDL, а их соединение представляется в виде соответствующей принципиальной схемы. Поэтому в дальнейшем будут рассмотрены процедуры подготовки исходных описаний проектируемых устройств в форме принципиальной схемы и с применением языка VHDL.

Перед началом формирования нового проекта разрабатываемого устройства в САПР серии Xilinx ISE необходимо выбрать семейство и тип ПЛИС для его реализации. При этом необходимо учесть не только требо-

вания технического задания, но и предельные возможности различных серий ПЛИС, а также некоторые дополнительные факторы. Краткие рекомендации по выбору семейства и типа ПЛИС приводятся в следующем разделе. Следует отметить, что предварительно выбранное семейство или тип кристалла при необходимости можно изменить в процессе проектирования. Это достаточно легко сделать, если новый тип ПЛИС содержит те же виды логических и специа-

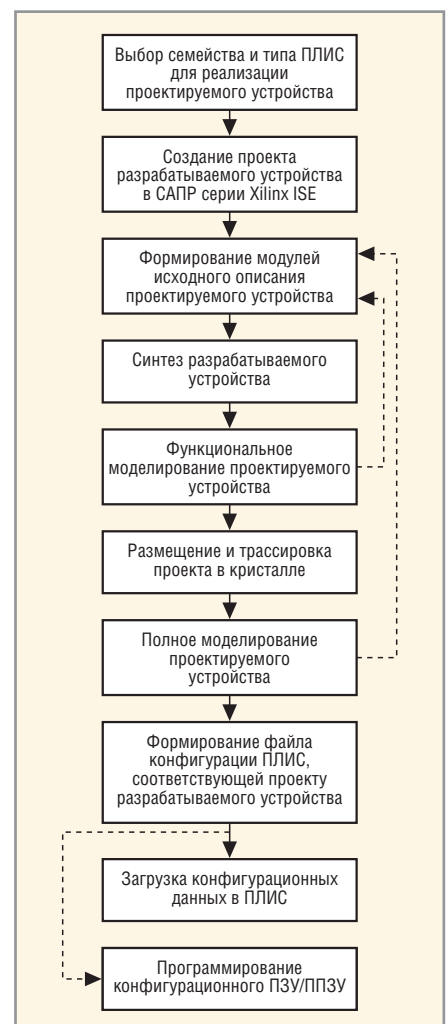


Рис. 4. Последовательность этапов проектирования цифровых устройств, реализуемых на базе ПЛИС фирмы Xilinx

лизированных элементов (например, модули блочной памяти, умножители), которые уже используются в исходных описаниях проектируемого устройства.

При создании нового проекта в САПР серии Xilinx ISE указывается информация о выбранном семействе и типе ПЛИС, а также об используемых средствах синтеза и моделирования. На этапе подготовки описания проектируемого устройства, кроме формирования принципиальных схем и/или исходных текстов на языке HDL, необходимо установить временные и топологические ограничения, которые должны учитываться при синтезе, размещении и трассировке проекта в кристалле. В процессе синтеза, на основании исходных модулей проекта формируется список соединений (netlist), содержащий набор примитивов или компонентов, который может быть реализован на основе элементов выбранного кристалла ПЛИС. Далее результаты синтеза используются в качестве исходных данных средствами размещения и трассировки.

Верификация подготовленных исходных описаний разрабатываемого устройства, выполняемая методом функционального моделирования, производится без учёта реальных значений задержек прохождения сигналов и позволяет проконтролировать соответствие выходных сигналов предполагаемому алгоритму работы. На этапе размещения и трассировки проекта в кристалле производится распределение выполняемых функций в конфигурируемые логические блоки CLB (Configurable Logic Block) или макроячейки (Macrocell) в зависимости от используемого семейства ПЛИС и формирование необходимых связей. В процессе выполнения этого этапа также вычисляются реальные значения задержек распространения сигналов, которые необходимы для полного (временного) моделирования разрабатываемого устройства. Основным результатом этапа размещения и трассировки является формирование файла, в котором содержится информация о конфигурации ПЛИС, реализующей проектируемое устройство. Итогом процесса разработки цифрового устройства на основе ПЛИС является загрузка конфигурационных данных в кристалл или про-

граммирование конфигурационного ПЗУ/ППЗУ с помощью соответствующих средств САПР серии Xilinx ISE и загрузочного кабеля, варианты которого были представлены в первой части данной статьи.

Следует обратить внимание на то, что этапы функционального и временного моделирования не являются обязательными. Тем не менее, использование эффективных средств моделирования, включаемых в состав пакетов САПР серии Xilinx ISE [1], позволяет обнаружить большинство возможных ошибок и тем самым значительно сократить общее время разработки устройства. При обнаружении ошибок на любом из этих этапов моделирования, например, логических ошибок на этапе функционального моделирования или при получении неудовлетворительных результатов временного моделирования, следует вернуться на стадию разработки исходных описаний проекта, внести необходимые изменения и повторить соответствующие этапы.

Выполнение этапов создания нового проекта и подготовки исходных описаний проектируемого устройства не зависит от выбранного типа архитектуры ПЛИС (CPLD или FPGA), используемого для его реализации. Содержание последующих этапов (синтеза, функционального и временного моделирования, размещения, трассировки и загрузки проекта в кристалл) зависит от семейства ПЛИС – CPLD (Complex Programmable Logic Device) или FPGA (Field Programmable Gate Array) [2]. Поэтому в дальнейшем реализация этих этапов проектирования в САПР серии Xilinx ISE рассматривается отдельно для каждого типа архитектуры ПЛИС.

### **РЕКОМЕНДАЦИИ ПО ВЫБОРУ СЕМЕЙСТВА И ТИПА ПЛИС ДЛЯ РЕАЛИЗАЦИИ РАЗРАБАТЫВАЕМОГО УСТРОЙСТВА**

При определении семейства и типа ПЛИС для разрабатываемого устройства необходимо, учитывая уровень его сложности и требования, предъявляемые к быстродействию, уровню потребления, условиям эксплуатации, обратить внимание на следующие технические характеристики кристаллов:

- объём логических, трассировочных и специализированных ресурсов (блочной памяти Block RAM, умножителей, цифровых модулей управления синхронизацией Digital Clock Manager (DCM), аппаратных микропроцессорных ядер);
- наличие достаточного количества пользовательских выводов;
- максимально возможная тактовая частота реализуемого устройства;
- значения напряжения источника питания для ядра и блоков ввода/вывода кристалла;
- поддержка блоками ввода/вывода необходимых стандартов цифровых сигналов;
- потребляемая мощность;
- варианты исполнения (температурный диапазон);
- типовой ряд выпускаемых корпусов;
- стоимость.

Прежде всего, необходимо выбрать тип архитектуры ПЛИС: CPLD или FPGA. Преимуществами кристаллов семейств CPLD, выпускаемых фирмой Xilinx, являются:

- интегрированная энергонезависимая память для конфигурационных данных;
- сравнительно невысокие значения потребляемой мощности;
- возможность реализации устройств с высоким быстродействием;
- минимальное суммарное время разработки устройства (от создания проекта до программирования кристалла);
- невысокая стоимость.

Основным недостатком ПЛИС с архитектурой CPLD является ограниченный объём логических ресурсов. Максимальное количество макроячеек (и, соответственно, триггеров) в кристаллах семейств CPLD фирмы Xilinx составляет 512. Поэтому ПЛИС данного типа целесообразно использовать для реализации цифровых устройств, большую часть которых образуют комбинационные схемы (блоки) при ограниченном объёме последовательностных схем (блоков). В настоящее время фирма Xilinx производит две серии ПЛИС с архитектурой CPLD: XC9500 и CoolRunner™. В состав серии XC9500 входят три семейства недорогих кристаллов: XC9500, XC9500XL и XC9500XV, которые различаются, в основном, напряжением питания. Если проектируемое устройство должно работать в системе с напряжением питания 5 В

и соответствующими уровнями входных и выходных сигналов, для его реализации рекомендуется использовать ПЛИС семейства XC9500. В тех случаях, когда необходимо обеспечить совместимость с уровнями цифровых сигналов 5 В только по входам, можно использовать кристаллы семейства XC9500XL, напряжение питания ядра которых составляет 3,3 В. Для реализации устройств, которые должны обладать совместимостью по входам с уровнями цифровых сигналов 2,5 В и/или 3,3 В, а по выходам – с 1,8 В, 2,5 В и/или 3,3 В, необходимо выбирать ПЛИС семейства XC9500XV.

Серия CoolRunner включает два семейства кристаллов, отличающихся высоким быстродействием и низкой потребляемой мощностью: CoolRunner XPLA3 и CoolRunner-II. Напряжение питания ядра кристаллов семейства CoolRunner-II составляет 1,8 В, а блоки ввода/вывода способны работать с уровнями цифровых сигналов 1,8 В, 2,5 В и/или 3,3 В. ПЛИС семейства CoolRunner XPLA3 следует применять в тех случаях, когда проектируемое устройство должно обладать совместимостью по входам с уровнями цифровых сигналов 5 В. Более подробную информацию об особенностях и технических характеристиках ПЛИС с архитектурой CPLD, выпускаемых фирмой Xilinx, можно найти в [2, 4, 5].

К важным преимуществам кристаллов с архитектурой FPGA относятся:

- возможность выбора ПЛИС, обладающих большим объёмом логических и трассировочных элементов;
- наличие специализированных аппаратных ресурсов, в том числе, умножителей, модулей блочной памяти, высокоскоростных приёмопередатчиков и микропроцессорных ядер;
- сверхвысокое быстродействие;
- поддержка практически всех наиболее распространённых стандартов ввода/вывода цифровых сигналов;
- наличие широкого спектра готовых отлаженных модулей системного уровня, представленных в форме IP-ядер.

Из пяти серий ПЛИС с архитектурой FPGA, выпускаемых фирмой Xilinx, для новых разработок рекомендованы только две: Virtex™ и Spartan™. Серия Virtex включает в себя следующие семейства: Virtex,

Virtex-E, Virtex-II, Virtex-II PRO, Virtex-4 и Virtex-5. Последние четыре семейства являются наиболее перспективными для создания высокопроизводительных цифровых устройств различного назначения, в том числе модулей и систем цифровой обработки сигналов. Кристаллы, входящие в состав этих семейств, в полной мере обладают перечисленными выше преимуществами и позволяют реализовать цифровые устройства различного уровня сложности, включая мощные многопроцессорные встраиваемые системы на кристалле [3]. Для разработки последних следует использовать семейства Virtex-II PRO, Virtex-4 и Virtex-5 с интегрированными микропроцессорными ядрами. Более подробная информация о технических параметрах ПЛИС указанных семейств представлена в [6–8]. Основным фактором, сдерживающим массовое применение ПЛИС серии Virtex, является их высокая стоимость.

В серии Spartan в настоящее время доступны семь семейств кристаллов, которые по техническим характеристикам близки к ПЛИС серии Virtex (соответствующих семейств), но отличаются более низкой стоимостью. К наиболее перспективным семействам ПЛИС серии Spartan можно отнести Spartan-3 и Spartan-3E [9–11], рекомендуемые для серийно выпускаемых устройств.

### СТРУКТУРА ПРОЕКТА РАЗРАБАТЫВАЕМОГО ЦИФРОВОГО УСТРОЙСТВА В САПР СЕРИИ XILINX ISE

Прежде чем приступить к изучению этапов процесса проектирования, следует определить само понятие проекта.

Под проектом цифрового устройства в САПР серии Xilinx ISE понимается совокупность модулей (файлов), которые содержат полную информацию, необходимую для выполнения всех этапов процесса разработки данного устройства на базе ПЛИС, включая программирование кристалла.

В структуре проекта САПР серии Xilinx ISE можно выделить следующие группы модулей:

- исходные описания проектируемого устройства в графической или текстовой форме;

- IP-ядра, формируемые генератором параметризованных модулей CORE Generator™ и комплексом средств автоматизированного проектирования Xilinx Embedded Development Kit™ (EDK) [1, 3];
- модули временных и топологических ограничений проекта;
- модули описания содержимого элементов оперативной (ОЗУ) и постоянной памяти (ПЗУ);
- документация, сопровождающая проект;
- промежуточные результаты выполнения каждого этапа проектирования, используемые в качестве исходных данных для последующих шагов процесса разработки устройства;
- отчёты о выполнении основных этапов проектирования;
- функциональная и временная модели проектируемого устройства;
- описания тестовых воздействий, необходимых для моделирования разрабатываемого устройства, в текстовом и графическом формате;
- результаты функционального и временного моделирования проектируемого устройства в графической и текстовой форме;
- отчёты, формируемые вспомогательными средствами пакета;
- окончательные результаты проектирования, используемые для конфигурирования (программирования) ПЛИС и ПЗУ/ППЗУ.

Все модули проекта располагаются в одном каталоге (папке), название которого совпадает с названием проекта. Изначально проект представлен только заголовком и модулем, в котором указаны параметры проекта. Затем к проекту добавляются модули исходного описания разрабатываемого устройства. Далее, после выполнения каждого этапа процесса разработки, в проект включаются результаты, полученные на этом этапе, и соответствующий отчёт. Кроме того, разработчик может дополнить проект необходимой текстовой документацией.

### СОЗДАНИЕ НОВОГО ПРОЕКТА РАЗРАБАТЫВАЕМОГО УСТРОЙСТВА В САПР СЕРИИ XILINX ISE

Работа в САПР серии Xilinx ISE начинается с открытия управляющей оболочки этого пакета – *Навигато-*

ра проекта (*Project Navigator*) – двойным щелчком левой кнопки мыши на соответствующей пиктограмме (*ISE*), расположенной на Рабочем столе компьютера. При отсутствии данной пиктограммы можно воспользоваться кнопкой *Пуск (Start)* операционной системы Windows XP/2000. В открывшейся панели необходимо выбрать строку *Программы (Programs)*, затем в предложенном списке найти группу программ *Xilinx ISE...*, где следует выбрать строку *Project Navigator*. При успешном выполнении указанных операций на экране монитора отображается основное окно *Навигатора проекта*, структура которого была подробно рассмотрена [1].

Для создания нового проекта в САПР серии Xilinx ISE следует выполнить команду *File* основного меню *Навигатора проекта*, а затем во всплывающем меню выбрать строку *New Project*. В результате запускается «мастер» формирования нового проекта – *New Project Wizard*. Работа «мастера» начинается с вывода на экран диалоговой панели *Create New Project*, в которой должны быть определены следующие необходимые исходные данные:

- название проекта;
- имя диска и каталога, в котором должен располагаться формируемый проект;
- тип (способ описания) модуля верхнего уровня иерархии проекта.

В первую очередь, рекомендуется определить раздел (папку), в котором будет располагаться рабочий каталог проекта. Целесообразно хранить все проекты в специально созданном для этих целей каталоге, например, *C:\Project*. Каталог, в котором находятся все проекты пользователя, должен располагаться вне раздела, содержащего средства проектирования серии Xilinx ISE, чтобы при обновлении версии пакета САПР он не был случайно удалён. Местоположение проекта на диске указывается в поле редактирования *Project Location*. По умолчанию в поле редактирования *Project Location* предлагаются имена диска и каталога, которые использовались в предыдущем проекте. Изменить местоположение создаваемого проекта можно стандартными средствами ОС Windows.

Чтобы задать имя создаваемого проекта, необходимо активизировать поле редактирования *Project name*, после чего ввести соответствующее название. В тексте названия могут использоваться только заглавные и строчные буквы латинского алфавита (A – Z, a – z), цифры (0 – 9) и символ подчеркивания (*\_*). Рекомендуется задавать мнемонические имена на проектов, чтобы в дальнейшем легко найти требуемый проект. Введённое название проекта автоматически добавляется в поле *Project Location*, определяя название рабочего каталога проекта.

Тип (способ описания) модуля верхнего уровня иерархии проекта определяется с помощью поля выбора *Top-Level Source Type*. Выпадающий список, который открывается при нажатии кнопки, расположенной в правой части этого поля выбора, содержит четыре варианта: *HDL*, *Schematic*, *EDIF* и *NGC/NGO*. При использовании языков высокого уровня VHDL и Verilog для описания модуля верхнего уровня проекта в качестве значения параметра *Top-Level Source Type* устанавливается *HDL*. Если исходный модуль верхнего уровня проекта будет выполнен в схемотехническом редакторе САПР серии Xilinx ISE, следует выбрать вариант *Schematic*. В тех случаях, когда в качестве модуля верхнего уровня иерархии предполагается использовать описания в формате *EDIF* или *NGC/NGO*, должны быть указаны соответствующие значения параметра *Top-Level Source Type*.

Установка значений всех исходных параметров создаваемого проекта завершается нажатием клавиши *Далее (Next)*, которая находится в нижней части стартовой диалоговой панели «мастера» *New Project Wizard*. Следует отметить, что эта клавиша становится доступной только после определения значений всех перечисленных выше параметров. Если значение какого-либо параметра не задано, данная клавиша остаётся в неактивном состоянии (отображается серым цветом). После нажатия клавиши *Далее (Next)*, в панели *Create New Project* проводится очередная диалоговая панель «мастера» *New Project Wizard* с заголовком *Device Properties*, с помощью которой необходимо определить следующие параметры нового проекта:

- категорию, к которой относится выбираемое семейство ПЛИС;
- семейство ПЛИС, на базе которого разрабатывается устройство;
- тип кристалла, выбираемого для реализации устройства;
- тип корпуса ПЛИС;
- категорию быстродействия используемого кристалла;
- применяемые средства синтеза и моделирования проектируемого устройства.

Категория, семейство ПЛИС, тип кристалла, корпуса, категория быстродействия, средства синтеза и моделирования указываются в форме таблицы параметров проекта. В первом столбце этой таблицы отображаются названия параметров (*Property Name*), во втором – значения этих характеристик (*Value*). Каждая ячейка столбца *Value* является полем соответствующего параметра. Чтобы установить требуемое значение какого-либо параметра в этой таблице, следует воспользоваться кнопкой управления выпадающим списком соответствующего поля выбора. При нажатии на эту кнопку отображается список всех возможных значений соответствующего параметра. Выбор требуемого значения осуществляется щелчком левой кнопки мыши на строке выпадающего списка, содержащей это значение. После этого указанное в данной строке значение автоматически отображается в поле выбора.

Фирма Xilinx классифицирует все выпускаемые семейства кристаллов в соответствии с областью их применения по следующим категориям:

- семейства ПЛИС общего назначения (*General Purpose*);
- семейства кристаллов, ориентированные на применение в автомобильной электронике (*Automotive*);
- семейства ПЛИС повышенной надёжности, предназначенные для использования в военной технике (*Military/Hi-Reliability*);
- семейства ПЛИС, выпускаемые в радиационно-стойком исполнении (*Radiation Hardened*).

Выбор категории кристаллов позволяет существенно ограничить список возможных вариантов при определении семейства ПЛИС. Чтобы указать категорию ПЛИС, необходимо в выпадающем списке значений параметра *Product Category* выделить

название соответствующей группы. Если при выборе семейства ПЛИС требуется отобразить список всех доступных семейств кристаллов (без деления по категориям), для параметра *Product Category* следует выбрать значение *All*.

Для определения семейства ПЛИС, на базе которого проектируется устройство, следует воспользоваться полем выбора значения параметра *Family*. При нажатии на кнопку управления выпадающим списком, находящуюся в правой части этого поля, отображается список семейств кристаллов, которые относятся к выбранной ранее категории ПЛИС. Если для параметра *Product Category* было установлено значение *All*, в этом списке будут перечислены названия всех семейств ПЛИС, поддерживаемых используемой версией средств проектирования серии Xilinx ISE.

В поле выбора типа кристалла для реализации проектируемого устройства *Device* автоматически отображается тип ПЛИС, установленный по умолчанию для выбранного семейства. Чтобы изменить предлагаемый вариант, необходимо в выпадающем списке выбора параметра *Device* выделить строку, содержащую условное обозначение требуемого типа кристалла. При выборе ПЛИС семейств CPLD предусмотрена возможность автоматического определения типа кристалла, необходимого для реализации проектируемого устройства. Для этого в выпадающем списке кристаллов следует выбрать строку *Automatic*, и программы размещения и трассировки самостоятельно определят кристалл с минимальным количеством ресурсов, необходимых для реализации разрабатываемого устройства.

Тип корпуса кристалла, выбранного для реализации проектируемого устройства, указывается в поле выбора *Package*. Если задано значение *Automatic*, в этом поле отображается символ «\*», соответствующий режиму автоматического выбора типа корпуса. В этом случае можно указать конкретный тип корпуса с неопределённым числом выводов. Для этого следует выбрать значение *<тип корпуса>\** из выпадающего списка поля *Package*. Если в поле *Device* указан определённый тип ПЛИС, то выпадающий список значений поля выбора

*Package* содержит условные обозначения только тех типов корпусов, в которых выпускается данный кристалл.

Для определения категории быстрого действия выбранного кристалла предназначено поле выбора параметра *Speed*. Выпадающий список этого поля отображает градации быстрого действия для выбранного типа ПЛИС. Если тип кристалла не конкретизирован (в поле *Device* указано *Automatic*), список содержит единственное значение «\*», соответствующее режиму автоматического выбора категории быстрого действия ПЛИС.

Состав поддерживаемых средств синтеза зависит от используемой конфигурации системы проектирования серии Xilinx ISE и применяемого семейства ПЛИС. Чтобы просмотреть этот набор и при необходимости изменить средства синтеза, предлагаемые по умолчанию, следует воспользоваться полем выбора *Synthesis Tool*. *Навигатор проекта* автоматически скорректирует содержимое выпадающего списка инструментов синтеза в соответствии с конфигурацией САПР и выбранным семейством ПЛИС. По умолчанию предлагаются встроенные средства синтеза САПР серии Xilinx ISE – Xilinx Synthesis Technology (XST), которые можно рекомендовать для использования в большинстве проектов.

Для указания средств моделирования проектируемого устройства необходимо воспользоваться полем выбора параметра *Simulator*. Одновременно с выбором средств моделирования указывается язык HDL, используемый для формирования моделей разрабатываемого устройства. Все конфигурации системы проектирования серии Xilinx ISE обладают собственными средствами моделирования ISE Simulator, а также поддерживают систему HDL-моделирования ModelSim [1]. В большинстве случаев рекомендуется использовать один из этих инструментов моделирования, выбрав одноименную строку в выпадающем списке значений параметра *Simulator*. Для применения других систем моделирования, названия которых не представлены в этом списке, следует выбрать одну из строк *Other* с названием используемого языка HDL.

Диалоговая панель *Device Properties* позволяет также определить значения параметров, управляющих выводом информации в панели *Design Summary* и в окне консольных сообщений *Навигатора проекта*. Для этих параметров рекомендуется оставить значения по умолчанию.

После определения значений всех параметров в диалоговой панели *Device Properties*, следует нажать клавишу *Далее (Next)*, которая находится в нижней части этой панели. В результате отображается следующая диалоговая панель «мастера» *New Project Wizard* с заголовком *Create New Source*, которая предоставляет возможность создания нового модуля исходного описания разрабатываемого устройства и его включения в состав формируемого проекта. Как правило, сначала создаётся основа модуля исходного описания верхнего уровня проекта, для чего следует нажать кнопку *New Source*. В результате открывается диалоговая панель *Select Source Type*, в которой необходимо выбрать тип нового модуля, задать его имя и указать местоположение создаваемого файла на диске.

В первую очередь, рекомендуется установить тип создаваемого исходного модуля: в предложенном списке диалоговой панели *Select Source Type* найти соответствующую строку и щёлкнуть на ней левой кнопкой мыши. Содержание списка возможных типов исходных модулей зависит от выбранного семейства ПЛИС и средств синтеза, используемых в проекте. Затем необходимо активировать поле редактирования названия модуля (файла) *File Name* и ввести название файла, соблюдая такие же правила, как для названия проекта. Название создаваемого модуля должно начинаться с буквы. Расширение названия файла устанавливается автоматически в соответствии с выбранным типом модуля. Местоположение создаваемого модуля на диске указывается в поле редактирования *Location* диалоговой панели *Select Source Type*. По умолчанию предлагается рабочий каталог формируемого проекта. Для всех создаваемых модулей исходного описания проекта рекомендуется использовать именно этот каталог. Особое внимание следует обратить на состо-

яние индикатора автоматического включения модуля в состав проекта *Add to project*. Если флаг индикатора установлен (по умолчанию поле индикатора отмечено маркером), то созданный модуль автоматически включается в состав формируемого проекта. Для изменения этого параметра достаточно щёлкнуть левой кнопкой мыши, поместив курсор на поле индикатора.

Установка значений всех необходимых параметров основы создаваемого модуля завершается нажатием клавиши *Далее (Next)*, которая находится в нижней части диалоговой панели *Select Source Type*. После этого для большинства видов создаваемых модулей открывается информационная панель *New Source Wizard – Summary*, где отображаются установленные значения основных параметров создаваемого модуля исходного описания проекта. Для внесения каких-либо изменений следует воспользоваться кнопкой *Назад (Back)*, расположенной в нижней части этой информационной панели. Если все значения параметров указаны правильно, необходимо нажать кнопку *Готово (Finish)* в нижней части информационной панели *New Source Wizard – Summary*. Вслед за этим на экран вновь выводится диалоговая панель создания нового исходного модуля *Create New Source*, в которой отображается название созданного модуля. В этой панели следует нажать клавишу *Далее (Next)*, после чего на экране появляется очередная диалоговая панель *New Project Wizard* с заголовком *Add Existing Sources*, которая позволяет включить в состав формируемого проекта существующие модули исходного описания, в том числе созданные в предыдущих проектах.

Чтобы добавить существующий модуль в состав нового проекта, следует воспользоваться кнопкой *Add Source*, после чего отображается стандартная панель диалога открытия файла. В ней необходимо найти требуемую папку и выбрать соответствующий файл, подтвердив сделанный выбор нажатием клавиши *Открыть (Open)*, после чего название этого файла автоматически заносится в таблицу, расположенную в диалоговой панели *Add Existing Sources*. В первой колонке данной таблицы с названием *Source File* отображается

название включаемого файла. Вторая колонка *Copy to Project* содержит индикатор автоматического копирования модуля в состав проекта. Если флаг установлен (поле индикатора помечено маркером), то включаемый модуль автоматически копируется в рабочий каталог создаваемого проекта. Рассмотренную процедуру необходимо повторить для всех модулей, включаемых в состав нового проекта. Когда все требуемые модули добавлены, следует нажать кнопку *Далее (Next)*, расположенную в нижней части диалоговой панели *Add Existing Sources*. В результате появляется информационная панель *Project Summary*, в которой отображаются установленные значения основных параметров создаваемого проекта. Кнопка *Назад (Back)*, расположенная в нижней части информационной панели *Project Summary*, позволяет вернуться к предыдущей диалоговой панели, чтобы изменить значение какого-либо параметра.

Для завершения процесса формирования нового проекта следует нажать кнопку *Готово (Finish)* в нижней части информационной панели *Project Summary*. После этого созданный проект автоматически открывается в рабочей области *Навигатора проекта* и в области расположения рабочих окон отображается подробная информация о новом проекте. Кроме того, в окне исходных модулей добавляется пиктограмма, соответствующая типу нового модуля, основа которого была сформирована с помощью диалоговой панели *Create New Source*.

Следует отметить, что это – только основа (заготовка) модуля исходного описания. Его содержимое формируется далее с помощью программы пакета САПР серии Xilinx ISE, соответствующей типу созданного модуля, например, схематехнического или текстового редактора, редактора диаграмм состояний *StateCad*, генератора тестов *HDL Bench*, редактора временных и топологических ограничений *Constraints Editor*. Данная программа автоматически запускается после создания нового проекта, и в области расположения рабочих окон открывается соответствующее новое окно, предназначенное для формирования содержимого созданного модуля исходного описания проектируемого

устройства. В окне исходных модулей *Навигатора проекта* также появляются пиктограммы, которые соответствуют тем файлам исходного описания, которые были добавлены в состав проекта с помощью диалоговой панели *Add Existing Sources*. Перед включением этих файлов в проект на экран выводится диалоговая панель *Adding Source Files*, в которой приведена информация о статусе добавляемых модулей. Для всех добавленных модулей в табличной форме указываются названия этапов проектирования, с которыми они связаны. Если варианты, предлагаемые по умолчанию в этой панели, не (полностью) соответствуют типам включаемых модулей, следует воспользоваться соответствующим полем выбора, расположенным в колонке *Association*, и в выпадающем списке этого поля указать приемлемый вариант.

Следующий этап разработки цифрового устройства на основе ПЛИС фирмы Xilinx, в котором выполняется формирование содержимого модулей исходного описания различного типа, будет рассмотрен в третьей части курса.

*Продолжение следует*

## ЛИТЕРАТУРА

1. *Зотов В.* Средства проектирования встраиваемых микропроцессорных систем, реализуемых на основе ПЛИС фирмы Xilinx. Современная электроника. 2006. №№ 7-9.
2. *Кузелин М.О., Книшев Д.А., Зотов В.Ю.* Современные семейства ПЛИС фирмы Xilinx. Справочное пособие. Горячая линия – Телеком. 2004.
3. *Зотов В.Ю.* Проектирование встраиваемых микропроцессорных систем на основе ПЛИС фирмы Xilinx. Горячая линия – Телеком. 2006.
4. *CPLD Applications.* Guide Xilinx Inc., 2006.
5. *CPLD Application Guide Handbook.* Xilinx Inc., 2006.
6. *Virtex-II Pro™ Platform FPGA Handbook.* Xilinx Inc., 2002.
7. *Virtex-4 Handbook.* Xilinx Inc. 2004.
8. *The Ultimate System Integration Platform: Virtex-5 LX and LXT Platforms Handbook.* Xilinx Inc., 2006.
9. *Spartan™-3 Platform FPGA Handbook.* Xilinx Inc., 2003.
10. *Spartan-3E FPGA Family: Complete Data Sheet.*
11. *Spartan-3/3E Starter Kit Resource CD.* ©