Altium Designer – Обеспечение целостности сигнала на печатной плате

Алексей Сабунин (Москва)

Скорость передачи данных в современных печатных платах постоянно растёт, и сегодня она может измеряться в сотнях мегагерц (DDR) и даже в гигагерцах (Ethernet), что накладывает особые требования к конструкции и, соответственно, инструментам разработки конструкции, т.е. САПР. В программе Altium Designer имеется модуль Signal Integrity, который позволяет проводить анализ целостности сигналов как на пост-, так и на предтопологическом уровне проектирования. В данной статье рассматриваются вопросы актуальности задачи обеспечения целостности сигнала и примеры её решения в программе Altium Designer.

При проектировании высокоскоростных цифровых устройств, в отличие от цифровых устройств, работающих на низкой рабочей частоте, особое значение приобретает учёт характера пассивных элементов цепи, в том числе соединительных проводов, печатных плат и корпусов интегральных схем, которые являются элементами конструкции цифрового устройства. На низких рабочих частотах эти конструктивные элементы не оказывают сколько-нибудь заметного влияния на работу схемы. С повышением рабочей частоты они начинают непосредственно влиять на электрические характеристики схемы.

В теории проектирования высокоскоростных цифровых устройств исследуется влияние пассивных элементов цепи на распространение сигналов (переходные процессы и отражения), взаимное влияние, оказываемое сигналами друг на друга (перекрёстные помехи), и их взаимодействие с окружающей средой (электромагнитные излучения). Стоит отдельно оговориться относительно термина «высокоскоростные цифровые устройства»: бытует мнение, что их определяет тактовая частота или частоты сигналов, но в действительности такие устройства характеризуются скоростью нарастания и спада, т.е. скоростью переключения цифрового сигнала. Эта скорость постоянно увеличивается с появлением новых технологий изготовления микросхем (см. табл. 1); учитывая этот факт, даже те разработчики, которые пока считают, что вопрос обеспечения целостности сигналов их не касается, в ближайшее время столкнутся с этой проблемой при переходе на микросхемы новых серий.

Задачи целостности сигнала предусматривают рассмотрение цифрового сигнала как аналогового с произвольными искажениями его формы, которые вызваны физичес-

Таблица 1. Серии современных цифровых микросхем и их быстродействие

Технология изготовления микросхем	Время перехода (нарастание и спад)	Быстродействие (рабочая частота)
TTL, HCMOS	11 нс	32 МГц
LS TTL	5,5 нс	64 МГц
FCT	1 нс	350 МГц
3.3V CMOS	500 пс	700 МГц
130 nm CMOS	200 пс	1750 МГц
90 nm CMOS	100 пс	3500 MГц
10 Gbps Serdes	25 пс	14 ГГц

кими особенностями распространения сигнала в реальной конструкции платы.

Два важных фактора влияют на рассмотрение проблем целостности сигнала:

- повышение частоты ведёт к увеличению скоростей изменения токов *dI/dt* и напряжений *dV/dt* в цепях аппаратуры. Это означает, что проблемы, не оказывающие никакого влияния на низкочастотные проекты, могут иметь катастрофические последствия в проектах следующего поколения быстродействующих узлов;
- эффективное решение проблем целостности сигнала базируется на понятиях полных сопротивлений межсоединений. Если мы имеем глубокое представление о полном сопротивлении и сможем установить при конструировании соответствие параметров конструкции печатной платы и соответствующих полных сопротивлений, то можно устранить проблемы целостности сигнала на этапе проектирования. Для более полного понимания этих факторов рекомендуется ознакомиться с литературой [2–4].

Результатами выполнения этих задач являются:

- для концептуальной стадии рекомендации относительно реализуемости требований технического задания по быстродействию, рекомендации по выбору материалов и технологии изготовления;
- для стадии схемотехнического проектирования – уточнение требований к электрическим параметрам микросхем, получение рекомендаций по установке помехоподавляющих элементов, получение рекомендаций по выбору корпусов микросхем; платы и сборки печатного узла;
- для стадии топологического проектирования – выработка топологических норм и рекомендаций для трассировки платы, получение данных для расположения компонентов на плате, определение требований к шинам питания и заземления и рекомендации по их расположению,

определение структуры МПП, определение требований к экранам и их расположению [4].

Прежде чем приступить к изучению возможностей программы Altium Designer для обеспечения целостности сигналов и рассмотрению методик анализа, стоит выделить те проблемы, с которыми сталкиваются разработчики при проектировании плат на современной элементной базе. Для целей нашего обсуждения определим нарушение «целостности сигнала» как любое явление, способное неблагоприятно повлиять на способность сигнала к передаче двоичной информации. В реальных, действующих цифровых устройствах двоичным сигналам присущи аналоговые атрибуты, обусловленные сложным взаимодействием многочисленных элементов схемы - от выходных параметров формирователя до согласования путей распространения сигналов.

Основные виды неполадок:

 нарушения амплитуды. В число нарушений амплитуды входят «звон» (колебания), спад вершины (уменьшение амплитуды в начале импульса) и уменьшение амплитуды по всей длине импульса;

- искажения фронтов. Искажения фронтов могут быть вызваны неудачной топологией печатной платы, как описано ранее, неправильным согласованием или даже применением некачественных полупроводниковых устройств. В число искажений фронта входят выбросы, скруглённый фронт, «звон», затянутый фронт и другие искажения;
- нестабильность фронтов. Нестабильность фронтов возникает, когда в цифровом сигнале происходят малые смещения фронтов от цикла к циклу. Это может повлиять на точность соблюдения временных соотношений и синхронизации в цифровых системах;
- отражения. Отражения могут появиться вследствие неправильного согласования и неудачной топологии печатной платы. Исходящий сигнал отражается в направлении источника и накладывается на следующие импульсы;

- перекрёстные помехи. Перекрёстные помехи возникают, когда длинные проводники проходят рядом; это приводит к связи между ними через взаимную ёмкость и индуктивность. Кроме того, значительные токи и резкие фронты приводят к увеличению уровня электромагнитного излучения и, следовательно, перекрёстных помех;
- колебания в шине заземления. Колебания в шине заземления, вызванные избыточным током (или сопротивлением источника питания и возвратных путей по заземлению), могут вызвать смещение опорного уровня схемы при протекании больщих токов.

Многие из перечисленных проблем можно обнаружить и исправить, используя модуль Signal Integrity в программе Altium Designer. Так можно обнаружить два главных источника шумов и взаимных помех в высокоскоростном печатном монтаже: отражения (Reflection) и перекрёстные помехи (Glosstalk). Анализ целостности сигналов в программе Altium Designer

Реклама

Net	Status 🛆	Falling Edge Overshoot	Falling Edge Undershoot	Rising Edge Overshoot	Rising Edge Undershoot 🔼		Net			Δ
XOUT_ALT	Passed	13,46m	18,01m	14,44m	18,99m	>	DONE			
XOUT	Passed	13,46m	18,01m	14,44m	18,99m					
CCLK	Passed	234,5m	137,5m	301,8m	176,1m					
DONE	Psalart	Net	187,6m	594,3m	302,5m	<	Designator (Pin	Direction	
/////I	P Detail	Not.	137,6m	980,1m	198,0m		D/ D/	12	Direction	-
NetR12_2	P Fod C	ourslad Nate	0,000	0,000	0,000	-	114	104	Pi/Dut	
NetB17_1	P	Droho N	0,000	0,000	0,000		UE	104	birout In	
NetR17_2	P	PIODE /	0,000	0,000	0,000		110	2	iii Is	
LCD_DB0	P Copy	•	6,155m	1,538m	4,859m	"	00	2	m	
YOUT	P Show/	Hide Columns 🔸	18,01m	14,44m	18,99m				1	
NetR12_1	P. Color	Autors .	0,000	0,000	0,000		Termination		Enabled	^
HARD_TDI	P Setup	Options	80,18m	122,2m	121,9m	<<	No Termination		v	=
HARD_TDO	Prefer	ences	81,42m	94,01m	109,1m		Serial Res		✓	
HARD_TMS	P Set lo	ierances	108,3m	357,7m	204,8m		Parallel Res to VCC			
YOUT_ALT	P	y Report	18,01m	14,44m	18,99m		Parallel Res to GND			
DIN DIN	Passed	257,9m	122,5m	268,8m	128,0m					
HARD_TCK	Passed	253,6m	108,3m	357,7m	204,8m		Min 0.000			
LCD_DB#0	Passed	1,646m	6,155m	1,538m	4,859m		Max 100.0			
LCD_DB7	Passed	1,646m	6,155m							
LCD_DB#7	Passed	1,646m	6,155m Подкл	ючение модел	тей			R1		
LCD_LIGHT	Passed	7,592m	2,862m					>+□+=		
LCD_DB#5	Passed	1,646m	6,155m	1,0000	4,000			V		
LCD_DB6	Passed	1,646m	6,155m	1,538m	4,859m					
LCD_DB#6	Passed	1,646m	6,155m	1,538m	4,859m				🔄 Sugi	jest
NetQ1_1	Passed	7,592m	2,862m	5,757m	1,940m					2
LCD_RS#	Passed	1,646m	6,155m	1,538m	4,859m		Perform Sween	Sween Stens: 10 🦉		
			-						4	
🛅 Menu				Reanalyze Design	Model Assignments		Reflection Wavefo	ms Crosstak	Waveforms	





Рис. 2. Результат моделирования сигнала DONE с характерным «звоном» вследствие отражения

можно выполнить на этапе схемы (предтопологический анализ) и на этапе платы (посттопологический). Причём в первом случае программа не учитывает расположение печатных проводников по слоям и использует усреднённое значение для длины и волнового сопротивления проводников. На схемном уровне устранение проблем, связанных с целостностью сигналов, происходит путём согласования линий передачи и входных/выходных сопротивлений микросхем. Рассмотрим по отдельности оба представленных выше подхода.

Предтопологический анализ

Для знакомства с основными этапами проведения анализа целостности сигналов в Altium Designer воспользуемся демонстрационным проектом, который поставляется в составе установочного диска и расположен в директории ...Program Files\Altium Designer Summer 09\Examples\Signal Integrity\Spirit Level. Откроем из этой директории файл Signal Integrity.DsnWrk, который представляет собой группу из четырёх проектов. Начнём с проекта SCH Issues.PrjPcb и откроем главную схему проекта. Анализ целостности начинается с выполнения команды *Tools > Signal Integrity*, при этом могут быть сообщения о том, что не все модели имеются в наличии и что необходимо задать усреднённую длину проводников. Оба эти шага при появлении следует пропустить (в первом случае нажатием кнопки Continue, во втором – Analyze Design), т.к. эту информацию можно задать через панель Signal Integrity (рис. 1), которая появится далее.

В левой части панели Signal Integrity показан список цепей, для которых проводился анализ. Это те цепи, которые объединяют компоненты с подключенными IBIS-моделями (о подключении моделей будет сказано отдельно в конце статьи). Если найти в списке цепь с названием DONE, то можно обнаружить, что для неё рассчитанное значение Rising Edge Overshoot (максимально допустимый положительный выброс на переднем фронте сигнала) значительно превышает аналогичные значения для других цепей. Выбираем левой клавишей цепь DONE и добавляем её в правый список, как показано на рисунке 1. После этого справа под списком цепей (где сейчас указана только одна цепь DONE) можно увидеть все выводы, которые соединяет эта цепь. Убедившись, что в списке Termination (согласованная нагрузка) выбрана опция No Termination, запускаем анализ кнопкой Reflection Waveforms.

Результатом анализа будет отображение трёх графиков, и чтобы их проанализировать, можно временно закрыть панель Signal Integrity. Графики (рис. 2) показывают форму сигнала на источнике сигнала и двух приёмниках, причём из графика видно, что на выводе микросхемы U6 имеются довольно большие выбросы, которые могут повлиять на правильность работы схемы. Под выбросами понимаются минимальные и максимальные напряжения, имеющие место после переключения сигнала между логическими уровнями. Такие выбросы являются следствием отражения сигнала из-за неправильного согласования. Недостатком предтопологического анализа является отсутствие возможности задать предельно допустимые значения для выбросов сигналов (это можно сделать лишь на уровне платы).

Для устранения данной проблемы следует выполнить согласование [2], которое можно промоделировать в Altium Designer. Не покидая результатов моделирования, вызываем панель Signal Integrity через кнопки вызова панелей в правом нижнем углу (Editor > Signal Integrity). В правой части выбираем узел, на который необходимо установить согласующий элемент (в нашем случае U6, см. рис. 1), и выбираем вариант Serial Res (Последовательный резистор) в разделе Termination. Включаем опцию Perform Sweep, указав разброс резистора от 0 до 100 Ом с шагом 10 Ом, и запускаем повторный анализ нажатием кнопки Reflection Waveforms. Теперь на каждом из трёх графиков показано по 11 сигналов, соответствующих разными значениям согласующего резистора. По полученным результатам (см. рис. 3) видно, что наиболее сглаженные фронты сигна-ла получаются при величине согласующего резистора 44,44 Ом (естественно, резистора с таким номиналом не существует, и будет использован ближайший из доступного ряда, т.е. 47 Ом).

В качестве примера откройте второй проект (SCH Issues Resolved.PrjPcb) и ознакомьтесь с результатами анализа целостности. Обратите внимание на согласовочный резистор Rdone, которым корректируется выброс сигнала, полученный при анализе первого проекта.

Рассмотренный проект был полностью подготовлен и наглядно демонстрирует подход к оценке целостности сигналов на схемотехническом уровне. Однако в реальном проекте разработчику придётся выполнить ряд обязательных действий, которые в демонстрированном проекте уже отлажены. Речь идёт о следующих процедуpax:

- добавление IBIS-моделей для компонентов:
- описание цепей питания и земли;
- описание цифровых сигналов;
- настройки анализа целостности сигналов.

Кратко рассмотрим описанные действия; они могут быть выполнены разными способами, но удобнее всего решать эти задачи средствами панели Signal Integrity. Панель Signal Integrity может быть запущена через меню Tools или через кнопки вызова панелей в правом нижнем углу (если



Рис. 3. Результат моделирования сигнала DONE с подбором согласующего параллельного резистора

процесс моделирования уже выполнялся). Добавление моделей к компонентам выполняется через специальный диалог, который вызывается нажатием кнопки Model Assignments (см. рис. 1). Каждому компоненту назначен определённый статус модели, как показано в табл. 2. Чтобы подключить модель, через диалог Model Assignments следует выполнить следующие действия:

- выбираем компонент, которому необходимо назначить модель;
- выбираем тип компонента. Для анализа целостности сигналов имеются семь различных типов компонентов - resistor (резистор), capacitor (конденсатор), inductor (катушка индуктивности), diode (диод), BJT (транзистор), connector (разъём) и IC (микросхема). Тип каждого компонента может быть выбран в выпадающем меню первого столбца или через двойной шелчок мыши:

- для резисторов, конденсаторов и катушек индуктивности задаётся номинальное значение (Value). При возможности это поле будет заполнено автоматически из параметров компонента:
- для микросхем выбирается технология изготовления, которая является определяющей характеристикой для выводов модели, используемых при моделировании. Технология задаётся в выпадающем меню в столбце Value/Type;
- наиболее корректным способом для микросхем является импорт IBIS-модели микросхемы, поставляемой производителем. Такую модель можно подключить, выполнив двойной щелчок на строке компонента после выбора для него типа ІС:
- в завершение описанных действий нужно выполнить сохранение назначенных моделей, используя кнопку Update Models in Schematic





Рис. 4. Определение правил проектирования для анализа целостности сигналов

в диалоговом окне Model Assignments.

Подключенные описанным способом модели будут актуальны только в текущем проекте, и если планируется использовать такие же элементы в других проектах, то более правильным способом будет подключение IBIS-моделей на этапе создания библиотек. О подключении моделей в библиотеках было подробно написано в одной из предыдущих статей [6].

Прежде чем запускать анализ целостности сигналов, программе требуется указать номинальные значения уровня земли и питания, а также задать параметры воздействующего сигнала. Все эти значения задаются через меню Setup Options, которое доступно в контекстном меню при нажатии правой клавишей на списке цепей (см. рис. 1). Здесь на вкладке Supply Nets необходимо выключить опцию Use rules defined in Schematic/PCB и указать для цепей питания и земли их цифровые значения. В качестве альтернативы это можно сделать на схеме или плате, используя директивы (Place > Directives), но это менее удобно. На вкладке Stimulus диалогового окна Setup Options указано значение воздействующего сигнала, который определяет порядок частот работы схемы. Воздействующие сигналы могут быть различны для разных участков схемы, поэтому их удобнее задать с помощью команды Place > Directives > Stimulus. В качестве примера можно ознакомиться с заданными сигналами DRV_N и DRV_P в проекте SCH Issues.PrjPcb. Последнее, что задаётся в диалоге Setup Options – вкладка Track Setup, это усредненное значение длины дорожки и значение её импеданса Эти опции задаются только при предтопологическом анализе!

Посттопологический анализ

Для проведения моделирования целостности сигнала на уровне печатной платы система Altium Designer имеет функцию анализа целостности сигналов на уровне проверки правил проектирования (DRC). Отметим, что эта функция отсутствует в стандартном наборе инструментов всех остальных систем проектирования печатных плат.

Для мониторинга целостности сигналов в системе Altium Designer имеется специальный набор правил проектирования, задающих критерии оценки различных параметров платы по итогам моделирования. Эти правила сгруппированы на вкладке Signal Integrity диалогового окна Design Rules, вызываемого командой Design > Rules редактора печатных плат (см. рис. 4). В общем случае в проекте может быть назначен практически неограниченный набор правил проектирования с различной областью действия (от отдельной цепи до всей платы) и приоритетом.

В число правил проектирования, учитываемых при анализе целостности сигналов, входят:

 Impedance Constraint – определяет минимально и максимально допустимый импеданс цепи;

Статус	Описание
No match	Диалог Model Assignments не смог обнаружить ссылку на какой-либо конкретный тип модели для данного компонента. Возможно, пользователю придётся установить модель вручную
Low confidence	В диалоге Model Assignments определён тип компонента, но заданы не все данные
Medium confidence	В диалоге Model Assignments определён тип компонента, и имеется минимально необходимый набор данных для предполагаемой модели
High confidence	В диалоге Model Assignments определён тип компонента, и заданы все необходимые характеристики для компонента данного типа
Model found	Для данного компонента найдена модель
User modified	Такой статус появляется у компонента после ручного редактирования дополнительных характеристик модели
Model added	Такой статус появляется при добавлении к компоненту ссылки на новый файл IBIS-модели

Таблица 2. Статус модели в диалоге Model Assignments

- Overshoot Falling Edge определяет максимально допустимый отрицательный выброс (затухающие колебания относительно низкого значения напряжения) на заднем фронте импульса сигнала;
- Overshoot Rising Edge определяет максимально допустимый положительный выброс (затухающие колебания относительно высокого значения напряжения) на переднем фронте сигнала;
- Signal Base Value определяет максимально допустимое значение напряжения сигнала низкого уровня;
- Signal Flight Time Falling Edge определяет максимально допустимое время задержки заднего фронта сигнала;
- Signal Flight Time Rising Edge определяет максимально допустимое время задержки переднего фронта сигнала;
- Signal Stimulus определяет характеристики входных сигналов, которые используются при анализе целостности сигналов. Это сигналы, которые подаются на каждый входной вывод тестируемой цепи и формируются на выходных выводах. Во время проверки правил проектирования возвращается наихудший возможный результат;
- Signal Top Value определяет минимально допустимое значение напряжения сигнала высокого уровня;
- Slope Falling Edge определяет максимально допустимое значение крутизны заднего фронта импульса. Под этим значением здесь подразумевается время, затраченное на изменение уровня сигнала от порогового

	Outra	Datab	
4	Unline	Batch	
	~	~	
	·		
	·		
	 Image: A start of the start of		
		~	
		~	
		~	
		~	
		v	
		v	
		~	
		~	
		~	
		~	
	~	~	
	~	~	
	~	~	
	~		
	~		
			V V V O V O K Can

Рис. 5. Настройка проверки правил проектирования

напряжения (VT) до действительного значения напряжения низкого уровня (VIL);

- Slope Rising Edge определяет максимально допустимое значение крутизны переднего фронта импульса. Под этим значением здесь подразумевается время, затраченное на изменение уровня сигнала от порогового напряжения (VT) до действительного значения напряжения высокого уровня (VIH);
- Undershoot Falling Edge определяет максимально допустимое значение положительного выброса (затухающие колебания относительно низкого значения напряжения) на заднем фронте сигнала;
- Undershoot Rising Edge определяет максимально допустимое значение отрицательного выброса (затухающие колебания относительно высокого значения напряжения) на переднем фронте сигнала;

Следует помнить, что данные правила не контролируются при интерактивной трассировке, а используются только при проверке DRC в пакетном режиме. Для того чтобы использовать эти правила, необходимо обязательно установить правила Signal Stimulus Rule и Supply Nets rules (о чём было сказано в предыдущем разделе).

При запуске программы пакетной проверки правил проектирования DRC необходимо включить контроль всех необходимых правил из числа назначенных. Это производится в окне Design Rule Check, где после нажатия на кнопку Signal Integrity откроется специальное окно Design Rules с активными опциями, соответствующими назначенным наборам правил (рис. 5). После включения всех необходимых опций следует запустить процедуру проверки нажатием кнопки Run DRC.

В ходе проверки будет сформирован отчёт, в котором в виде списка

ll Results		?		
Results	Value	Included Nets		
Length (m)	251,6m	D7	1	
Component Count	2	Full Desults		
Track Count	320	T utt Results		ٺ
Minimum Impedance (Ohms)	77,92			
Average Impedance (Ohms)	77,92	Results	Value	Included Nets
Maximum Impedance (Ohms)	77,92	Length (m)	158,8m	D7
Top Value (V)	3,300	Component Count	2	
Maximum Overshoot Rising Edge (V)	1,649	Track Count	9	
Maximum Undershoot Rising Edge (V)	865,5m	Minimum Impedance (Ohms)	77,92	
Base Value (V)	-782,5u	Average Impedance (Ohms)	77,92	
Maximum Overshoot Falling Edge (V)	1,283	Maximum Impedance (Ohms)	77,92	
Maximum Undershoot Falling Edge (V)	679,5m	Top Value (V)	3,300	
Flight Time Rising Edge (s)	3,197n	Maximum Overshoot Rising Edge (V)	987,3m	
Slope Rising Edge (s)	7,409n	Maximum Undershoot Rising Edge (V)	526,6m	
Flight Time Falling Edge (s)	2,357n	Base Value (V)	-79,75u	
Slope Falling Edge (s)	755,9p	Maximum Overshoot Falling Edge (V)	552.4m	
and the second s	25.24	Maximum Undershoot Falling Edge (V)	299.7m	
		Flight Time Rising Edge (s)	2.677n	
до		Slope Rising Edge (s)	5,401n	
		Flight Time Falling Edge (s)	1,843n	
		Slope Falling Edge (s)	756,5p	
		посл	E	

Рис. 6. Результаты моделирования цепи D7 до и после редактирования



Рис. 7. Настройки для анализа перекрёстных помех



нарушений будет констатироваться наихудший случай. Следующим этапом работы над проектом будет уточнение места, где возникло нарушение правила проектирования. Для этого следует запустить программу анализа целостности сигналов, выбрать упомянутую в отчёте цепь и промоделировать распространение сигналов в ней. В случае нарушения допустимых значений импедансов моделирование может не потребоваться – достаточно будет изменить ширину проводников указанных цепей.

Кроме того, что в редакторе печатных плат проверка целостности сигналов является частью проверки DRC, для верификации и отладки участков платы, не удовлетворяющих правилам, используется панель Signal Integrity, как и в редакторе схем. Рассмотрим ещё один пример, который идёт в комплекте с программой и наглядно демонстрирует особенности анализа целостности на уровне платы.

Откроем проект Examples\Signal Integrity\SimpleFPGA\SimpleFPGA SI Demo.PrjPCB и откроем плату этого проекта. Внешний вид топологии, с излишними изгибами и удлинёнными параллельными участками, уже наводит на мысли о возможных проблемах. Для данного проекта были заданы правила проектирования (Design > Rules), и можно приступить к анализу: Tools > Signal Integrity. Как и в случае с предтопологическим анализом, игнорируем сообщение, что не все компоненты содержат модели, и получаем результат в виде панели Signal Integrity. Здесь розовым показаны цепи, для которых контролируемые значения превышают заданные в правилах нормы. Например, найдём цепь D7 и, нажав на ней правой клавишей, выберем команду Cross Probe > To PCB, в результате чего проблемная цепь будет показана на плате. Топология этой цепи далека от идеала, и если, например, оптимизировать эту цепь, заменив меандр прямой дорожкой, то будут получены следующие результаты для максимально допустимого значения положительного выброса на заднем фронте сигнала 299,7 мВ (было 679,5 мВ). То есть теперь по этому параметру топология удовлетворяет требованиям проекта, но топологию нужно далее редактировать, чтобы привести в норму другие характеристики. Полные результаты анализа можно получить, нажав правой кнопкой мыши на названии цепи и выбрав Details (см. рис. 6).

Чтобы провести анализ перекрёстных помех, нужно первым делом определить цепи, которые являются парными для выбранной цепи. Возникает вопрос: какими характеристиками руководствоваться при данном поиске. Здесь стоит опять же обратиться к теории [2, 4], где говорится, что перекрёстная помеха возникает из-за возвратных токов по экрану питания, а если быть совсем точным, то из-за плотности этогих токов. Причём эта плотность меняется по экспоненциальному закону и максимальна под проводником, а становится практически не значимой на удалении трёх толщин проводника. Соответственно, чтобы задать параметры, определяющие парные цепи, необходимо в контекстном меню выбрать Preferences (см. рис. 7) и на вкладке Configuration задать максимальное расстояние, на котором дорожки создают перекрёстные помехи (Max Dist) и минимальную длину (Min Length). После этого выбираем в контекстном меню Find Coupled Nets, в результате чего будут подсвечены все парные цепи (при установке значений в соответствии с рис. 7 будут выделены три цепи). Добавляем эти цепи в список для моделирования (в правой части), правой клавишей назначаем цепь D0 агрессором (источником помехи), после чего две другие цепи автоматически становятся жертвами. В результате назначения агрессора становится активной кнопка Glosstalk Waveforms, позволяющая запустить анализ перекрёстных помех.

На рис. 8 показаны результаты моделирования перекрёстных помех в виде сигнала на источнике помехи и уровня помехи на проводнике-жертве. Если уровень помехи превышает уровень установки цифрового значения, то на проводнике-жертве произойдёт ложное срабатывание, и устройство будет работать некорректно. В нашем случае порядок помехи измеряется в десятках милливольт, по уровню этой помехи можно делать выводы о работоспособности платы и при необходимости вносить правки в топологию.

Модуль Signal Integrity не позволяет решить все задачи по обеспечению электромагнитной совместимости и целостности сигнала, и для более серьёзных задач рекомендуется использовать специализированные программы (HyperLinx и др.). Плату, разработанную в программе Altium Designer, можно сохранить в формате HyperLinx с помощью команды File > Save As.

Литература

- 1. Altium Designer Help, TU0113 Performing Signal Integrity Analyses.pdf.
- Джонсон Г., Грэхем М. Конструирование высокочастотных цифровых устройств. М.: Вильямс, 2006. С. 326.

- 3. Джонсон Г. Высокоскоростная передача цифровых данных. М.: Вильямс, 2005.
- Кечиев Л.Н. Проектирование печатных плат для цифровой быстродействующей аппаратуры. М.: Группа ИТД, 2007.
- 5. *Сабунин А.Е.* Altium Designer. Новые решения в проектировании электронных устройств. М.: Солон-Пресс, 2009.
- 6. Сабунин А.Е. Altium Designer Summer 08 разработка библиотек и моделей компонентов. СЭ. 2008. № 6.

екла