

Восьмиразрядные микроконтроллеры компании Freescale Semiconductor в корпусах с малым числом выводов

(часть 1)

Татьяна Ремизевич (Москва)

Статья посвящена общему описанию и сравнению технических характеристик 8-разрядных МК семейства HC08 от компании Freescale Semiconductor в корпусах с малым числом выводов. Рассматривается три процессорных ядра: ранее известные HC08 и HCS08 и новое упрощённое процессорное ядро RS08, а также микроконтроллеры на их основе.

Анализируя пути совершенствования элементной базы микроконтроллеров, можно заметить, что развитие их архитектуры подобно спирали:

- на первом витке производительность процессорного ядра не только достаточна, но даже избыточна для используемых алгоритмов управления, а структура периферийных устройств далека от совершенной;
- на следующем витке производительность процессорного ядра оказывается минимально достаточной, а совершенствование структуры периферийных модулей позволяет разгрузить процессорное ядро от несвойственных ему операций.

Когда все возможности по оптимизации структуры периферии исчерпаны, начинается новый виток развития, отмеченный скачкообразным увеличением производительности процессорного ядра.

Ещё недавно различные производители совершенствовали 8-разрядные микроконтроллеры (МК), предлагая МК верхней гаммы с объёмами памяти 40...60 Кб и множеством периферийных устройств. Достаточно быстро для требовательных приложений были предложены 16-разрядные МК, в том числе с сигнальным процессорным ядром. Можно предположить, что теперь 8-разрядным МК уготована судьба цифровых ИС малой и средней степени интегра-

ции, которые производятся и применяются, но функциональное совершенствование которых замедлилось. Однако производители 8-разрядных МК опровергли пессимистичный прогноз, предложив два актуальных направления развития 8-разрядной элементной базы.

Первое направление – оптимизация 8-разрядных МК нижней гаммы, которые выполняются в корпусах с малым числом выводов (6 – 16). Второе направление – интеграция МК в один корпус с силовыми ключами, трансиверами, аналоговыми схемами, входными и выходными формирователями с нестандартными уровнями сигналов. Компания Freescale Semiconductor активно совершенствует свои продукты в каждом из этих направлений. В данной статье мы подробно остановимся на МК с малым числом выводов.

Модельный ряд МК

В 2006 г. компания Freescale Semiconductor практически полностью обновила свои продукты в сегменте маловыводных 8-разрядных МК. В настоящее время она предлагает разработчикам 16 моделей в корпусах с шестью, восемью или 16 выводами (таблица 1). Казалось бы, имея столь малое число выводов корпуса, эти МК должны быть очень похожи друг на друга, поскольку на малое число выводов корпуса трудно «спроецировать» большое количество

во периферийных модулей. Однако, обладая одним и тем же корпусом, предлагаемые модели отличаются достаточно сильно.

Первым отличием являются процессорные ядра. При формальной принадлежности к одному семейству, а именно HC08, фактически в составе моделей МК реализованы три процессорных ядра. Модели QT/QY/QB/QL обладают самым «старым» ядром HC08, модели QG и QD – более производительной версией этого ядра HCS08, которая разрабатывалась для верхней гаммы 8-разрядных МК. Модели KA оснащены последней версией ядра RS08, которая существенно упрощена по отношению к своему родоначальнику – процессорному ядру HC08.

Второе отличие – функциональная насыщенность периферийными модулями. Микроконтроллеры серии KA (с предельно упрощённым процессорным ядром) имеют в своём составе упрощённый таймер, аналоговый компаратор и несколько линий портов с функцией внешнего прерывания КВИ. Такое решение позволило уменьшить площадь полупроводникового кристалла МК более чем в три раза по сравнению с другими МК, перечисленными в таблице 1. Поэтому модели MC9RS08KA1/KA2 размещаются в сверхминиатюрных корпусах 3 × 3 мм и имеют предельно низкую стоимость. Напротив, МК серии QG и QD, обладающие самым производительным процессорным ядром HCS08, имеют в своём составе полнофункциональный модуль процессора событий, три контроллера последовательных интерфейсов и 10-разрядный АЦП. Входы и выходы этих периферийных модулей многократно мультиплексированы на

ножках корпуса МК. Поэтому в каждом конкретном приложении разработчик может воспользоваться только частью ресурсов этих МК, но таким образом предоставляется возможность использования одной модели МК в разных приложениях.

Третье отличие – возможности модулей таймеров. Модели MC9RS08KA1/KA2 оснащены упрощённым 8-разрядным модулем таймера, который не имеет функций входного захвата и выходного сравнения. Все остальные модели МК обладают 16-разрядным таймерным модулем с функциями входного захвата или выходного сравнения или многоканальным ШИМ.

Перечислив основные отличия, отметим общие черты рассматриваемых микроконтроллеров. Все они имеют внутренний модуль тактирования с точностью поддержания частоты ±2% от указанного в техническом описании значения. Все модели реализуют режим программирования и отладки в системе благодаря наличию в их составе модуля внутрисхемной отладки. Все МК оснащены несколькими режимами низкого энергопотребления.

Три процессорных ядра HC08

При современном программировании приложений на языке Си, изучать архитектурные особенности процессорного ядра, как правило, не

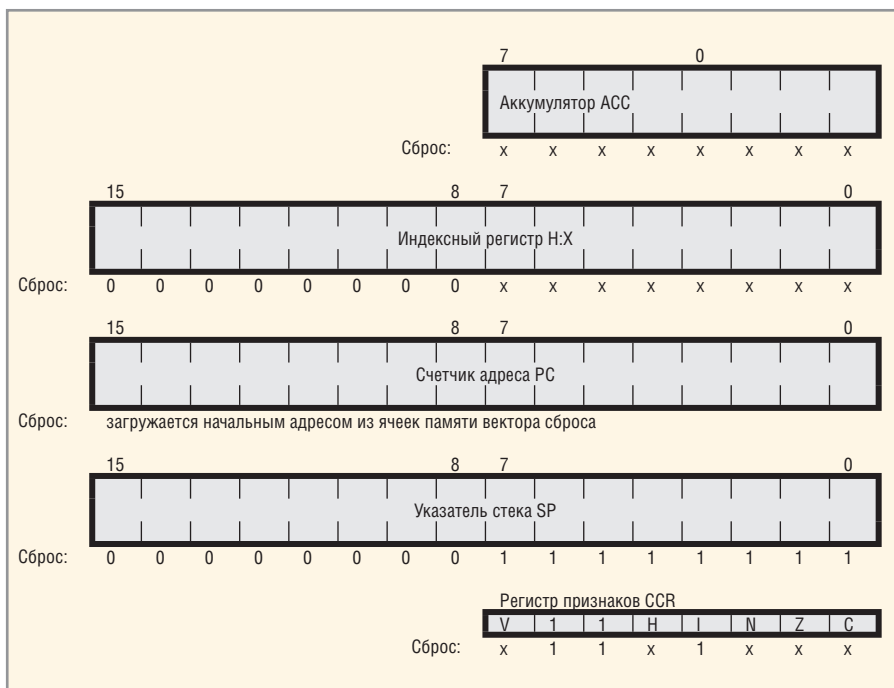


Рис. 1. Программно-логическая модель центрального процессора HC08

обязательно. Поэтому автор счёл полезным дать сравнительную характеристику трёх модификаций процессорного ядра HC08. На её основе читатель может сделать осознанный выбор модели МК для конкретного приложения.

Все три рассматриваемых процессорных ядра: HC08, HCS08 и RS08, – выполнены на основе CISC-архитектуры. Программно-логическая модель центрального процессора HC08 (см. рис. 1) содержит пять регистров, которые не являются

частью объединённого адресного пространства, и, следовательно, для обращения к ним должны быть использованы специальные команды. Это 8-разрядный аккумулятор ACC, 16-разрядный индексный регистр HX (H – старший байт, X – младший байт), 16-разрядный программный счётчик PC и указатель стека SP, 8-разрядный регистр признаков CCR. Последний содержит пять флагов, информирующих о состоянии операнда в аккумуляторе: переноса (C), нулевого результата (Z), отрица-

Таблица 1. Технические характеристики микроконтроллеров семейства HC08/HCS08/RS08 в корпусах с числом выводов от 6 до 16

Тип МК	Объём Flash ПЗУ, Кб	Объём ОЗУ, байт	Число линий портов	Таймер	Контроллеры последовательных интерфейсов	АЦП, число каналов/разрядность	Частота f _{BUS} , МГц	Напряжение питания, В	Корпус	Модули и функции
Процессорное ядро RS08 (в составе ядра COP, LVD, RTI, WAKEUP)										
MC9RS08KA1	1	63	4 или 6	MTIM	Нет	Нет	10	1,8...5,0	DIP8, SOIC8, DFN6	АСМР, до 5 КБИ, ICS, BDM
MC9RS08KA2	2									
Процессорное ядро HC08										
MC908QB4	4	256	13	TIM, 4×IC/OC/PWM	SPI, ESCI	10/10	8,0	3,0...5,0	DIP16, SOIC16, TSSOP16	До 6 КБИ, AWU, ICS, COP, LVI, IRQ, MON08
MC908QB8	8									
MC908QT1A	1/5	128	6	TIM, 2×IC/OC/PWM	Нет	6/10	8	3,0...5,0	DIP8, SOIC8, DFN8	
MC908QT2A	2									
MC908QT4A	4									
MC908QY1A	1/5	128	13	TIM, 2×IC/OC/PWM	Нет	6/10	8	3,0...5,0	DIP16, SOIC16, TSSOP16	
MC908QY2A	2									
MC908QY4A	4									
MC908QL2	2	128	13	TIM, 2×IC/OC/PWM	SLIC	6/10	8	3,0...5,0	SOIC16, TSSOP16	
MC908QL23	4									
MC908QL4	4									
Процессорное ядро HCS08 (в составе ядра COP, LVI, RTI, IRQ)										
MC9S08QD4	4	256	6	2×TPM	Нет	4/10	8	3,0...5,0	DIP8, SOIC8	До 4 КБИ, ICS, BDM
MC9S08QG4	4	256	12	TIM, 2×IC/OC/PWM	SPI	8/10	10	1,8...3,6	DIP8, SOIC8, DFN8, DIP16, SOIC16, TSSOP16	АСМР, до 8 КБИ, ICS, BDM
MC9S08QG8	8	512								

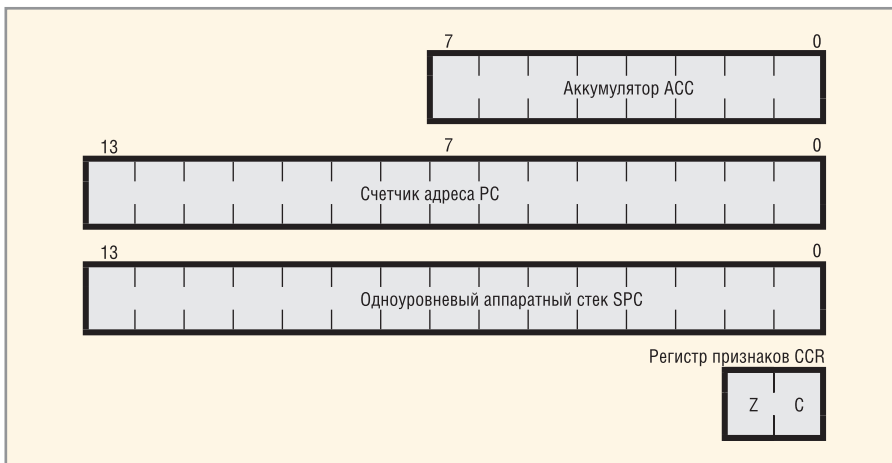


Рис. 2. Программно-логическая модель центрального процессора RS08

тельного результата (N), переполнения (V), дополнительного переноса (H), а также бит глобальной маски прерывания (I). Размещение триггера запрета всех прерываний центрального процессора I в регистре признаков является традиционным для всех МК компании Freescale Semiconductor.

Программный счётчик, указатель стека и регистр NH позволяют линейно адресовать все 64 Кб памяти, что обуславливает две особенности системы команд [1]:

- во-первых, подавляющее число действий выполняется над операндами, которые могут быть расположены в любом адресном пространстве из 64 Кб;
- во-вторых, МК с процессорным ядром HC08 могут одинаково успешно исполнять программы как из ПЗУ, так и из ОЗУ. Последнее существенно упрощает построение модуля внутрисхемной отладки.

Система команд ядра HC08 включает 90 инструкций языка Ассемблер, в том числе команды целочисленного беззнакового умножения восьмиразрядных операндов (время выполнения операции составляет 5 циклов или 625 нс) и целочисленного беззнакового деления 16 : 8 (время выполнения операции – 7 циклов или 875 нс). Операция сложения или вычитания однобайтовой константы выполняется за 250 нс (2 цикла).

Центральный процессор HC08 поддерживает 12 способов адресации, имеет двухадресные команды, которые позволяют выполнять пересылку данных между двумя ячейками памяти или регистрами специальных функций, минуя регистры центрального процессора. Процессор

оснащён большим набором команд ветвления. Кроме переходов по традиционным условиям C, Z, N, H, реализованы переходы по комбинациям флагов C и Z для сравнения операндов в прямом коде без знака, а также по комбинациям флагов C, Z, и V для сравнения операндов в дополнительном коде со знаком. Общее число инструкций ветвления ассемблера HC08 равно 40. Процессорное ядро HC08 реализует векторные прерывания, а также имеет специальную команду программного прерывания.

Программно-логическая модель и система команд процессорного ядра HCS08 полностью идентична ядру HC08. В чём же отличия?

Во-первых, использован новый технологический процесс, что позволило повысить частоту внутренней шины до 20 МГц при напряжении питания 3,6 В.

Во-вторых, процессорное ядро HCS08 работает в диапазоне напряжений питания от 1,8 до 3,6 В, т.е. ориентировано на работу в устройствах с автономным питанием.

В-третьих, процессорное ядро HCS08 имеет расширенный набор режимов энергосбережения, что полезно в автономных приборах.

В-четвертых, процессорное ядро HCS08 имеет более совершенный модуль отладки, реализующий режим BDM (BDM – Background Debug Mode, т.е. фоновый режим отладки). В отличие от модуля отладки, реализованного в HC08, новый модуль отладки позволяет часть функций выполнять без останова исполнения прикладной программы [2]. Кроме того, для перевода МК в режим отладки используется всего одна ли-

ния, что для маловыводных МК очень важно. В рассматриваемых МК на основе процессорного ядра HC08 с интерфейсом отладки MON08 иногда до половины выводов должны быть использованы в режиме отладки. Поэтому приходится коммутировать выводы, а лишние разъёмы нежелательны в малогабаритных приложениях.

Обратимся теперь к ядру RS08 [3]. При его разработке преследовалась цель предельно минимизировать аппаратные средства 8-разрядного процессорного ядра, ориентированного на очень простые приложения с объёмом программного кода в несколько килобайт. Программно-логическая модель центрального процессора RS08 представлена на рисунке 2. Она содержит 8-разрядный аккумулятор ACC, 14-разрядный счётчик команд PC, 14-разрядный регистр SPC и двухразрядный регистр признаков CCR.

Уменьшенная разрядность процессорного счётчика PC свидетельствует о том, что максимальный объём программного кода для этого процессорного ядра составляет 16 Кб. Наличие всего двух флагов условий (переполнения C и нулевого результата Z) в регистре состояния CCR определяет ориентацию этого процессорного ядра на выполнение, в основном, логических операций и на очень простые вычисления, которые не предполагают использования представления чисел со знаком. И, как следствие, в системе команд отсутствуют инструкции умножения и деления. Существенно сократилось и число команд ветвления – в предыдущих версиях процессорного ядра HC08/HCS08 их было 40, в версии RS08 осталось всего 11.

Существенные изменения претерпела модель памяти и система адресации. Процессорное ядро RS08 использует страничную систему адресации, при которой линейно адресуются лишь ячейки памяти с адресами 0x00 – 0xFF. Старшие 64 адреса (0xC0 – 0xFF) рассматриваются как окно для обращения к одной из 252 страниц постоянной памяти объёмом 64 байта каждая. Для выбора номера страницы предназначен новый регистр управления PAGESEL. Три страницы памяти с младшими адресами (0x00 – 0xBF)

адресуются линейно. В этом адресном пространстве располагаются ОЗУ МК и регистры управления периферией.

Число способов адресации операндов сократилось с 12 в предыдущих версиях процессорного ядра до 7 в версии RS08. Изменение модели памяти и способов адресации имело целью сократить число байтов кодов команд, что позволило повысить плотность управляющего кода. Теперь двухбайтовое представление операнда используют только команды безусловного перехода *jmp adr* и вызова подпрограммы *jsr adr*. Остальные команды, в том числе арифметические и логические, имеют только двухбайтовый или даже однобайтовый формат. Это достигается введением двух способов прямой адресации, которые ранее были несвойственны микроконтроллерам Freescale Semiconductor. Это – прямая адресация типа *Tiny*, при которой возможно обращение только к операндам, расположенным по адресам 0x00 – 0x0F, и прямая адресация типа *Short*, для которой доступны ячейки памяти с адресами 0x00 – 0x1F.

Следует обратить внимание на интересное архитектурное решение, которое позволило эмулировать индексный регистр косвенной адресации X, унаследованный от предыдущих версий процессорного ядра (см. рис. 1), и связанные с ним способы индексной адресации со смещением и автоинкрементированием после выборки операнда. Теперь регистр косвенной адресации X располагается в оперативной памяти МК. При обращении с использованием прямой адресации к другому регистру оперативной памяти D[X] происходит выборка операнда, расположенного по адресу, значение которого содержится в X (см. рис. 3). Таким образом, разработчики процессорного ядра RS08 сумели сохранить в системе команд такие способы адресации, как индексная (косвенная по регистру X), индексная со смещением в 8 или 16 бит, индексная со смещением и автоматическим увеличением на 1 содержимого X после выборки операнда. В самом центральном процессоре таких способов адресации нет, поэтому площадь кристалла невелика, а для программиста эти способы адресации доступны.

Существенные изменения пререпела подсистема вызова подпрограмм и подсистема прерываний. В процессорном ядре RS08 отсутствует указатель стека SP (см. рис. 2), вместо которого появился регистр одноуровневого аппаратного стека SPC (Shadow PC). В этот регистр загружается адрес возврата при вызове подпрограммы или при переходе на подпрограмму прерывания. Организация многоуровневого вызова подпрограмм возможна только с применением специальных программных конструкций. Для этого предусмотрены команды передачи содержимого регистра SPC в оперативную память и обратно.

Подсистема прерываний процессорного ядра RS08 перестала быть векторной. Микроконтроллеры типа MC9RS08KA1/KA2 имеют пять источников запросов на прерывания: модуль таймера МТИМ, внешние запросы на входах портов КВИ, аналоговый компаратор АСМР, модуль меток реального времени РТИ и запрос от модуля слежения за пониженным напряжением питания LVD. События запросов отображаются в специальном регистре, который должен быть опрошен программой для определения источника запроса на прерывание. Очень важно, что подсистема прерывания в МК MC9RS08KA1/KA2 предназначена только для вывода этих МК из режимов пониженного энергопотребления типа ожидания (Wait) или остановки (Stop). При работе МК в активном режиме, т.е. в процессе исполнения программы, подсистема прерывания запросы фиксирует, но не изменяет ход выполнения программы. Флаги запросов должны программно опрашиваться, и при необходимости выполняется ветвление программы управления.

Что же получилось в итоге столь существенных изменений? Процессорное ядро RS08 сохранило хорошую систему команд, которая была свойственна ядру HC08/HCS08. По существу не стало только команд умножения и деления. Но при отсутствии в МК встроенного АЦП и наличии упрощенного таймера, который не предполагает измерения временных интервалов, эти команды требуются редко. Сохранилось множество способов адресации, хо-

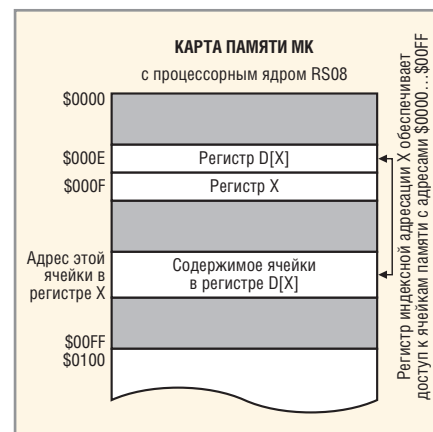


Рис. 3. Эмуляция индексной адресации в процессорном ядре RS08

тя все способы, связанные с регистром X, теперь эмулируются на уровне программы Ассемблера или компилятора с языка Си.

Существенно изменилась логика организации работы МК в реальном времени. Отсутствует возможность прерываний от внешних и внутренних источников в ходе выполнения программы, но все события фиксируются, запоминаются и могут быть опрошены программно, что для небезопасных приложений вполне допустимо.

Очень важно, что процессорное ядро RS08 унаследовало от ядра HCS08 режим фоновой внутрисхемной отладки BDM. Для данного класса МК он удобен по двум причинам. *Во-первых*, можно следить за изменением ресурсов МК в режиме отладки без остановки выполнения программы, поскольку приложения достаточно простые и медленные. *Во-вторых*, вход в режим отладки и взаимодействие с МК в процессе отладки происходит по единственному выводу, что делает возможным использование отладки в системе даже при корпусе МК с шестью выводами.

Продолжение следует

ЛИТЕРАТУРА

1. Ремизевич Т.В. Микроконтроллеры для встраиваемых приложений: От общих подходов к семействам HC05 и HC08 фирмы Motorola. Додека, 2000.
2. Ремизевич Т. Модуль внутрисхемной отладки в составе микроконтроллеров Freescale Semiconductor. Электронные компоненты. 2006. № 12.
3. Getting Started with RS08. Application Note, Document Number: AN3266. Rev.1. 5/2006.

