

Микроконтроллеры семейства LPC2000 (ARM7TDMI-S) от Philips – ещё один шаг к идеальной платформе для встраиваемых приложений

(часть 1)

Павел Редькин (г. Ульяновск)

Статья посвящена описанию и применению 16/32-разрядных встраиваемых микроконтроллеров семейства LPC2000 фирмы Philips Semiconductors. Обсуждены вопросы конкурентоспособности семейства микроконтроллеров по сравнению с аналогами. Изложенные в статье сведения рассчитаны на специалистов в области микропроцессорной техники и её программирования на языке Си. В первой части дано общее описание семейства LPC2000 и его процессорного ядра.

ВВЕДЕНИЕ

Предлагаемая вниманию читателей статья посвящена описанию и применению 16/32-разрядных встраиваемых микроконтроллеров (МК) семейства LPC2000 фирмы Philips Semiconductors. Эти приборы имеют ядро ARM7TDMI-S, разработанное британской фирмой Advanced RISC Machines (ARM), которая специализируется на разработке микропроцессоров и периферии к ним. В связи с высокой производительностью и выгодным соотношением цена/качество МК с ядрами ARM в настоящее время приобрели у разработчиков электронной техники весьма широкую популярность. Ядра ARM используются в микроконтроллерах и микропроцессорах, выпускаемых такими производителями, как Alcatel, Analog Devices, Atmel, Asahi Kasei Microsystems, Cirrus Logic, Digital, GEC Plessey, Hyundai, Lucent, Lucky GoldStar, NEC, OKI, Philips, Rockwell, Rohm, Samsung, Sharp, Sony, Symbios, Texas Instruments, Yamaha. Корпорация Philips Semiconductors, являясь одним из формальных основателей фирмы ARM, выпускает широкую номенклатуру 16/32-разрядных МК с ядром ARM7TDMI-S – семейство LPC2000.

Семейство ARM7 Thumb, к которым относится ARM7TDMI-S, представляет

собой ядра с 32-разрядной целочисленной RISC-архитектурой, обеспечивающей максимальную производительность до 130 MIPS. Все ядра семейства ARM7 Thumb имеют традиционную архитектуру фон-Неймана с общей памятью команд и данных.

В настоящее время на российском рынке наиболее полно представлены и востребованы 16/32-разрядные МК с ядрами ARM7 следующих семейств: ADuC70xx (Analog Devices), AT91SAM7xxx (Atmel), TMS470R1xxx (Texas Instruments) и LPC2000 (Philips Semiconductors).

Приборы ADuC70xx являются бесспорными лидерами в области аналоговой периферии, имея на кристалле 12-битные АЦП и ЦАП. Однако они имеют сравнительно невысокую производительность (тактовая частота до 45 МГц), модельный ряд этих МК небольшой, цены умеренные. Для приборов TMS470R1xxx при средней производительности (тактовая частота до 60 МГц) характерна некоторая функциональная избыточность, следствием которой, очевидно, является их сравнительно высокая цена. Кроме того, у этих приборов отсутствует модуль ЦАП. МК AT91SAM7xxx обладают средней производительностью (тактовая частота до 60 МГц), высокой экономичностью, весьма

низкой стоимостью и представлены широким модельным рядом.

Устройства LPC2000 можно назвать золотой серединой по рассматриваемым критериям. Их отличают сравнительно низкая цена и средняя производительность (тактовая частота до 75 МГц), а также самый широкий модельный ряд. Они нашли широкое применение в автомобилестроении, медицине, сетевых и коммуникационных устройствах (модемах, концентраторах, мобильных телефонах и т.п.), а также в промышленной и бытовой электронике, в том числе с батарейным питанием.

В настоящей статье приведены только необходимые сведения о семействе LPC2000, достаточные для написания управляющих программ. Более подробно о семействе LPC2000 см. [1, 2].

ОБЩЕЕ ОПИСАНИЕ LPC2000

Большая часть выпускаемых в настоящее время приборов работает на тактовой частоте до 60 МГц, обеспечивая производительность до 54 MIPS. Отметим характерные особенности МК семейства LPC2000:

- высокопроизводительное 32/16-разрядное ядро ARM7TDMI-S со встроенным трассировщиком (Real-Time Trace) и монитором реального времени (Real-Time Monitor);
- встроенный тактовый генератор с внешним кварцевым резонатором на частоту 1...30 МГц и схема ФАПЧ;
- память типа SRAM (статическое ОЗУ) до 64К;
- память типа Flash с 128-разрядной шиной и обращением без цикла ожидания (ресурс не менее

Таблица 1. Сводная таблица МК семейства LPC2000

Устройство	ОЗУ, Кб	Flash-память, Кб	Защита	Таймеры общего назначения, разрядов	Каналы SAR/SOM	WDT	Интерфейсы					Питание модуля RTC внутреннее, ФАПЧ	внешнее, 32 кГц	Каналы ШИМ	Разряды/канал АЦП	Разряды/канал ЦАП	Внешняя шина		Число выводов I/O	FRC, МГц	Напряжение питания, В		Диапазон рабочих температур, °C	Корпус
							UART	CAN	FS	SPI	SSP						USB	адреса			данные	CS		
LPC2101FBD48	2	8	+	2 × 32 2 × 16	7	+	+	2	-	2	2	+	-	-	10/8	-	-	32	1...70	1,8	3,3	-40...+85	LQFP48	
LPC2102FBD48	4	16	+	2 × 32 2 × 16	7	+	+	2	-	2	2	+	-	-	10/8	-	-	32	1...70	1,8	3,3	-40...+85	LQFP48	
LPC2103FBD48	8	32	+	2 × 32 2 × 16	7	+	+	2	-	2	2	+	-	-	10/8	-	-	32	1...70	1,8	3,3	-40...+85	LQFP48	
LPC2104BBD48	16	128	-	2 × 32	7	+	+	2	-	1	1	-	-	6	-	-	32	1...60	1,8	3,3	0...+70	LQFP48		
LPC2105BBD48	32	128	-	2 × 32	7	+	+	2	-	1	1	-	-	6	-	-	32	1...60	1,8	3,3	0...+70	LQFP48		
LPC2106BBD48	64	128	-	2 × 32	7	+	+	2	-	1	1	-	-	6	-	-	32	1...60	1,8	3,3	0...+70	LQFP48		
LPC2106FBD48	64	128	-	2 × 32	7	+	+	2	-	1	1	-	-	6	-	-	32	1...60	1,8	3,3	-40...+85	LQFP48		
LPC2106FHN48	64	128	-	2 × 32	7	+	+	2	-	1	1	-	-	6	-	-	32	1...60	1,8	3,3	-40...+85	HVQFN48		
LPC2114FBD64	16	128	+	2 × 32	8	+	+	2	-	1	2	-	-	6	10/4	-	46	1...60	1,8	3,3	-40...+85	LQFP64		
LPC2114FHN64	16	128	+	2 × 32	8	+	+	2	-	1	2	-	-	6	10/4	-	46	1...60	1,8	3,3	-40...+85	HVQFN64		
LPC2119FBD64	16	128	+	2 × 32	8	+	+	2	2	1	2	-	-	6	10/4	-	46	1...60	1,8	3,3	-40...+85	LQFP64		
LPC2119FHN64	16	128	+	2 × 32	8	+	+	2	2	1	2	-	-	6	10/4	-	46	1...60	1,8	3,3	-40...+85	HVQFN64		
LPC2124FBD64	16	256	+	2 × 32	8	+	+	2	-	1	2	-	-	6	10/4	-	46	1...60	1,8	3,3	-40...+85	LQFP64		
LPC2124FHN64	16	256	+	2 × 32	8	+	+	2	-	1	2	-	-	6	10/4	-	46	1...60	1,8	3,3	-40...+85	HVQFN64		
LPC2129FBD64	16	256	+	2 × 32	8	+	+	2	2	1	2	-	-	6	10/4	-	46	1...60	1,8	3,3	-40...+85	LQFP64		
LPC2129FHN64	16	256	+	2 × 32	8	+	+	2	2	1	2	-	-	6	10/4	-	46	1...60	1,8	3,3	-40...+85	HVQFN64		
LPC2131FBD64	8	64	+	2 × 32	8	+	-	2	-	1	2	-	-	6	10/4	10/1	47	1...60	3,3	3,3	-40...+85	LQFP64		
LPC2132FBD64	16	64	+	2 × 32	8	+	-	2	-	1	2	-	-	6	10/4	10/1	47	1...60	3,3	3,3	-40...+85	LQFP64		
LPC2134FBD64	16	128	+	2 × 32	8	+	-	2	-	1	2	-	-	6	10/4	10/1	47	1...60	3,3	3,3	-40...+85	LQFP64		
LPC2136FBD64	32	256	+	2 × 32	8	+	-	2	-	1	2	-	-	6	10/8 × 2	10/1	47	1...60	3,3	3,3	-40...+85	LQFP64		
LPC2138FBD64	32	512	+	2 × 32	8	+	-	2	-	2	1	+	-	6	10/8 × 2	10/1	47	1...60	3,3	3,3	-40...+85	LQFP64		
LPC2141FBD64	8	32	+	2 × 32	8	+	-	2	-	1	2	-	-	6	10/8	-	47	1...60	3,3	3,3	-40...+85	LQFP64		
LPC2142FBD64	16	64	+	2 × 32	8	+	-	2	-	1	2	-	-	6	10/8	10/1	47	1...60	3,3	3,3	-40...+85	LQFP64		
LPC2144FBD64	16	128	+	2 × 32	8	+	-	2	-	1	2	-	-	6	10/8	10/1	47	1...60	3,3	3,3	-40...+85	LQFP64		
LPC2146FBD64	32	256	+	2 × 32	8	+	-	2	-	1	2	-	-	6	10/8 × 2	10/1	47	1...60	3,3	3,3	-40...+85	LQFP64		
LPC2148FBD64	32	512	+	2 × 32	8	+	-	2	-	2	1	+	-	6	10/8 × 2	10/1	47	1...60	3,3	3,3	-40...+85	LQFP64		
LPC2194JBD64	16	256	+	2 × 32	8	+	+	2	4	1	2	-	-	6	10/4	-	46	1...60	1,8	3,3	-40...+105	LQFP64		
LPC2210FBD144	16	-	-	2 × 32	8	+	+	2	-	1	2	-	-	6	10/8	-	76	1...60	1,8	3,3	-40...+85	LQFP144		
LPC2212FBD144	16	128	+	2 × 32	8	+	+	2	-	1	2	-	-	6	10/8	-	112	1...60	1,8	3,3	-40...+85	LQFP144		
LPC2214FBD144	16	256	+	2 × 32	8	+	+	2	-	1	2	-	-	6	10/8	-	112	1...60	1,8	3,3	-40...+85	LQFP144		
LPC2220FBD144	64	-	-	2 × 32	8	+	+	2	-	1	3	-	-	6	10/8	-	112	1...60	1,8	3,3	-40...+85	LQFP144		
LPC2290FBD144	16	-	-	2 × 32	8	+	+	2	2	1	2	-	-	6	10/8	-	76	1...60	1,8	3,3	-40...+85	LQFP144		
LPC2292FBD144	16	256	+	2 × 32	8	+	+	2	2	1	2	-	-	6	10/8	-	112	1...60	1,8	3,3	-40...+125	LQFP144		
LPC2294JBD144	16	256	+	2 × 32	8	+	+	2	4	1	2	-	-	6	10/8	-	112	1...60	1,8	3,3	-40...+125	LQFP144		

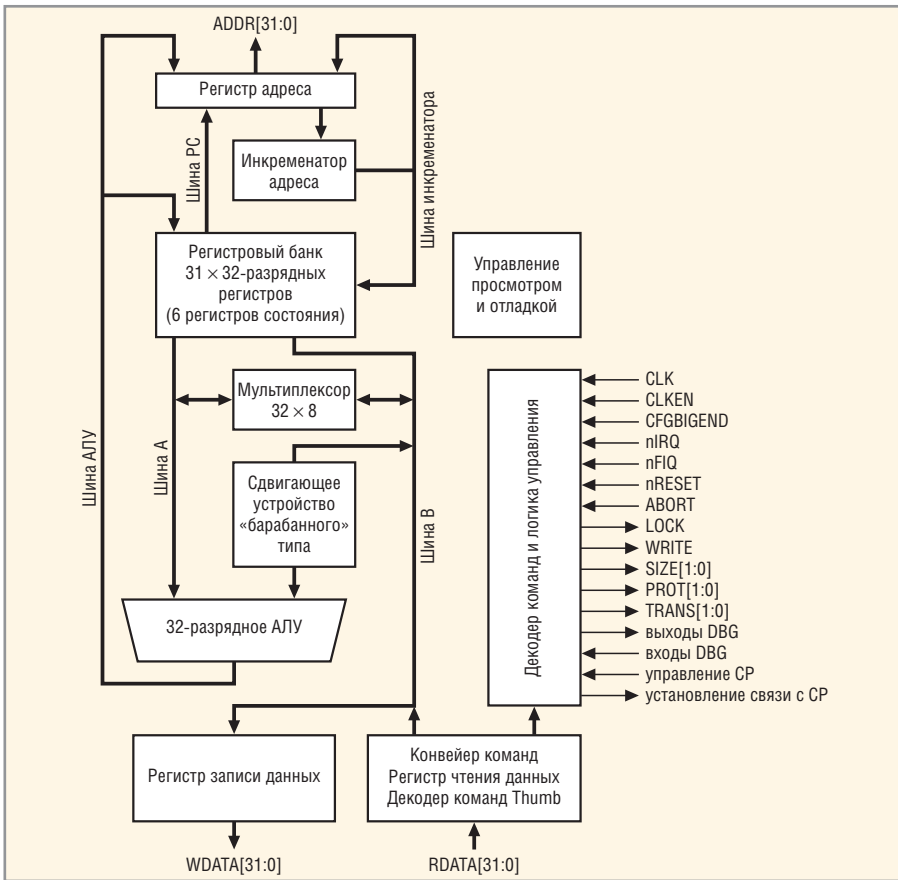


Рис. 1. Упрощенная блок-схема процессорного ядра ARM7TDMI-S

- 10 000 циклов стирания/записи до 512К;
- стандартный отладочный интерфейс JTAG;
- внутрисистемное программирование Flash-памяти (ISP);
- режим побайтового программирования Flash-памяти в составе

Таблица 2. Регистровые модели процессорного ядра ARM7TDMI-S в различных режимах состояния ARM

User, System	FIQ	Supervisor	Abort	IRQ	Undefined
R0	R0	R0	R0	R0	R0
R1	R1	R1	R1	R1	R1
R2	R2	R2	R2	R2	R2
R3	R3	R3	R3	R3	R3
R4	R4	R4	R4	R4	R4
R5	R5	R5	R5	R5	R5
R6	R6	R6	R6	R6	R6
R7	R7	R7	R7	R7	R7
R8	R8_fiq	R8	R8	R8	R8
R9	R9_fiq	R9	R9	R9	R9
R10	R10_fiq	R10	R10	R10	R10
R11	R11_fiq	R11	R11	R11	R11
R12 (IP)	R12_fiq	R12	R12	R12	R12
R13 (SP)	R13_fiq	R13_svc	R13_abt	R13_irq	R13_und
R14 (LR)	R14_fiq	R14_svc	R14_abt	R14_irq	R14_und
R15 (PC)	R15	R15	R15	R15	R15
CPSR	CPSR	CPSR	CPSR	CPSR	CPSR
	SPSR_fiq	SPSR_svc	SPSR_abt	SPSR_irq	SPSR_und

- пользовательского приложения (IAP);
- работа с 32- и 16-разрядными командами (стандартный режим ARM и режим Thumb соответственно);
- внешняя 8/16/32-разрядная шина (только для устройств LPC2000 с контроллером внешней памяти);
- многоканальный модуль ШИМ;
- интерфейсы UART (двойной), быстрый I²C (400 Кбит/с), SPI (двойной);
- интерфейсы CAN (два или четыре) с приёмными фильтрами;
- два 32-разрядных таймера с каналами сравнения и захвата;
- часы-календарь реального времени и сторожевой таймер WDT;
- интерфейс USB;
- многоканальный 10-разрядный АЦП с временем преобразования в одном канале 2,44 мкс;
- 10-разрядный модуль ЦАП;
- встроенный отладочный интерфейс ICE, позволяющий задавать точки останова;
- раздельное питание для ядра и встроенной периферии у большинства устройств (1,65...1,95 В/3,0...3,6 В), отключение неиспользуемой периферии, два режима экономии потребляемой мощности;
- индивидуальное управление питанием встроенной периферии;
- линии ввода-вывода общего назначения GPIO с питающим напряжением 3,0...3,6 В, толерантные к внешнему напряжению 5 В.

В табл. 1 приведены основные параметры большинства устройств семейства LPC2000.

ПРОЦЕССОРНОЕ ЯДРО ARM7TDMI-S

Упрощённая блок-схема процессорного ядра ARM7TDMI-S приведена на рис. 1. Ядро ARM7TDMI-S помимо стандартного базового состояния, называемого ARM, также использует дополнительное состояние, называемое Thumb. По существу процессор ARM7TDMI-S имеет две системы команд: стандартную 32-разрядную (ARM) и 16-разрядную (Thumb).

При использовании Thumb 16-разрядная длина команды позволяет в идеале приблизиться к двойной плотности стандартного кода ARM при сохранении большинства функ-

Новый x86 микроконтроллер RDC R8610

RDC®



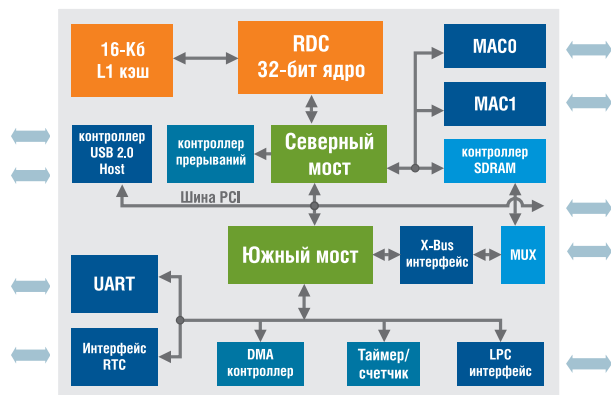
Микроконтроллер R8610

Основные достоинства

- Совместимость с популярной x86 архитектурой
- Обширные периферийные возможности
- Низкие затраты на разработку ПО
- Невысокая стоимость

Области применения

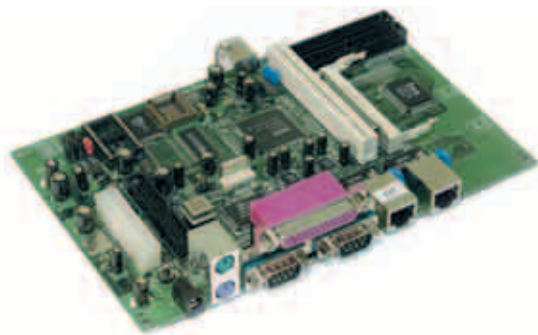
- промышленные компьютеры
- системы сбора данных
- оборудование для коммуникаций: коммутаторы пакетов, точки доступа, локальные маршрутизаторы и т.д.



Структурная схема микроконтроллера R8610

Технические характеристики

- 133 МГц 32-бит RISC ядро
- Совместимость с архитектурой 80486SX
- 16Кб кэш первого уровня
- Двухпортовый хост-контроллер USB 2.0
- Контроллер PCI rev. 2.1
- 2 контроллера Fast Ethernet MAC
- Интегрированная периферия
 - контроллер прерываний
 - контроллер DMA
 - таймеры
- Внешние интерфейсы и память
 - Flash, ROM, SDRAM
 - порт UART
 - LPC интерфейс
- 56 портов ввода-вывода общего назначения
- Поддержка WinCE, Linux и других ОС
- Питание ядра 1.8В, подсистемы ввода/вывода 3.3В



Оценочная плата: полнофункциональный промышленный компьютер



Доступен набор для разработчиков и полный комплект технической документации

PROSOFT®

ПРОСОФТ — АКТИВНЫЙ КОМПОНЕНТ ВАШЕГО БИЗНЕСА

Телефон: (495) 232-2522 • E-mail: info@prochip.ru • Web: www.prochip.ru

© CIA-IPЕСС

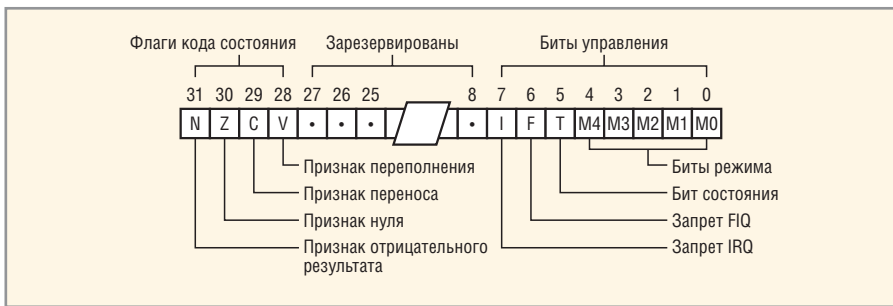


Рис. 2. Битовая структура регистра состояния CPSR

ций кода ARM. Последнее возможно, потому что код Thumb оперирует тем же самым набором 32-разрядных регистров, что и код ARM. По некоторым оценкам, размер кода Thumb составляет до 65% размера функционально эквивалентного ему кода ARM.

Для получения более подробной информации об архитектуре и особенностях построения ARM7TDMI-S рекомендуется обратиться к [3, 4].

Таблица 3. Задание режимов процессора с помощью битов режима

Биты M4...M0	Режим
10000	User
10001	FIQ
10010	IRQ
10011	Supervisor
10111	Abort
11011	Undefined
11111	System

Таблица 4. Регистровые модели процессорного ядра ARM7TDMI-S в различных режимах состояния Thumb

User, System	FIQ	Supervisor	Abort	IRQ	Undefined
R0	R0	R0	R0	R0	R0
R1	R1	R1	R1	R1	R1
R2	R2	R2	R2	R2	R2
R3	R3	R3	R3	R3	R3
R4	R4	R4	R4	R4	R4
R5	R5	R5	R5	R5	R5
R6	R6	R6	R6	R6	R6
R7	R7	R7	R7	R7	R7
SP	SP_fiq	SP_svc	SP_abt	SP_irq	SP_und
LR	LR_fiq	LR_svc	LR_abt	LR_irq	LR_und
PC	PC	PC	PC	PC	PC
CPSR	CPSR	CPSR	CPSR	CPSR	CPSR
	SPSR_fiq	SPSR_svc	SPSR_abt	SPSR_irq	SPSR_und

Режимы работы и регистровые модели процессора

В состоянии ARM процессор может функционировать в одном из следующих режимов:

- User – выполнение программ пользователя;
- Supervisor – работа под управлением операционной системы (ОС), которая оперирует данными, недоступными программам пользователя;
- System – режим выполнения системных программ, при котором ОС работает с данными пользователя;
- IRQ – режим обработки прерываний, в который попадает процессор при поступлении запроса прерывания низшего уровня на вход IRQ;
- FIQ (Fast IRQ) – режим быстрой реакции на прерывания, в который попадает процессор при поступлении запроса высшего уровня на вход FIQ;
- Abort – режим, в который переходит процессор при ошибке обра-

щения к памяти. Эти ошибки фиксируются контроллером прерываний, который выдаёт процессорному ядру запрос на переход в режим Abort;

- Undefined – режим, в который процессор переходит при выборке неправильного кода команды.

Все режимы функционирования процессора, кроме режима User, называются привилегированными. Каждому режиму соответствует определённая регистровая модель, содержащая набор 32-разрядных регистров, доступных процессору в этом режиме. Все возможные регистровые модели для состояния ARM показаны в табл. 2. Регистры, имена которых выделены в таблице жирным шрифтом, являются банкированными. Это значит, что они используются только в том режиме, на который указывают их суффиксы (_fiq, _svc, _abt, _irq, _und) вместо соответствующих им регистров без суффиксов. При переходе в этот режим из других режимов текущее содержимое регистров без суффиксов автоматически переписывается в соответствующие банкированные регистры, которые затем используются в программе. Регистр R15 выполняет функции программного счётчика (PC). Регистр R14 (LR) используется при вызовах подпрограмм как регистр связи, в котором сохраняется текущее содержимое PC для возврата в основную программу. Для организации стека в качестве указателя его вершины производителем рекомендуется использовать регистр R13 (SP).

Битовая структура регистра CPSR показана на рис. 2. Регистр CPSR содержит следующие биты:

- M4...M0 – определяют режим работы процессора в соответствии с табл. 3;
- T – задаёт состояние процессора: ARM (T = 0) или Thumb (T = 1);
- I, F – маскируют (запрещают) обработку прерываний IRQ и FIQ соответственно;
- N, Z, C, V – являются признаками отрицательного результата (N), нуля (Z), переноса (C) и переполнения (V), значения которых могут устанавливаться в соответствии с результатом выполнения очередной команды.

Регистр CPSR доступен для записи во всех режимах, кроме режима User.

При запуске процессор начинает работу в режиме Supervisor. Переход в базовый режим User реализуется путём записи в CPSR содержимого, в котором биты M4...M0 = 10000. Обратное переключение из режима User в режим Supervisor может быть произведено только при поступлении команды программного прерывания, имеющей мнемонику SWI. Программа режима Supervisor получает доступ ко всем регистрам режима User, если выполнит переход в режим System, записав в CPSR значение битов M4...M0 = 11111. Переход в режимы IRQ, FIQ, Abort, Undefined происходит автоматически при поступлении соответствующих запросов прерывания или при наступлении соответствующих событий.

При переходе в другой режим текущее содержимое регистра CPSR (слово состояния) автоматически переписывается в регистр SPSR_xxx, соответствующий новому режиму, и автоматически сохраняется в теновом регистре. При возврате в исходный режим содержимое CPSR автоматически восстанавливается

Таблица 5. Вектора исключений ARM7TDMI-S

Адрес вектора в памяти	Исключение	Режим	Состояние бита I	Состояние бита F
0x00000000	Reset	Supervisor	Замаскирован	Замаскирован
0x00000004	Undefined instruction	Undefined	I	F
0x00000008	Software interrupt	Supervisor	Замаскирован	F
0x0000000C	Abort (Prefetch)	Abort	I	F
0x00000010	Abort (Data)	Abort	I	F
0x00000014	Зарезервировано	Зарезервировано	–	–
0x00000018	IRQ	IRQ	Замаскирован	F
0x0000001C	FIQ	FIQ	Замаскирован	Замаскирован

из сохранённой копии. Помимо этого, для каждого режима имеются отдельные банкированные регистры R13_xxx (SP) и R14_xxx (LR), поэтому при переключении режимов сохраняются текущие значения указателя стека и регистра связи. При переходе в режим FIQ помимо вышеперечисленных регистров сохраняется текущее содержимое регистров R8...R12, вместо которых в этом режиме используются банкированные регистры R8_fiq – R12_fiq.

Переход процессора из состояния ARM в состояние Thumb и обратно производится с помощью команды с мнемоникой BX. При выполнении программы встроенный декодер преобразует команды, записанные в системе Thumb, в команды ARM. Система команд Thumb имеет ряд особенностей и ограничений по сравнению с системой ARM. Набор регистров в состоянии Thumb сокращён по сравнению с набором регистров, доступным в состоянии

automotiv.tlmatix.sensors.infotainmnt.safty.

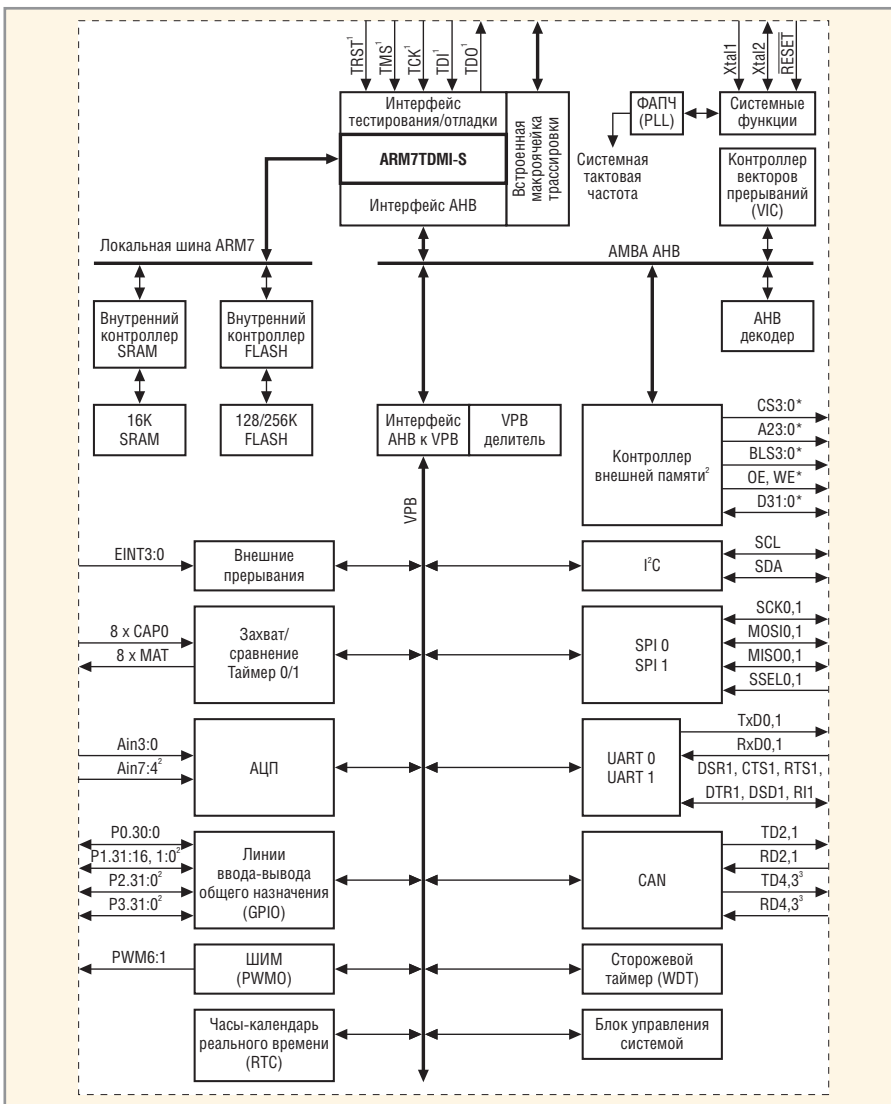


Рис. 3. Блок-схема моделей LPC2119/2129/2194/2292/2294

*Разделены с GPIO; 1 – когда используется интерфейс тестирования/отладки, функции GPIO и другие функции, совместно использующие эти выходы, недоступны; 2 – только у LPC2292/2294; 3 – только у LPC2194/2294)

ARM. Все возможные регистровые модели для состояния Thumb показаны в табл. 4.

В состоянии Thumb прямое обращение возможно только к восьми

регистрам: R0...R7. Регистры SP и LR выполняют фиксированные функции указателя вершины стека и регистра связи соответственно. Обработываемые данные сохраняют

Таблица 6. Местоположения векторов исключений МК семейства LPC2000

Адрес	Исключение
0x0000 0000	Сброс (запуск)
0x0000 0004	Неопределённая (неправильная) команда
0x0000 0008	Программное прерывание
0x0000 000C	Аварийное прекращение работы выбора с упреждением (ошибка выборки команды из памяти)
0x0000 0010	Аварийное прекращение выборки данных (ошибка доступа к данным в памяти)
0x0000 0014	Зарезервировано*
0x0000 0018	IRQ
0x0000 001C	FIQ

*В документации ARM этот адрес идентифицируется как зарезервированный. В устройствах семейства LPC2000 этот адрес используется встроенным загрузчиком как ключ (сигнатура) «правильной» пользовательской программы.

32-разрядный формат, как и в состоянии ARM.

Полные списки команд ядра ARM7 для состояний ARM и Thumb доступны соответственно в [5, 6].

Обработка исключений

При поступлении внешнего запроса прерывания или обнаружении ошибки процессор начинает работу в соответствующем данному исключению режиме: IRQ, FIQ, Abort или Undefined. При этом соблюдается следующая очередность действий:

1. Адрес следующей команды автоматически сохраняется в соответствующем регистре LR (R14_xxx);
2. Содержимое CPSR автоматически копируется в соответствующий регистр SPSR_xxx;
3. Значения битов M4...M0 в CPSR автоматически устанавливаются в соответствии с новым режимом работы процессора: IRQ, FIQ, Abort или Undefined;
4. Из размещённой в памяти таблицы векторов прерываний в PC загружается адрес первой команды обработчика прерывания (табл. 5).

Исключение всегда обрабатывается в состоянии ARM. Если исключение генерируется, когда процессор находится в состоянии Thumb, то переключение в состояние ARM производится автоматически.

Для выполнения возврата из обработчика исключения программа должна произвести следующие действия:

1. Восстановить содержимое CPSR из SPSR_xxx;
2. Разрешить прерывания, запрещённые при входе в текущий обработчик;
3. Загрузить в PC адрес возврата из регистра LR с вычитанием смещения с помощью команды выхода из соответствующего прерывания.

Ядро ARM7TDMI обеспечивает генерацию семи видов исключений, которые перечислены ниже в порядке убывания их приоритета:

1. Reset – генерируется при снятии активного уровня сигнала сброса с вывода процессора nRESET. Процессор переходит в режим Supervisor и начинает выполнение программы с адреса памяти 0x00000000;
2. Data Abort – ошибка при обращении к данным. Процессор переходит в режим Abort;

3. FIQ – генерируется при подаче сигнала прерывания на один из выводов nFIQ процессора. Процессор переходит в режим FIQ;
 4. IRQ – возникает при подаче сигнала прерывания на один из выводов nIRQ процессора. Процессор переходит в режим IRQ. Прерывания IRQ имеют более низкий приоритет по отношению к прерываниям FIQ;
 5. Prefetch Abort – ошибка при выборке команды. При генерации исключения Prefetch Abort процессор переходит в режим Abort;
 6. Undefined Instruction – выборка неправильного кода команды. Когда процессор сталкивается с командой, которую не может обработать, ядро переходит в режим Undefined;
 7. Software Interrupt – программное прерывание по команде SWI. Процессор переходит в режим Supervisor. Программные прерывания используются, как правило, для вызова функций ОС.
- Вектора исключений (прерываний) располагаются в памяти после-

довательно, начиная с адреса 0x00000000 (вектор Reset), как показано в таблице 6.

АРХИТЕКТУРА LPC2000

Описание семейства LPC2000 в этой статье будет производиться на примере моделей LPC2119/2129/2194/2292/2294, подробная информация о которых представлена в [2].

Блок-схема МК LPC2000 на примере моделей LPC2119/2129/2194/2292/2294 приведена на рисунке 3. Для программного управления ресурсами микроконтроллера служат специальные регистры. Они могут быть доступны для чтения и записи, только для чтения или только для записи. В графе «Дотуп» приводимых далее таблиц с описаниями специальных регистров имеются соответствующие обозначения R/W, RO, WO. Регистры в LPC2000 могут быть размером 8, 16 или 32 разряда.


Все МК семейства LPC2000 имеют процессорное ядро ARM7TDMI-S с поддержкой эмуляции, шину ARM7

контроллера встроенной памяти, шину AMBA Advanced High-performance Bus (AHB) контроллера прерываний и шину VLSI Peripheral Bus (VPB) встроенных периферийных устройств.

Продолжение следует


ЛИТЕРАТУРА

1. Редькин П.П. Микроконтроллеры ARM7. Семейство LPC2000 компании Philips: полное руководство пользователя. М.: Додэка/XXI. 2006 (готовится к выпуску).
2. LPC2119/2129/2194/2292/2294 User Manual. Feb. 2004. Philips Semiconductors (www.LPC2000.com).
3. ARM 7TDMI Data Sheet. Document Number: ARM DDI 0029E. Issued: August 1995. Copyright Advanced RISC Machines Ltd. (ARM) 1995 (www.arm.com).
4. ARM7TDMI-S Technical Reference Manual (Rev 4) Copyright © ARM Limited. ARM DDI 0234A (www.arm.com).
5. ARM Instruction Set. Quick Reference Card (www.arm.com).
6. Thumb Instruction Set. Quick Reference Card (www.arm.com). ©



НОВИНКА! **electronica automotive Conference** –
топ-событие активного общения для
международного автобизнеса.
13 – 15.11.2006 в Мюнхенском
конгресс-центре «ICM».

automotive.e.telematics.sensors.infotainment.safety.




www.global-electronics.net

Центр информации
немецкой экономики
119017 Москва
тел. (495) 234 49 50
факс (495) 234 49 51
kovalevko@izdew.ru

Get the whole picture.

Отправьтесь в динамичный мир автомобильной электроники во всем его многообразии! На выставке представлены: инновационные компоненты, программы и системы, а также прикладные решения для будущего прогресса. Посетите крупнейший форум электронной промышленности и установите прямые контакты с рыночными лидерами!
Инфо: www.electronica.de/2006/automotive



22-я международная выставка
по комплектующим и монтажу
в электронике
Ноябрь Мессе Мюнхен, 14 – 17.11.2006 г.