

Практический курс сквозного проектирования цифровых устройств на основе ПЛИС фирмы Xilinx

(часть 10)


Валерий Зотов (Москва)



В десятой части курса основное внимание уделено изучению содержания и выполнения этапа синтеза разрабатываемого устройства. Представлена информация о назначении и возможных значениях параметров процесса синтеза, выполняемого с помощью средств XST САПР серии Xilinx ISE, для последующей реализации проектируемого устройства на базе ПЛИС с архитектурой CPLD. Рассмотрен процесс выполнения этапа синтеза разрабатываемого устройства. Приводится описание структуры отчёта о выполнении этапа синтеза.

Функциональное моделирование проектируемого устройства с помощью системы ModelSim



Процесс функционального моделирования проектируемого устройства активизируется двойным щелчком левой кнопки мыши на строке *Simulate Behavioral Model* в окне процессов Навигатора проекта. При этом средствами САПР серии Xilinx ISE автоматически создаётся пакетный файл, который содержит последовательность команд управления программой *ModelSim*, необходимых для проведения сеанса функционального моделирования разрабатываемого устройства. Далее автоматически производится запуск средств моделирования, сразу после инициализации которых выполняется этот командный файл (если только параметр *Use Automatic Do File* не был установлен в состояние «выключено»). Информация о ходе выполнения пакетного файла отображается в консольной области основного окна системы моделирования *ModelSim*. При этом последовательно открываются вспомогательные окна этой программы, которые были указаны в параметрах инициализации. После завершения выполнения командного файла при необходимости моделирование может быть продолжено в интерактивном режиме.



Как правило, наибольший интерес для разработчика представляют результаты функционального модели-

рования, которые отображаются в графическом виде в окне временных диаграмм системы *ModelSim*. Для их просмотра, прежде всего, необходимо выбрать требуемый масштаб изображения. Увеличение масштаба осуществляется с помощью кнопки , расположенной на оперативной панели управления окна временных диаграмм, или команды *Zoom In* из всплывающего меню *Zoom*, доступ которому предоставляет пункт *View* основного меню.

Чтобы уменьшить масштаб изображения, следует использовать кнопку быстрого доступа  на оперативной панели или команду *Zoom Out*. Однократное применение этих инструментов приводит к изменению масштаба в два раза. Для детального просмотра выбранного фрагмента временных диаграмм следует воспользоваться кнопкой  на оперативной панели или командой *Zoom Range*. При этом, чтобы указать интересующую область изображения результатов моделирования, следует поместить курсор мыши на одну из её границ, нажать левую кнопку мыши и, не отпуская её, раздвинуть появившиеся курсоры до границ требуемого диапазона, после чего освободить нажатую кнопку.

Перемещение по временным диаграммам осуществляется с помощью элементов прокрутки, расположенных вдоль нижней и правой границ панели результатов моделирования в окне временных диаграмм. Кроме то-

го, на оперативной панели имеются кнопки быстрого доступа  и , обеспечивающие перемещение курсора в предыдущую или последующую точку переключения выбранного сигнала. При открытии окна диаграмм сигналов курсор находится в начальной точке временной шкалы, соответствующей нулевому значению времени моделирования. Чтобы переместить его в требуемую точку, следует расположить указатель мыши в этой позиции и щёлкнуть левой кнопкой, после чего изображение курсора будет зафиксировано в новом положении. Допускается также перетаскивание курсора в новую точку с помощью мыши, которое выполняется при нажатой левой кнопке.

Для большей наглядности при работе с временными диаграммами сигналов, полученными в результате моделирования, следует использовать дополнительные курсоры. Чтобы добавить ещё один курсор, необходимо нажать кнопку  на оперативной панели управления. При наличии нескольких указателей активный курсор изображается сплошной линией, а остальные курсоры – штриховой линией. При необходимости можно использовать несколько дополнительных курсоров. В последующем для удаления неиспользуемых указателей можно воспользоваться кнопкой  на оперативной панели управления или командой *Delete Cursor* из всплывающего меню *Edit*.



В ряде случаев для большей наглядности результатов моделирования можно представить совокупность выбранных сигналов в виде шины. Для этого необходимо выделить названия соответствующих сигналов в окне временных диаграмм и выбрать команду *Combine Signals* из всплывающего меню *Tools*, после чего выводится соответствующая диалоговая панель с заголовком *Combine Selected Signals*. В этой панели в поле редакци-

рования *Result Name* с помощью клавиатуры необходимо указать название формируемого виртуального сигнала (шины). Группа кнопок с зависимой фиксацией *Order to combine selected items* позволяет выбрать порядок объединения выбранных сигналов в шину. При нажатой кнопке *Top down* выделенные сигналы объединяются в шину в порядке их расположения в окне временных диаграмм сверху вниз. Если в нажатое состояние переключается кнопка *Bottom up*, то сигналы группируются в шину в обратном порядке.

С помощью группы кнопок *Order of Result Indexes* выбирается порядок следования индексов сигналов в созданной шине. Когда в нажатом состоянии находится кнопка *Ascending*, первому сигналу, выделенному в окне временных диаграмм, присваивается нулевой индекс, а последнему сигналу – максимальный индекс. Нажатое состояние кнопки *Descending* соответствует обратному порядку присвоения индексов сигналам в формируемой виртуальной шине. Параметр *Remove selected signals after combining* предоставляет возможность удаления сигналов после их объединения в виртуальную шину. По умолчанию для этого параметра установлено значение «выключено», запрещающее удаление из окна временных диаграмм сигналов, которые включены в состав виртуальной шины. Сформированный виртуальный сигнал отображается в списке пиктограммой в форме ромба красного цвета, в отличие от реальных сигналов, обозначаемых пиктограммой в виде квадрата синего цвета.

При автоматическом создании командного файла для сеанса моделирования средства САПР серии Xilinx ISE включают в список контролируемых сигналов только интерфейсные сигналы моделируемого объекта. Но в процессе отладки часто возникает необходимость отображения поведения внутренних сигналов в различных модулях проекта. Для этого следует в иерархической структуре проекта, представленной на странице Structure, выбрать интересующий объект, поместив курсор мыши на строку с его названием и щёлкнув левой кнопкой мыши.

При необходимости можно перейти в развёрнутое состояние требуемые узлы (разделы) в иерархичес-

кой структуре проекта. Затем следует захватить требуемый элемент, поместив курсор мыши на строку с его названием, нажать левую кнопку мыши и, не отпуская её, перетащить элемент в область названий сигналов окна временных диаграмм. Далее можно продолжить моделирование с текущего момента времени или повторить выполненные процедуры с начала. В последнем случае надо сбросить результаты моделирования и вернуть систему в начальное состояние, выполнив команду *Restart* из всплывающего меню *Run*, доступ к которому открывает пункт *Simulate* главного меню основного окна программы *ModelSim*, или нажать кнопку  на оперативной панели управления. Повторное моделирование запускается командой *Run-All* или кнопкой быстрого доступа .

Результаты моделирования, полученные в текущем сеансе, автоматически сохраняются в виде набора данных (*dataset*) с именем *vsim* в формате WLF (Wave log format). Чтобы сохранить результаты моделирования в файле с другим названием, следует выполнить команду *Save* из всплывающего меню *File* основного окна системы *ModelSim*. После этого открывается стандартная панель сохранения файла, в которой необходимо выбрать тип файла – *sim dataset* – и указать с помощью клавиатуры требуемое название набора данных. Для завершения этапа функционального моделирования следует выполнить команду *End Simulation* из меню *Simulate* и закрыть основное окно системы *ModelSim*. Если полученные результаты моделирования соответствуют алгоритму функционирования разрабатываемого устройства, можно переходить к очередным этапам проектирования. При обнаружении ошибок следует внести необходимые изменения в текст соответствующего исходного описания, после чего повторно активизировать процесс функционального моделирования.

КРАТКОЕ ОПИСАНИЕ ПОЛЬЗОВАТЕЛЬСКОГО ИНТЕРФЕЙСА ВСТРОЕННЫХ СРЕДСТВ МОДЕЛИРОВАНИЯ XILINX ISE SIMULATOR

В состав графического интерфейса встроенных средств моделирования Xilinx ISE Simulator входят три окна:

- окно временных диаграмм (*Waveform Display*);
- встроенная панель обозревателя иерархической структуры моделируемого устройства (*Hierarchy Browser*);
- встроенная панель консольных сообщений (*Simulation Console*).

Окно временных диаграмм по умолчанию открывается в области расположения рабочих окон Навигатора проекта. Данное окно имеет заголовок *Simulation*, который отображается на соответствующей закладке. Структура этого окна подобна структуре рабочего окна редактора временных диаграмм *Test Bench Waveform Editor*, рассмотренного в предыдущей части курса. Основным отличием этих окон является цвет фона.

В верхней части окна временных диаграмм находится временная шкала, которая предназначена для отображения текущих значений времени моделирования проектируемого устройства. Рабочая область этого окна разделена на три колонки с изменяемыми границами. В первой колонке приводится список названий анализируемых сигналов моделируемого устройства. Слева от названия сигнала приведена пиктограмма, обозначающая его тип. Во второй колонке отображаются текущие значения сигналов, которые соответствуют времени моделирования, отмеченному курсором. Третья колонка содержит непосредственно временные диаграммы выбранных сигналов.

Сигналы векторного типа по умолчанию отображаются в виде шин соответствующей разрядности. Выбор формы представления числовых значений таких сигналов (двоичной – *Binary*, десятичной – *Decimal* или шестнадцатеричной – *Hexdecimal*) осуществляется с помощью соответствующих команд контекстно-зависимого всплывающего меню, открываемого щелчком правой кнопки мыши при расположении курсора на изображении временной диаграммы выбранного сигнала. Для отображения временных диаграмм всех сигналов, входящих в состав шины, следует поместить курсор мыши на знак «+», расположенный слева от условного обозначения этой шины, и щёлкнуть левой кнопкой мыши.

Встроенная панель обозревателя иерархической структуры моделируемого устройства отображается в виде соответствующей страницы окна про-

цессов Навигатора проекта. Эта страница имеет заголовок *Sim Hierarchy* <название_тестового_модуля>. Данная страница открывает доступ ко всей совокупности внутренних сигналов испытательного стенда, который соответствует выбранному тестовому модулю проекта. Совокупность внутренних сигналов представлена в форме иерархической структуры.





Встроенная панель консольных сообщений предназначена для отображения выполняемых команд и всех сообщений программы Xilinx ISE Simulator, которые появлялись в текущем сеансе моделирования. В нижней части этой панели отображается командная строка, которая позволяет набирать команды управления, используя клавиатуру. Встроенная панель консольных сообщений интегрированных средств моделирования Xilinx ISE Simulator отображается в форме страницы в консольной области Навигатора проекта. Эта страница имеет заголовок *Sim Console* <название_тестового_модуля>.


Управление процессом моделирования осуществляется с помощью команд всплывающего меню *Simulation*, которое открывается при выборе одноименного пункта в основном меню Навигатора проекта. Следует обратить внимание на то, что пункт *Simulation* автоматически появляется в основном меню Навигатора проекта только при запуске процесса моделирования. При этом на оперативной панели появляется группа кнопок быстрого доступа, которые дублируют наиболее часто используемые команды управления моделированием.

ФУНКЦИОНАЛЬНОЕ МОДЕЛИРОВАНИЕ ПРОЕКТИРУЕМОГО УСТРОЙСТВА С ПОМОЩЬЮ ВСТРОЕННЫХ СРЕДСТВ XILINX ISE SIMULATOR



Запуск процесса функционального моделирования проекта осуществляется двойным щелчком левой кнопки мыши на строке *Simulate Behavioral Model* в окне процессов Навигатора проекта, в результате чего автоматически создаётся командный файл для встроенных средств Xilinx ISE Simulator. Содержимое этого командного файла формируется в соответствии с установленными значениями параметров функционального моделирования и исполь-

зуемым тестовым модулем проекта. Сразу после создания командного файла автоматически осуществляется его исполнение, информация о котором отображается во встроенной панели консольных сообщений. При этом в окне процессов появляется встроенная панель обозревателя иерархической структуры моделируемого устройства; затем с некоторой задержкой, которая зависит от установленного времени моделирования, открывается окно временных диаграмм.


Выбор требуемого масштаба изображения в окне временных диаграмм осуществляется с помощью команд всплывающего меню *Zoom*, доступ к которому открывается при выборе пункта *Simulation* основного меню Навигатора проекта, и кнопок быстрого доступа, расположенных на оперативной панели управления. Для увеличения масштаба необходимо воспользоваться командой *Zoom In* или кнопкой , а для уменьшения – командой *Zoom Out* или кнопкой . Чтобы получить подробное изображение выбранного фрагмента временных диаграмм, следует, прежде всего, выполнить команду *Zoom To Box* или нажать кнопку . После этого необходимо поместить курсор мыши в точку расположения одного из углов интересующей прямоугольной области изображения, нажать левую кнопку мыши и, не отпуская её, растянуть появившийся контур до требуемых границ, после чего освободить нажатую кнопку. Для просмотра всех временных диаграмм полностью в видимой части окна следует воспользоваться командой *Zoom Full* или кнопкой быстрого доступа .




Применение специальных маркеров (дополнительных курсоров), располагаемых в требуемых точках временных диаграмм, позволяет существенно повысить эффективность контроля полученных результатов моделирования. Для установки маркера необходимо нажать кнопку  на оперативной панели управления или выполнить команду *Single Marker* из всплывающего меню *Markers*, доступ к которому открывается при выборе пункта *Simulation* основного меню Навигатора проекта. После этого курсор мыши приобретает вид вертикальной стрелки. Расположив этот курсор в интересующей точке временной диаграммы, следует зафиксиро-

вать его нажатием левой кнопки мыши. Для изменения расположения установленного маркера необходимо поместить курсор мыши на изображение этого маркера и нажать левую кнопку. После этого, не отпуская нажатую кнопку, следует переместить курсор мыши в требуемую точку временных диаграмм. Новое место расположения маркера фиксируется при освобождении левой кнопки мыши.

Если в области временных диаграмм установлено несколько маркеров, то для быстрого перемещения от одного маркера к другому следует воспользоваться соответствующими кнопками быстрого доступа или командами из всплывающего меню *Markers*. При нажатии кнопки  или выборе команды *Go to Next Marker* осуществляется перемещение к следующему маркеру. Нажатие кнопки  или выполнение команды *Go to Previous Marker* позволяет вернуться к предыдущему маркеру. Для удаления неиспользуемого маркера необходимо выделить его, расположив курсор мыши на соответствующем изображении и щёлкнув левой кнопкой, и воспользоваться командой *Delete* из контекстно-зависимого всплывающего меню, открываемого щелчком правой кнопки мыши.

Чтобы продолжить моделирование после завершения выполнения автоматически сформированного командного файла с текущего момента времени или начать этот процесс с начала, следует использовать соответствующие команды из всплывающего меню *Simulation* или кнопки быстрого доступа, расположенные на оперативной панели управления Навигатора проекта. Кроме того, управление процессом дальнейшего моделирования может осуществляться с помощью директив, указываемых в командной строке встроенной панели консольных сообщений. Полный список консольных команд приведён в документации на интегрированные средства моделирования Xilinx ISE Simulator.

Для выполнения процесса моделирования в течение указанного интервала времени следует воспользоваться кнопкой  или командой *Run For Specified Time*. Длительность интервала моделирования указывается в поле выбора/редактирования, которое расположено на оперативной панели справа от кнопок управления моделированием. Чтобы сбросить резуль-

таты моделирования и вернуть систему в начальное состояние, необходимо выполнить команду *Restart* или нажать кнопку  на оперативной панели управления. Для осуществления моделирования в течение всего интервала времени, заданного в тестовом модуле проекта, следует воспользоваться командой *Run All* или кнопкой быстрого доступа . Для выполнения моделирования в пошаговом режиме предназначена команда *Step* и кнопка . При однократном использовании данной кнопки или команды исполняется одна строка HDL-кода.

Если полученные результаты функционального моделирования отличаются от ожидаемых, следует проверить и соответствующим образом отредактировать текст исходного описания разрабатываемого устройства, после чего повторить данный этап верификации проекта. При получении приемлемых результатов функционального моделирования можно приступать к следующим этапам разработки проектируемого устройства (синтезу, размещению и трассировке в кристалле).

СОДЕРЖАНИЕ ЭТАПА HDL-СИНТЕЗА ПРОЕКТИРУЕМОГО УСТРОЙСТВА ПРИ ИСПОЛЬЗОВАНИИ САПР СЕРИИ XILINX ISE

Очередной обязательной фазой в процессе разработки цифрового устройства на базе ПЛИС фирмы Xilinx является этап синтеза. На этом этапе осуществляется процесс трансформации исходного HDL-описания проектируемого устройства в список цепей, выполненный на низком логическом уровне. Если исходные описания проекта представлены не в HDL-форме, а в графической, в частности, схематехнической форме, то автоматически выполняется их преобразование в требуемый HDL-формат. Элементы низкоуровневого описания, формируемого в процессе синтеза, должны соответствовать архитектуре семейства ПЛИС, выбранного для реализации проекта. Синтезированный список цепей должен быть максимально адаптирован к ресурсам используемого кристалла, что обеспечивает его эффективное отображение средствами размещения и трассировки на физическом уровне.

Поэтому результаты синтеза одного и того же проекта отличаются при использовании ПЛИС семейств CPLD и FPGA.

Процесс синтеза начинается с проверки синтаксиса текста описания проектируемого устройства на языке HDL. При отсутствии ошибок осуществляется анализ исходного HDL-описания, в ходе которого делаются попытки выделения блоков кода, представимых в виде соответствующих макросов. Использование макросов часто позволяет повысить производительность разрабатываемого устройства, поэтому средства синтеза пытаются идентифицировать как можно большее их количество. Выделенные макросы в процессе последующей оптимизации, выполняемой на этапе синтеза, могут сохраняться в виде отдельных блоков или оптимизироваться совместно с окружающей логикой. Выбор одного из этих способов представления с целью достижения наилучших результатов оптимизации определяется типом и размером макроса. Управление процессом идентификации макросов различного типа (например, ПЗУ,

*Реальность,
созданная интеллектом*



КОНТРАКТНОЕ ПРОИЗВОДСТВО ЭЛЕКТРОНИКИ

- Монтаж на линиях SMD и селективной DIP пайки
- Автоматизированная оптическая инспекция качества
- Документированный рентген-контроль BGA

- Электромеханическая корпусная сборка шкафов
- Отлаженное комплектование производства
- Печатные платы безупречного качества
- Кабели, шлейфы, жгуты, контроль качества

- Передние панели, шильды, радиаторы
- Влагозащита, контроль качества лакирования
- Программирование, тестирование, испытания
- Разработка, редизайн, замена компонентов
- Светотехнические решения «CREE», «Xlight»



www.fasteko.ru

Телефон: (495) 739-0775 • Факс: (495) 739-0776 • E-mail: product@fastwel.ru

реклама


ОЗУ, мультиплексоров, дешифраторов, приоритетных шифраторов, регистров сдвига) осуществляется с помощью соответствующих ограничений или параметров синтеза HDL options, которые будут рассмотрены в последующих разделах. Выделенные макросы могут быть реализованы с помощью макрогенераторов, входящих в состав средств синтеза, размещения и трассировки.

Следующим шагом в процессе синтеза является оптимизация, которая при использовании ПЛИС семейств FPGA выполняется в два захода. Вначале выполняется оптимизация каждого отдельного объекта или модуля HDL-описания. Затем производится их объединение, и создаётся полный список соединений (*netlist*) проекта. Завершающим шагом является оптимизация полученного списка цепей.

Основным результатом этапа синтеза, выполняемого средствами Xilinx Synthesis Technology (XST), является формирование файла с расширением NGC, который представляет собой описание проектируемого устройства на низком логическом уровне в формате, воспринимаемом программами трассировки САПР серии Xilinx ISE. Синтезированный файл включает в себя не только полный список соединений разрабатываемого устройства, представленный в файлах формата EDIF (*Electronic Data Interchange Format*), но и информацию о заданных ограничениях, содержащихся в файле NCF (*Netlist Constraints File*).

УСТАНОВКА ПАРАМЕТРОВ СИНТЕЗА ПРОЕКТИРУЕМОГО УСТРОЙСТВА, РЕАЛИЗУЕМОГО НА БАЗЕ ПЛИС ТИПА CPLD

До запуска процесса синтеза следует проконтролировать и при необходимости установить требуемые значения его параметров. Чтобы получить доступ к этим параметрам, необходимо в окне исходных модулей (*Sources Window*) Навигатора проекта (*Project Navigator*) открыть список всех созданных файлов, которые используются в процессе синтеза. Для этого следует в выпадающем списке поля выбора *Sources for* указать строку *Synthesis/Implementation*. Затем в списке, появившемся в окне *Sources Window*, необходимо выделить строку с названием исходного модуля описания верхнего уровня иерархии проекта. Далее необходимо в окне процессов

Processes Window, развернув строку *Implement Design*, щелчком левой кнопки мыши выделить строку *Synthesize – XST*, после чего нажать кнопку , расположенную на оперативной панели Навигатора проекта, или воспользоваться командой *Properties* контекстно-зависимого всплывающего меню, которое выводится при щелчке правой кнопки мыши. В результате выполненных действий на экране монитора отображается диалоговая панель параметров синтеза.

Эта диалоговая панель содержит три страницы с названиями *Synthesis options*, *HDL options* и *Xilinx Specific options*, доступ к которым открывает список *Category*, расположенный в левой части этой панели. Чтобы активировать требуемую страницу этой диалоговой панели, достаточно выделить в списке *Category* строку с её названием. Каждая из этих страниц содержит соответствующую группу (категорию) параметров, представленных в виде таблицы, структура которой была подробно рассмотрена выше. Чтобы изменить значение параметра, следует щелчком левой кнопки мыши активировать соответствующее поле таблицы и воспользоваться кнопкой управления выпадающим списком значений; если параметр имеет два состояния (включено/выключено), щёлкнуть левой кнопкой мыши на поле индикатора состояния.

Содержание страниц диалоговой панели параметров синтеза зависит от выбранного семейства ПЛИС и языка описания HDL. В последующих разделах рассматриваются параметры синтеза для реализации разрабатываемого устройства на базе семейств ПЛИС с архитектурой CPLD. При этом основное внимание уделяется параметрам синтеза исходных описаний, представленных на языке VHDL.

КРАТКОЕ ОПИСАНИЕ ПАРАМЕТРОВ СИНТЕЗА, ПРЕДНАЗНАЧЕННЫХ ДЛЯ УПРАВЛЕНИЯ ОПТИМИЗАЦИЕЙ ПРОЦЕССА СИНТЕЗА

Страница *Synthesis options* объединяет параметры, предназначенные в основном для управления оптимизацией процесса синтеза. Параметр *Optimization Goal* позволяет выбрать критерий оптимизации и может принимать одно из двух значений: *Speed* и *Area*. Значение *Speed* устанавливает

стратегию оптимизации, ориентированную на достижение максимального быстродействия проектируемого устройства. При выборе значения *Area* оптимизация выполняется с целью минимизации используемой области (ресурсов) кристалла. По умолчанию установлено значение *Speed*.

Параметр *Optimization Effort* определяет уровень производимой оптимизации и имеет два возможных значения: *Normal* и *High*. Если задано значение *Normal*, то используются стандартные алгоритмы оптимизации. При выборе значения *High* выполняется дополнительная оптимизация с учётом особенностей архитектуры выбранного кристалла ПЛИС, что позволяет достичь более высоких результатов, но приводит к увеличению времени вычислений. По умолчанию установлено значение *Normal*.

Значение параметра *Use Synthesis Constraints File* разрешает или запрещает использование файла ограничений в процессе синтеза. По умолчанию этот параметр находится в состоянии «включено», допускающем применение файла ограничений при синтезе проекта.

Параметр *Synthesis Constraints File* предназначен для определения названия файла ограничений, используемого в процессе синтеза. Этот параметр доступен только при разрешающем значении настройки *Use Synthesis Constraints File*. Название файла ограничений может быть введено непосредственно с клавиатуры после активизации поля редактирования значения этого параметра или выбрано при использовании стандартной диалоговой панели открытия файла, которая отображается при нажатии кнопки с пиктограммой в виде многоточия «...». Файл ограничений синтеза (не путать с файлом ограничений проекта UCF) может содержать информацию о параметрах синтеза отдельных элементов разрабатываемого устройства, которые определяются в рассматриваемой диалоговой панели глобально для проекта в целом, а также о временных и топологических ограничениях, используемых программами трассировки. Учитывая, что ограничения для программы трассировки указываются в файле UCF, а собственно ограничения процесса синтеза чаще всего устанавливаются одинаковыми для

всех элементов проекта с помощью диалоговой панели параметров синтеза, можно не указывать значение параметра *Synthesis Constraints File*.

Параметр *Keep Hierarchy* определяет возможность сохранения иерархической структуры проекта в процессе синтеза. В выпадающем списке возможных значений данного параметра представлено три варианта: *Yes*, *No* и *Soft*. Если для этого параметра выбрано значение *Yes*, то объекты, определённые в модулях HDL-описаний, сохраняются в процессе синтеза и не объединяются с остальной частью проекта. При выборе значения *No* иерархия проекта в процессе синтеза не сохраняется. Значение *Soft* используется в тех случаях, когда необходимо сохранить иерархическую структуру проектируемого устройства только в процессе синтеза, но не при выполнении последующего этапа размещения и трассировки в кристалле.

С помощью параметра *Generate RTL Schematic* предоставляется возможность формирования в процессе синтеза списка соединений (*netlist*) проектируемого устройства на уровне RTL, который может затем отображаться с помощью схемотехнического редактора ECS в наглядной форме (в виде принципиальной схемы). Выпадающий список возможных значений этого параметра содержит три элемента: *YES*, *NO* и *ONLY*. Значение *YES*, установленное по умолчанию, разрешает генерацию файла, содержащего список соединений разрабатываемого устройства на RTL-уровне. Этот файл имеет расширение *NGR*. При выборе значения *NO* список соединений на RTL-уровне не создаётся. В случае установки значения *ONLY* процесс синтеза ограничивается только формированием RTL-представления проектируемого устройства в виде файла *NGR*.

Параметр *Hierarchy Separator* позволяет выбрать символ, который используется в качестве разделителя при формировании идентификаторов элементов разрабатываемого устройства в соответствии с иерархической структурой проекта. Выпадающий список возможных значений этого параметра содержит два элемента: символ подчёркивания «*_*» и «*/*». По умолчанию в качестве разделителя используется символ подчёркивания.

Параметр *Bus Delimiter* определяет формат записи данных векторного типа в списке соединений (*netlist*) проектируемого устройства, формируемом в результате выполнения этапа синтеза. В выпадающем списке допустимых значений представлено четыре вида скобок, используемых для записи векторов: *<>*, *[]*, *{}*, *()*. По умолчанию используются угловые скобки *<>*.

Значение параметра *Case* определяет, символами какого регистра (верхнего или нижнего) записываются идентификаторы цепей и экземпляров компонентов в файле, полученном в результате выполнения процесса синтеза. Выпадающий список возможных значений этого параметра включает в себя три элемента: *Maintain*, *Lower* и *Upper*. Значение *Maintain*, установленное по умолчанию, предписывает сохранять текущий регистр символов, используемый в исходных модулях описания разрабатываемого устройства. При выборе варианта *Lower* идентификаторы цепей и экземпляров компонентов в результирующем файле будут записаны символами нижнего регистра. Чтобы использовать символы верхнего регистра для записи указанных идентификаторов, следует для рассматриваемого параметра установить значение *Upper*.

С помощью параметра *Work Directory* указывается название рабочего каталога, в котором сохраняются промежуточные результаты компи-

ляции исходных HDL-файлов описания проектируемого устройства. По умолчанию в рабочей папке проекта средствами синтеза автоматически создаётся каталог *XST*, который и рекомендуется использовать. Если необходимо выбрать другой каталог, то следует активизировать поле выбора значения этого параметра, расположив на нём курсор и щёлкнув левой кнопкой мыши. Затем следует нажать кнопку с пиктограммой в виде многоточия «...», после чего воспользоваться стандартной панелью навигации по диску компьютера.

Значение параметра *HDL INI File* содержит название *INI*-файла, в котором устанавливается соответствие HDL-библиотек для текущего проекта. Требуемый идентификатор может быть указан с помощью клавиатуры или выбран из списка, отображаемого в стандартной диалоговой панели открытия файла, которая выводится при нажатии кнопки с пиктограммой в виде многоточия «...».

Параметр *Library Search Order* позволяет указать название файла с расширением *iso*, который определяет требуемую последовательность компиляции файлов исходного описания разрабатываемого устройства. Название этого файла задаётся теми же способами, что и идентификатор *INI*-файла в предыдущем параметре. Если значение параметра *Library Search Order* не задано, то автоматически создаётся файл с расширением

Мы переключаем ваше будущее!

КОНЦЕВЫЕ ПЕРЕКЛЮЧАТЕЛИ
DIP-ПЕРЕКЛЮЧАТЕЛИ
МНОГОФУНКЦИОНАЛЬНЫЕ ПЕРЕКЛЮЧАТЕЛИ
ТАКТОВЫЕ КНОПКИ
ДВИЖКОВЫЕ ПЕРЕКЛЮЧАТЕЛИ

Diptronics, тайваньский лидер в разработке и производстве переключателей, специализируется в этой области с 1985 г.

DIPTRONICS MANUFACTURING INC.
No. 110, Wugong 3rd Road, Wugu Shiang, 24889, Taipei County, Taiwan
Tel.: +886 2 2298 9123 <http://www.dip.com.tw> E-mail: dip@dip.com.tw

Speed & Technique
ISO 9001
ISO 14001

Реклама

ISO, идентификатор которого совпадает с названием проекта.

Значение параметра *Verilog 2001* определяет возможность интерпретации кода исходного описания проектируемого устройства в соответствии со стандартом языка *Verilog 2001*. По умолчанию для данного параметра используется значение «включено», при котором текст исходного описания воспринимается в соответствии с указанным стандартом.

С помощью параметра *Verilog Include Directories* задается название каталога, в котором расположены включаемые модули, используемые в исходных описаниях разрабатываемого устройства на языке *Verilog*. Полное название требуемого каталога указывается теми же способами, что и значение параметра *Work Directory*, рассмотренного выше.

Параметр *Custom Compile File List* предназначен для определения названия пользовательского текстового файла, содержащего список компиляции исходных модулей описания проектируемого устройства. В этом списке для каждого файла исходного описания проекта указывается идентификатор библиотеки, которая ассоциируется с этим модулем. Если значение данного параметра не указано, то по умолчанию используется файл списка компиляции, автоматически формируемый средствами САПР серии Xilinx ISE.

Значение параметра *Other XST Command Line Options* позволяет определить дополнительные параметры командной строки для средств синтеза XST.

КРАТКОЕ ОПИСАНИЕ ПАРАМЕТРОВ СИНТЕЗА, УПРАВЛЯЮЩИХ СИНТЕЗОМ ОТДЕЛЬНЫХ ОБЪЕКТОВ HDL-ОПИСАНИЙ

На странице HDL Options представлены параметры, управляющие синтезом некоторых объектов HDL-описаний. Параметр *FSM Encoding Algorithm* управляет выбором метода кодирования конечных автоматов (*Finite State Machine, FSM*). Выпадающий список возможных значений этого параметра содержит девять вариантов: *auto, one-hot, compact, sequential, gray, johnson, speed1, user, none*. Значение *auto*, установленное по умолчанию, позволяет средствам синтеза автоматически выбрать для

каждого конечного автомата наилучший алгоритм кодирования. Метод *One-Hot* гарантирует, что каждый отдельный регистр предназначен для реализации одного состояния, т.е. в любой момент времени активен только один триггер. Алгоритм *Compact* позволяет минимизировать количество триггеров при синтезе конечного автомата. При выборе значения *Sequential* используется метод, заключающийся в идентификации длинных ветвей и применении последовательности двоичных кодов для представления состояний этих ветвей. Метод *Gray*, гарантирующий переключение только одной переменной между двумя последовательными состояниями, минимизирует риск возникновения паразитных импульсов. Алгоритм *Johnson* целесообразно использовать при синтезе конечных автоматов, описания которых содержат длинные цепочки без ветвлений. Вариант *speed1* следует указывать, когда в качестве критерия оптимизации, выполняемой в процессе синтеза, выбирается достижение максимального быстродействия проектируемого устройства. Значение *user* предписывает средствам синтеза использовать алгоритм кодирования, представленный в файле исходного описания. При выборе значения *none* запрещается автоматическое кодирование конечных автоматов.

Параметр *Safe Implementation* позволяет выбрать безопасный метод реализации конечных автоматов FSM. При разрешающем значении (*YES*) этого параметра в состав конечных автоматов добавляется специальная логика, которая при обнаружении непредусмотренного (недопустимого) состояния возвращает устройство в исходное состояние, позволяющее вернуться к нормальному выполнению операций. По умолчанию для параметра *Safe Implementation* используется значение *NO*, при котором специальная логика в составе конечных автоматов не применяется.

С помощью параметра *Case Implementation Style* определяется способ реализации операторов *case* при синтезе *Verilog*-описаний. Выпадающий список значений этого параметра содержит четыре значения: *None, Full, Parallel* и *Full-Parallel*. При синтезе описаний устройств, предназначенных для последующей реализации на базе ПЛИС се-

мейств CPLD, для параметра *Case Implementation Style* по умолчанию установлено значение *Full-Parallel*.

Значение параметра *Mux Extraction* разрешает (*YES*) или запрещает (*NO*) извлечение макросов мультиплексоров средствами синтеза. По умолчанию установлено значение *YES*. При этом для каждого обнаруженного описания мультиплексора, выполненного на базе некоторого внутреннего алгоритма, программа синтеза Xilinx Synthesis Technology формирует макрос или оптимизирует его совместно с остальной частью проекта. Значение *Force* указывает средствам синтеза игнорировать внутренние алгоритмы и создавать макросы для мультиплексоров.

Параметр *Resource Sharing* разрешает или запрещает совместное использование ресурсов арифметическими операторами. По умолчанию используется разрешающее значение, отображаемое маркером на поле соответствующего индикатора.

КРАТКОЕ ОПИСАНИЕ ПАРАМЕТРОВ СИНТЕЗА, УЧИТЫВАЮЩИХ ТРЕБОВАНИЯ СРЕДСТВ ТРАССИРОВКИ

Страница Xilinx Specific Options содержит параметры синтеза, которые учитывают требования средств трассировки САПР серии Xilinx ISE. Параметр *Add I/O Buffers* разрешает или запрещает автоматическое подключение буферных элементов к цепям модуля исходного описания верхнего уровня иерархии проекта, которые предназначены для соединения с выводами кристалла. По умолчанию установлено разрешающее значение («включено») этого параметра. Если входные и выходные буферные элементы были добавлены в состав модуля исходного описания проекта на стадии его разработки, то следует изменить значение этого параметра на «выключено», запрещающее автоматическое подключение этих элементов.

Параметр *Equivalent Register Removal* управляет оптимизацией триггеров в процессе синтеза. При разрешающем значении этого параметра, которое задано по умолчанию, средства синтеза исключают из состава описания проектируемого устройства триггеры, выполняющие эквивалентные функции, а также триггеры, входные сигналы которых имеют постоянный уровень, не изменяю-

щийся в процессе функционирования устройства.

Настройка *Clock Enable* указывает метод синтеза последовательной логики, использующей сигнал разрешения синхронизации (*Clock Enable*). Значение «включено», установленное по умолчанию, предписывает использование специальных ресурсов кристалла для её реализации. В противном случае, когда этот параметр принимает значение «выключено», формируется соответствующая эквивалентная логика.

С помощью параметра *Macro Preserve* указывается метод синтеза макроописаний, входящих в состав проекта. Значение «включено», уста-

новленное по умолчанию для этого параметра, определяет режим сохранения макросов в процессе синтеза и последующую их реализацию с помощью средств генерации *Macro+*. Значение «выключено» разрешает декомпозицию макросов и их генерацию средствами синтеза.

Настройка *XOR Preserve* определяет способ синтеза макросов «Исключающее ИЛИ» (*XOR*). При значении «включено», заданном по умолчанию, макроописания *XOR* сохраняются в процессе синтеза в виде макросов. Такой метод позволяет получить наилучшие с точки зрения минимизации используемых ресурсов результаты. Значение «выключено» позволяет

раскрывать *XOR*-макросы и затем объединять их с окружающей логикой в процессе синтеза.

Параметр *WYSIWYG* позволяет сохранять в процессе синтеза структуру соединений (все определённые разработчиком сигналы) исходного описания. При этом снижается уровень оптимизации проекта в процессе синтеза. По умолчанию для этого параметра установлено значение «выключено» (*None*). Выполнив необходимые изменения параметров синтеза, следует подтвердить их нажатием клавиши *OK* в нижней части диалоговой панели. ☺

Продолжение следует

Новости мира News of the World Новости мира

Пластик заменит стекло в волоконно-оптическом кабеле

Учёные из Корейского института науки и технологии (Korea Institute of Science and Technology) объявили на днях о собственном видении решения проблемы «последней мили» при прокладке кабельных сетей. Они предложили использовать вместо медных кабелей разработанный ими пластиковый волоконно-оптический кабель, способный обеспечить скорость передачи данных до 2,5 Гбит/с.

Напомним, что традиционным решением проблемы «последней мили» для кабельных систем является использование медных кабелей (витая пара) с пропускной способностью до 100 Мбит/с, чего, по мнению учёных, скоро может стать недостаточно. Использование применяемых во внутри- и межгородских магистралях стеклянных волоконно-оптических кабелей со скоростью передачи данных до 10 Гбит/с непрактично ввиду их повышенной ломкости и дороговизны.

По мнению корейских учёных, гибкий пластиковый кабель, лишённый недостатков стеклянного аналога, должен прийти на смену традиционной витой паре, увеличив скорость передачи данных для конечного пользователя примерно в 25 раз.

koreatimes.co.kr

Интернет закончится через три года

Сотрудники аналитической компании Nemertes Research Group заявляют, что к 2010 г. современной пропускной мощности Интернета начнёт не хватать. Специалисты применили к изучению рынка что-то вроде закона Мура и установили, что

уже через три года сетевая инфраструктура в США не сможет удовлетворять увеличивающийся спрос. Для того чтобы избежать надвигающегося кризиса, владельцам широкополосных сетей предлагается инвестировать около \$137 млрд. в расширение имеющейся инфраструктуры. Данные исследования подтверждают давние опасения Internet Innovation Alliance (IIA), члены которого (AT&T, Level 3 Communications, Corning) давно уже выступали с инициативой серьёзного апгрейда американских сетей.

Причиной перегруженности стало активное использование потокового видео, передачи объёмных файлов (peer-to-peer), скачивания огромного количества музыки и пр. По оценкам IIA, в этом году пользователи Интернета сгенерируют свыше 161 эксабайт (1 эксабайт = 1024 петабайт = 1,1 млрд. Гб) информации. Справиться с таким наплывом данных с каждым годом провайдером будет всё сложнее и сложнее.

Поэтому компаниям, занимающимся телекоммуникационными технологиями, и правительству США стоит задуматься о методах улучшения технической ситуации уже сейчас.

kodak.com

NEC начнёт выпуск 40-нм микросхем

Компания NEC Electronics сообщила о планах скорого начала серийного изготовления интегральных микросхем по новому технологическому процессу с проектной нормой в 40-нм. Как стало известно, выпуск продукции будет организован на фабрике NEC Yamagata, а изготавливаться микрочипы будут из 300-мм кремниевых

пластин, причём компания будет выпускать микросхемы с высокой степенью интеграции (LSI-микросхемы), специализированные микросхемы (ASIC), в том числе и с интегрированными микросхемами DRAM-памяти (eDRAM).

Отметим также, что NEC уже начала поставки первых экземпляров аналоговых интегральных микросхем, изготовленных по 55-нм техпроцессу, которые также произведены на фабрике NEC Yamagata, а значит, переход на более «тонкую» технологию изготовления должен осуществиться без особых трудностей.

Однако создание столь высокоинтегрированных решений, как 40-нм микрочипы, невозможно без использования целого ряда инноваций, среди которых разработчики особо отмечают применение диэлектрика с высокой диэлектрической проницаемостью (high-k-диэлектрик). Что интересно, подобное решение использует и компания Intel при производстве своих новых 45-нм процессоров Penryn. Формула диэлектрика пока не раскрывается, но известно, что основой для него является гафний.

Планируется, что с конвейера каждый месяц будет сходиться до 2000 кремниевых пластин со сформированной структурой 40-нм микросхем, в то время как объёмы выпуска 55-нм продукции вдвое выше – 5000 кремниевых пластин/месяц. Всего же фабрика NEC Yamagata сохранит сегодняшние объёмы выпуска интегральных микросхем – до 13 000 в месяц, – компания не будет останавливать выпуск 90-нм и даже 130-нм чипов.

eetimes.com