

Средства проектирования встраиваемых микропроцессорных систем, реализуемых на основе ПЛИС фирмы Xilinx

(часть 2)

Валерий Зотов (Москва)

Автор продолжает знакомить с вопросами разработки встраиваемых систем на базе ПЛИС. Вторая часть посвящена программному обеспечению, предназначенному для разработки и отладки проектов встраиваемых 8-разрядных микропроцессорных систем на основе ядер семейства PicoBlaze. Рассматриваются структура, варианты конфигурации и особенности последней версии САПР серии Xilinx® ISE™ (Integrated Synthesis Environment или Integrated Software Environment). Приводится краткое описание ассемблера для микропроцессорных ядер семейства PicoBlaze.

ПО для разработки и отладки проектов микропроцессорных систем на основе ядер семейства PicoBlaze

Процесс разработки и отладки аппаратной и программной частей встраиваемых микропроцессорных систем, выполняемых на основе восьмиразрядных конфигурируемых ядер семейства PicoBlaze, осуществляется с помощью комплекса средств автоматизированного проектирования, который включает в себя следующие инструменты:

- пакет САПР серии Xilinx® ISE™ (Integrated Synthesis Environment/ Integrated Software Environment);
- ассемблер, входящий в состав комплекта файлов для соответствующей версии микропроцессорного ядра [5];
- интегрированную среду разработки и отладки программного обеспечения *pBlaze IDE™* (Integrated Development Environment) [10 – 12].

Для подготовки и реализации проекта аппаратной части встраиваемой микропроцессорной системы и последующего конфигурирования ПЛИС используется САПР серии Xilinx ISE. Для разработки программного обеспечения проектируемой встраиваемой микропроцессорной системы используется Ассемблер и интегрированная среда *pBlaze IDE*. Ниже дана развернутая характеристика каждого из перечисленных инструментов проектирования и рассмотрен механизм

их взаимодействия в процессе разработки встраиваемых микропроцессорных систем. Следует отметить, что САПР серии Xilinx ISE используется в процессе разработки как 8-разрядных, так и 32-разрядных встраиваемых микропроцессорных систем.

Характеристика программных средств серии Xilinx ISE

Программные средства серии Xilinx ISE представляют собой систему сквозного проектирования, которая реализует полный цикл разработки цифровых устройств на основе ПЛИС, включающий этапы создания исходных описаний проекта, синтеза, моделирования, размещения и трассировки, а также программирования кристалла. Отличительными особенностями систем автоматизированного проектирования данной серии являются:

- поддержка различных методов описания проектируемых устройств и систем (графических, в форме принципиальных схем или диаграмм состояний, и текстовых, с использованием языков описания аппаратуры HDL (Hardware Description Language));
- возможность использования проектов, подготовленных с помощью других средств проектирования;
- наличие схематехнического редактора, укомплектованного набором обширных унифицированных библиотек, которые учитывают архитек-

турные особенности соответствующих используемых семейств ПЛИС;

- применение интеллектуальных средств создания HDL-описаний, формирующих шаблоны на основании информации, предоставляемой пользователем, для языков описания аппаратуры VHDL™, Verilog™ и ABEL™ HDL;
- наличие высокоэффективных встроенных средств синтеза HDL-проектов, поддерживающих языки VHDL, Verilog и ABEL HDL;
- интегрированный интерфейс для средств синтеза «третьих» фирм, обеспечивающий возможность применения, например, пакетов Synplify Synplify™/Pro и LeonardoSpectrum™, которые поддерживают языки описания аппаратуры VHDL и Verilog;
- развитые средства верификации проектируемых систем, позволяющие сократить полное время их разработки за счёт обнаружения возможных ошибок на более ранних стадиях проектирования и сокращения длительности и количества возможных итераций;
- автоматические средства трассировки проекта разрабатываемой микропроцессорной системы в кристаллы различных семейств ПЛИС фирмы Xilinx с учётом оптимизации по различным параметрам;
- единые средства программирования кристаллов всех семейств ПЛИС фирмы Xilinx, которые выполнены по различной технологии (CPLD и FPGA) [1], и конфигурационных ППЗУ, поддерживающие несколько типов загрузочных кабелей JTAG-интерфейса;
- встроенный комплект вспомогательных программных средств, позволяющих повысить эффективность процесса проектирования;
- интуитивный пользовательский интерфейс, доступный для разра-

ботчика, и пакет справочной системы в каждом модуле, сокращающие время освоения САПР;

- наличие интегрированных с пакетом САПР альтернативных инструментов моделирования других фирм (в частности, ModelSim XE III Starter™), предоставляющих дополнительные возможности в процессе проектирования.

Конфигурация САПР серии Xilinx ISE

Средства проектирования серии Xilinx ISE, начиная с версии 8.1i, выпускаются в двух конфигурациях: ISE Foundation™ и ISE WebPACK™. Основное отличие между этими конфигурациями заключается только в количестве поддерживаемых кристаллов. Программные средства ISE Foundation представляют собой наиболее полную систему сквозного проектирования, которая поддерживает весь спектр ПЛИС фирмы Xilinx. Свободно распространяемая (бесплатная) конфигурация САПР ISE WebPACK поддерживает все кристаллы семейств CPLD и ПЛИС серий FPGA с логической ёмкостью не более 1,5 млн. системных вентиляей. Кроме того, модуль программирования iMPACT™, входящий в состав пакета, может применяться для конфигурирования практически всех выпускаемых кристаллов фирмы Xilinx. Для создания конфигурационной последовательности при этом используются другие средства проектирования, предоставляемые фирмой Xilinx. С июля 2006 г. доступна версия 8.2i САПР серии Xilinx ISE. Конфигурация ISE Foundation этой версии позволяет проектировать цифровые устройства и встраиваемые микропроцессорные системы на основе всех существующих ПЛИС фирмы Xilinx, включая кристаллы семейства Virtex-5. Семейство Virtex-5 является первым в мире семейством ПЛИС FPGA, выпускаемых по технологии 65 нм. Пакет программных средств ISE WebPACK версии 8.2i поддерживает следующие типы кристаллов:

- XCV50 – XCV600 семейства Virtex;
- XCV50E – XCV600E семейства Virtex-E;
- XC2V40 – XC2V500 семейства Virtex-II;
- XC2VP2 – XC2VP7 семейства Virtex-II Pro [3];
- XC4VLX15, XC4VLX25, XC4VSX25, XC4VFX12 семейства Virtex-4 [4];
- все ПЛИС семейства Spartan-II/IIЕ;

- XC3S50-XC3S1500 семейства Spartan-3 [2];
- все ПЛИС семейства Spartan-3E;
- XC3S1000L, XC3S1500L семейства Spartan-3L;
- все ПЛИС семейства XA (Xilinx Automotive) Spartan-3;
- все ПЛИС семейств CoolRunner XPLA3, CoolRunner-II, CoolRunner-IIA;
- все ПЛИС семейств XC9500XV, XC9500XL, XC9500.

Включение поддержки новых семейств ПЛИС в текущей версии САПР серии Xilinx ISE осуществляется с помощью модулей обновления Service Pack, которые регулярно выпускаются фирмой-производителем. Эти модули предназначены также для устранения возможных скрытых ошибок в работе средств проектирования, обнаруженных в процессе их эксплуатации. Модули обновления распространяются свободно через Интернет. Если компьютер, на котором установлена система проектирования серии Xilinx ISE, подключен к Интернету, то пользователь автоматически получает уведомление о выходе нового модуля Service Pack с предложением его установки. В противном случае рекомендуется периодически (не реже одного раза в месяц) самостоятельно проверять информацию о появлении свежего модуля обновления, которая отображается на Web-странице http://www.xilinx.com/xlnx/xil_sw_updates_home.jsp?update=sp или <http://www.xilinx.com/support/mysupport.htm>. К моменту подготовки материалов данной статьи последним пакетом обновления САПР серии Xilinx ISE являлся модуль Service Pack 2 от 15 августа 2006 г.

Помимо поддержки новых типов кристаллов последняя версия САПР позволяет значительно сократить суммарное время разработки встраиваемых микропроцессорных систем за счёт применения усовершенствованных методов проектирования, алгоритмов синтеза, размещения и трассировки. При этом использование уникальной технологии Xilinx Fmax предоставляет возможность существенного повышения производительности разрабатываемых систем.

Для конфигурации САПР ISE Foundation предусмотрены четыре варианта исполнения, работающих под управлением операционных систем Microsoft Windows 2000/XP Professional, Sun Solaris 2.8/5.8, 2.9/5.9, Red Hat Enterprise Linux 3 и 4 WS (32 и

64 бит) соответственно. Пакет средств проектирования ISE WebPACK выпускается в двух вариантах, предназначенных для операционных систем Microsoft Windows 2000/XP Professional и Red Hat Enterprise Linux 3 и 4 WS (32 бит) соответственно.

Все конфигурации средств проектирования серии Xilinx ISE версий 8.x имеют одинаковую структуру и пользовательский интерфейс. Поэтому переход от одной конфигурации САПР к другой (от свободно распространяемой системы проектирования ISE WebPACK к полному пакету ISE Foundation) не требует дополнительных временных затрат и преобразования проекта разрабатываемой системы. Методика проектирования цифровых устройств в САПР серии ISE достаточно подробно отражена на примере использования пакета WebPACK [9].

Структура САПР серии Xilinx ISE и взаимодействие с другими средствами разработки 8-разрядных микропроцессорных систем

Структура САПР серии Xilinx ISE и взаимодействие этих пакетов с другими программными средствами для разработки и отладки проектов встраиваемых микропроцессорных систем на основе ядер семейства PicoBlaze показаны на рис. 4. Основу САПР образует совокупность программных модулей, выполняющих все этапы процесса проектирования цифровых устройств и встраиваемых систем. Управление взаимодействием модулей осуществляется с помощью графической оболочки Project Navigator™. Пакет САПР включает также ряд вспомогательных программ, которые позволяют повысить эффективность процесса проектирования. Большинство программных модулей пакетов САПР серии Xilinx ISE могут работать как в оконном режиме, так и в режиме командной строки.

К основной группе модулей САПР серии Xilinx ISE относятся следующие программы:

- схемотехнический редактор Schematic Editor, предназначенный для создания модулей исходного описания аппаратной части встраиваемой микропроцессорной системы в форме принципиальных схем;
- интегрированный текстовый редактор HDL-Editor, позволяющий быстро формировать модули исходного

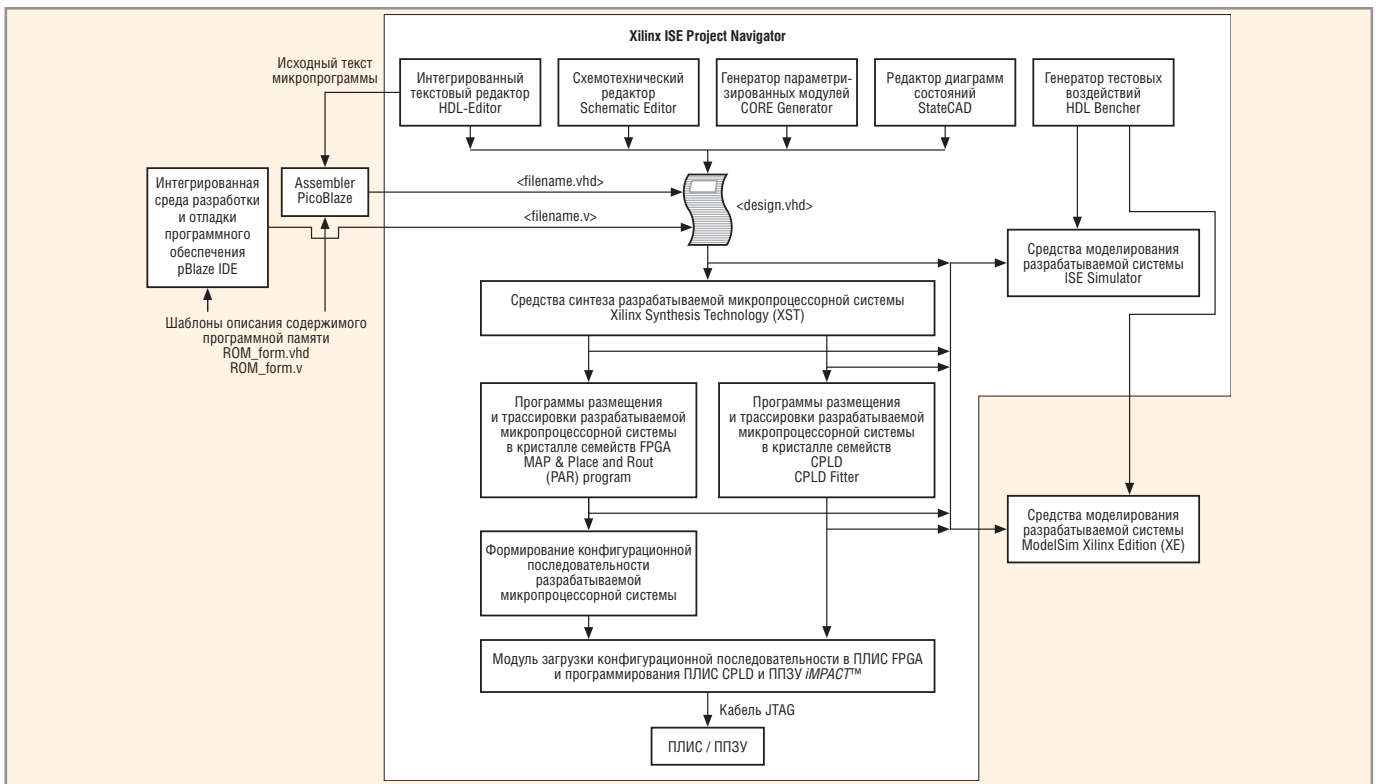


Рис. 4. Структура и взаимодействие программных средств для разработки и отладки проектов встраиваемых микропроцессорных систем на основе ядер семейства PicoBlaze

описания проекта на языках VHDL™ и Verilog™ за счёт использования соответствующих шаблонов;

- редактор диаграмм состояний StateCAD™, используемый для описания аппаратной части разрабатываемой системы в графическом виде;
- генератор параметризованных модулей исходного описания CORE Generator, позволяющий автоматически создавать различные функциональные блоки проектируемой системы с требуемыми характеристиками;
- программа генерации тестовых воздействий для осуществления последующего функционального и временного моделирования проектируемой системы HDL Benchler;
- программа HDL-моделирования ISE Simulator™, позволяющая выполнять функциональную и временную (полную) верификацию разрабатываемой встраиваемой системы на соответствующих этапах её проектирования;
- средства синтеза VHDL/Verilog-кода Xilinx Synthesis Technology (XST), формирующие оптимальным образом из совокупности модулей исходного описания проектируемой системы список соединений (netlist), содержащий набор примитивов и компонентов, который может быть

реализован на основе ресурсов выбранного кристалла ПЛИС;

- программы автоматического размещения и трассировки проектов в кристаллы семейств FPGA MAP program и Place and Route (PAR) program, выполняющие распределение компонентов и примитивов синтезированного списка соединений в конфигурируемые логические блоки CLB (Configurable Logic Block) ПЛИС и формирование необходимых связей между ними;
- программа автоматического размещения и трассировки проектов в ПЛИС семейств CPLD Fitter, осуществляющая распределение выполняемых функций по макроячейкам Macrocell и формирование взаимосвязей в кристалле;
- топологический редактор FPGA Editor, предназначенный для «ручного» размещения и оптимизации проекта;
- модуль программирования iMPACT™, выполняющий функции загрузки конфигурационной последовательности в ПЛИС FPGA и ПЛИС CPLD, а также прошивки конфигурационного ППЗУ.

В комплект дополнительных инструментов пакета САПР серии Xilinx ISE входят следующие программные модули:

- анализатор статических временных характеристик Timing Analyzer™;
- интерактивный графический редактор размещения Floorplanner™;
- модуль оценки потребляемой мощности XPower™;
- «мастер» подготовки описаний блоков синхронизации, выполняемых на основе DCM (Digital Clock Managers), Architecture Wizard™;
- интерактивный графический редактор топологических ограничений PACE™ (Pinout and Area Constraints Editor);
- программа визуализации топологии проектируемого устройства или системы в ПЛИС CPLD ChipViewer™.

С помощью перечисленных программ дополнительной группы можно существенно повысить эффективность процесса проектирования, получить информацию о временных и электрических характеристиках разработанной системы, добиться ощутимого роста её производительности. Например, совместное использование программы временного анализа Timing Analyzer и топологического редактора Floorplanner позволяет значительно увеличить быстродействие проектируемой микропроцессорной системы.

Для верификации разрабатываемых встраиваемых микропроцессорных устройств в САПР серии Xilinx ISE вер-

сии 8.2i могут использоваться не только собственные средства моделирования ISE Simulator, но и система моделирования ModelSim™. Она является самостоятельным программным продуктом, выпускаемым корпорацией Model Technology®, являющейся одним из подразделений компании Mentor Graphics® (<http://www.model.com/> и <http://www.mentor.com/> соответственно). Полнофункциональная версия системы HDL-моделирования ISE Simulator пока может применяться только совместно с конфигурацией средств проектирования ISE Foundation. При этом следует обратить внимание на то, что эта версия системы моделирования не входит в комплект ISE Foundation и поставляется отдельно. В состав средств разработки проектов и программирования ПЛИС ISE Foundation и ISE WebPACK включена только версия системы моделирования с ограниченными возможностями ISE Simulator Lite.

В настоящее время ModelSim остаётся одной из самых распространённых систем HDL-моделирования. Это обусловлено целым рядом уникальных характеристик пакета. ModelSim предназначен для моделирования цифровых систем, которые представлены в виде HDL-описаний, выполненных с использованием языков высокого уровня VHDL, Verilog, и SystemC. Система моделирования ModelSim выпускается в трёх основных редакциях:

- Special Edition (SE), функционирующая под управлением операционных систем (ОС) UNIX™, Linux™, Windows™ 98, Windows ME, Windows 2000, Windows NT, Windows XP;
- Personal Edition (PE), предназначенная только для ОС семейства Windows;
- Linux Edition, используемая в среде ОС Linux.

Кроме того, имеются специализированные редакции, предназначенные для интеграции с пакетами САПР «третьих» фирм. Примером специализированной редакции является система ModelSim Xilinx Edition (XE), которая выполнена на базе конфигурации ModelSim PE и ориентирована на интеграцию с программным обеспечением фирмы Xilinx.

Все конфигурации САПР серии Xilinx ISE комплектуются свободно распространяемой версией системы моделирования ModelSim XE III Starter. Эта версия имеет одно существенное ограниче-

ние. Исходный текст описания проектируемой системы на соответствующем языке HDL не должен превышать фиксированное число исполняемых выражений, которое в настоящее время равно 10 000. При несоблюдении этого условия программа моделирования сохраняет работоспособность, но функционирует с пониженной производительностью (приблизительно в 30 раз). Версия средств моделирования ModelSim Xilinx Edition, имеющая ограничение 40 000 исполняемых выражений (что соответствует объёму проектируемого устройства примерно 1 млн. системных вентиляей), приобретается отдельно и устанавливается в режиме функционирования под управлением САПР серии Xilinx ISE.

Продолжение следует

ЛИТЕРАТУРА

1. Кузелин М.О., Книшев Д.А., Зотов В.Ю. Современные семейства ПЛИС фирмы Xilinx. Справочное пособие. М.: Горячая линия – Телеком, 2004.
2. Spartan™-3 Platform FPGA Handbook. Xilinx Inc., 2003.
3. Virtex-II Pro™ Platform FPGA Handbook. Xilinx Inc., 2002.
4. Virtex-4 Handbook. Xilinx Inc., 2004.
5. Зотов В.Ю. Проектирование встраиваемых микропроцессорных систем на основе ПЛИС фирмы Xilinx. М.: Горячая линия – Телеком, 2006.
6. PowerPC Processor Reference Guide. Xilinx Inc., 2003.
7. PowerPC™ 405 Processor Block Reference Guide. Xilinx Inc., 2004.
8. Processor IP Reference Guide. Xilinx Inc., 2005.
9. Зотов В. Проектирование цифровых устройств на основе ПЛИС фирмы Xilinx в САПР WebPack ISE. М.: Горячая линия – Телеком, 2003.
10. Зотов В. pBlaze IDE – интегрированная среда разработки и отладки программного обеспечения встраиваемых 8-разрядных микропроцессорных систем, реализуемых на основе ПЛИС фирмы Xilinx. Компоненты и технологии. 2006. № 3, 4.
11. Зотов В. Директивы и сообщения об ошибках интегрированной среды разработки и отладки программного обеспечения встраиваемых систем pBlaze IDE. Компоненты и технологии. 2006. № 5.
12. Зотов В. Разработка и отладка программного обеспечения встраиваемых 8-разрядных микропроцессорных систем на основе ПЛИС фирмы Xilinx в среде pBlaze IDE. Компоненты и технологии. 2006. № 6.

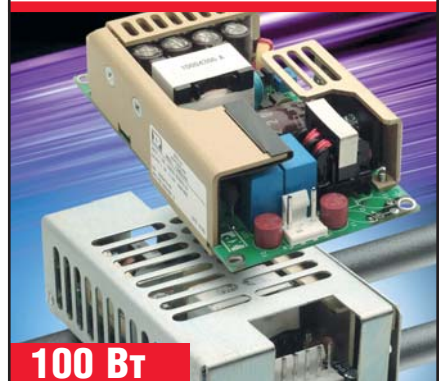
Источники питания AC/DC серии ЕСМ для промышленных и медицинских применений

- Соответствие требованиям UL/cUL 60601-1/EN60601-1
- Универсальный вход
- Предохранители в цепях нулевого и фазного проводов
- Ток утечки на землю менее 200 мкА
- Среднее время безотказной работы >250 000 часов



40/60 Вт

- Небольшие габариты 101,6 × 50,8 × 30,5 мм
- Одно-/двух-/трёхканальные модели с напряжениями 3,3...48 В
- Защита от поражения электрическим током: оборудование класса I и II
- КПД до 85%



100 Вт

- Габариты 114,3 × 63,5 × 30,5 мм
- Одно-/двух-/трёх-/четырёхканальные модели с напряжениями 3,3... 48 В
- Защита от поражения электрическим током: оборудование класса I и II
- КПД до 85%



THE XPERTS IN POWER

PROSOFT®

Тел./факс: (495) 234-0636/0640
info@prosoft.ru • www.prosoft.ru