

Практический курс сквозного проектирования цифровых устройств на основе ПЛИС фирмы Xilinx

(часть 7)

Валерий Зотов (Москва)

Седьмая часть курса знакомит с различными способами подготовки модуля описания тестовых воздействий, необходимого для функционального и временного моделирования разрабатываемого устройства. Рассматривается механизм использования временных и топологических ограничений в проектах, реализуемых на базе ПЛИС фирмы Xilinx с архитектурой CPLD и FPGA. Приведён синтаксис выражений типичных временных и топологических ограничений. Описаны различные способы подготовки модуля временных и топологических ограничений в САПР серии Xilinx ISE.

СТРУКТУРА ТЕСТОВОГО МОДУЛЯ ПРОЕКТА

Для выполнения этапов функционального и временного моделирования необходимо сформировать описание тестовых воздействий, используемых в процессе верификации разрабатываемого устройства. Подготовка тестовых модулей может осуществляться как на этапе создания исходных описаний проектируемого устройства, так и непосредственно перед моделированием. В составе проекта могут использоваться несколько модулей описаний тестовых воздействий.

Тестовый модуль проекта фактически содержит представление модели испытательного стенда для разрабатываемого устройства на языке описания аппаратуры HDL. В дальнейшем для определённости предполагается, что процесс разработки выполняется при использовании средств синтеза XST (*Xilinx Synthesis Technology*) для языка VHDL. В этом случае тестовый модуль проекта имеет типовую структуру VHDL-описания, которая включает в себя следующие разделы:

- ссылки на используемые библиотеки и пакеты;
- описание интерфейса объекта (*ENTITY*);
- описание архитектуры объекта;
- декларацию компонента, представляющего модуль описания верхнего уровня иерархии проектируемого устройства;

- декларацию сигналов, используемых для подачи входных тестовых воздействий и контроля выходных реакций моделируемой системы;
- выражение для создания экземпляра компонента с подключением соответствующих сигналов;
- выражения, описывающие поведение входных тестовых сигналов.

В данном случае под объектом описания понимается модель испытательного стенда в целом, поэтому он не имеет интерфейсных сигналов (портов). Архитектура этого объекта содержит единственный компонент – разрабатываемое устройство.

Способы подготовки тестового модуля проекта

«Мастер» подготовки модулей исходного описания проекта позволяет автоматически сформировать основу тестового файла, которая содержит все перечисленные выше разделы его структуры, за исключением описания поведения входных сигналов. Формирование описания входных тестовых воздействий может выполняться в текстовом виде (на языке VHDL или Verilog) при использовании интегрированного HDL-редактора или в графической форме (в виде временных диаграмм) с помощью редактора временных диаграмм *Test Bench Waveform Editor*, который входит в состав пакета САПР серии Xilinx ISE. Последний способ является более наглядным и не требует зна-

ния языков HDL. Программа *Test Bench Waveform Editor* автоматически транслирует созданные временные диаграммы тестовых сигналов в процессе их сохранения в текстовом формате выбранного языка HDL.

В последующих разделах рассматривается процесс подготовки тестовых модулей указанными выше способами. Для наглядности будет рассмотрен пример проекта реверсивного четырёхразрядного счётчика Джонсона. Различные варианты проекта данного устройства включены в комплект примеров пакета САПР серии Xilinx ISE. Описание счётчика Джонсона на языке VHDL имеет следующий вид:

```
library IEEE;
use IEEE.std_logic_1164.all;
--
entity jc2_top is
port (
    LEFT : in STD_LOGIC;
    RIGHT : in STD_LOGIC;
    STOP : in STD_LOGIC;
    CLK : in STD_LOGIC;
    Q : inout STD_LOGIC_VECTOR
(3 downto 0) := "0000"
);
end jc2_top;
--
architecture jc2_top_arch of
jc2_top is
signal DIR: STD_LOGIC := '0';
signal RUN: STD_LOGIC := '0';
begin
--
process (CLK)
begin
if (CLK'event and CLK='1') then
--
-- DIR register:
if (RIGHT='0') then
DIR <= '0';
elsif (LEFT='0') then
DIR <= '1';
end if;
--
-- RUN register:
```

```

if (STOP='0') then
RUN <= '0';
elsif (LEFT='0' or RIGHT='0')
then
RUN <= '1';
end if;
--
-- Counter section:
if (RUN='1') then
if (DIR='1') then
Q(3 downto 1) <= Q(2 downto 0);
Q(0) <= not Q(3);
else
Q(2 downto 0) <= Q(3 downto 1);
Q(3) <= not Q(0);
end if;
end if;
--
end if;
end process;
--
end jc2_top_arch;

```

СОЗДАНИЕ ТЕСТОВОГО МОДУЛЯ ПРОЕКТА В ТЕКСТОВОМ ФОРМАТЕ

Для автоматического формирования основы файла тестовой последовательности необходимо активизировать режим создания нового модуля исходного описания проекта, воспользовавшись кнопкой  на оперативной панели или командой *New Source* из раздела *Project* основного меню Навигатора проекта. В открывшейся диалоговой панели *Select Source Type* в качестве типа нового модуля следует выбрать строку *VHDL Test Bench*. Далее, необходимо задать имя создаваемого файла в поле редактирования *File Name* и указать место расположения файла на диске в поле редактирования *Location*, после чего нажатием клавиши *Next* перейти к следующей диалоговой панели с заголовком *Associate Source*.

Следует обратить внимание на то, что задаваемое название тестового модуля определяет имя объекта, представляющего моделируемую систему. Диалоговая панель *Associate Source* содержит список существующих модулей исходного описания проекта. В данном списке необходимо выделить элемент (с которым ассоциируется создаваемый тестовый модуль), поместив курсор на соответствующую строку и щёлкнув левой кнопкой мыши. Сделанный выбор подтверждается нажатием клавиши *Next*, расположенной в нижней части диалоговой панели *Associate Source*.

После этого открывается информационная панель, в которой отображаются значения всех параметров создаваемого тестового модуля. Если необходимо изменить значение какого-либо параметра, то кнопка *Back* позволяет вернуться к предыдущей диалоговой панели. Процесс генерации основы тестового модуля запускается нажатием кнопки *Finish*, находящейся в нижней части информационной панели. При успешном завершении данного процесса в окне исходных модулей Навигатора проекта добавляется пиктограмма, сопровождаемая названием созданного тестового модуля. Одновременно автоматически открывается окно встроенного HDL-редактора, в котором отображается код сформированного описания модели испытательной системы. В качестве примера далее приведён сгенерированный текст основы модуля описания тестовых воздействий на языке VHDL для реверсивного четырёхразрядного счётчика Джонсона:

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
USE ieee.std_logic_unsigned.all;
USE ieee.numeric_std.ALL;
--
ENTITY jc2_tst_vhd IS
END jc2_tst_vhd;
--
ARCHITECTURE behavior OF
jc2_tst_vhd IS
-- Component Declaration for
the Unit Under Test (UUT)
COMPONENT jc2_top
PORT(
LEFT : IN std_logic;
RIGHT : IN std_logic;
STOP : IN std_logic;
CLK : IN std_logic;
Q : INOUT std_logic_vector(3 downto 0)
);
END COMPONENT;
--Inputs
SIGNAL LEFT : std_logic :=
'0';
SIGNAL RIGHT : std_logic :=
'0';
SIGNAL STOP : std_logic :=
'0';
SIGNAL CLK : std_logic :=
'0';
--Bidirs
SIGNAL Q : std_logic_vector(3
downto 0);

```

```

--
BEGIN
-- Instantiate the Unit
Under Test (UUT)
 uut: jc2_top PORT MAP(
LEFT => LEFT,
RIGHT => RIGHT,
STOP => STOP,
CLK => CLK,
Q => Q
);
--
tb : PROCESS
BEGIN
--
-- Wait 100 ns for global
reset to finish
wait for 100 ns;
-- Place stimulus here
wait; -- will wait forever
END PROCESS;
--
END;

```

Далее необходимо дополнить сформированный модуль выражениями, описывающими изменение входных сигналов во времени. Для этого можно воспользоваться соответствующими шаблонами интегрированного HDL-редактора. После завершения редактирования тестового файла следует обязательно его сохранить, выполнив команду *Save* из всплывающего меню *File* или нажав кнопку , расположенную на оперативной панели управления Навигатора проекта. В качестве примера на сайте журнала представлен отредактированный текст завершённого тестового модуля для проекта реверсивного четырёхразрядного счётчика Джонсона, который позволяет промоделировать основные режимы работы этого устройства.

ГЕНЕРАЦИЯ ТЕСТОВОГО МОДУЛЯ ПРОЕКТА В ФОРМЕ ВРЕМЕННЫХ ДИАГРАММ

Для формирования тестового модуля проекта в виде временных диаграмм сигналов следует повторить последовательность операций создания основы нового тестового модуля проекта, рассмотренную в предыдущем разделе. При этом в списке типов исходных модулей диалоговой панели *Select Source Type* необходимо выбрать строку *Test Bench Waveform*. По окончании подготовки основы тестового модуля в виде временных диаграмм авто-

матически производится запуск «мастера» инициализации временных параметров процесса моделирования и выбора тактовых сигналов *Initial Timing and Clock Wizard*, работа которого начинается с вывода на экран диалоговой панели *Initialize Timing*.

Данная диалоговая панель предназначена для определения значений основных временных параметров, используемых в процессе формирования описаний тестовых воздействий. В ней, прежде всего, целесообразно указать длительность формируемых временных диаграмм. Для этого следует выбрать единицы измерения длительности, используя выпадающий список возможных значений поля *Time scale*. Затем в поле редактирования *Initial Length of Test Bench* необходимо указать числовое значение, которое будет определять длительность генерируемых тестовых сигналов в выбранных единицах измерения.

Временные параметры, необходимые для формирования тестовых сигналов, различаются для синхронных и асинхронных устройств. «Мастер» инициализации временных параметров процесса моделирования и выбора тактовых сигналов *Initial Timing and Clock Wizard* автоматически определяет тип устройства, для которого разрабатываются тестовые последовательности. Для отображения и изменения типа моделируемого устройства предназначена группа кнопок с зависимой фиксацией, расположенная во встроенной панели *Clock Information* стартовой диалоговой панели «мастера». Если разрабатываемое устройство является синхронным и для его тактирования используется один внешний сигнал синхронизации, то кнопка *Single Clock* автоматически устанавливается в нажатое состояние. При формировании тестового модуля для синхронного устройства с несколькими внешними тактовыми сигналами кнопка *Multiple Clocks* должна быть нажатой. Для подготовки файла временных диаграмм тестовых сигналов, который должен использоваться в процессе моделирования асинхронных устройств или устройств с внутренним тактовым сигналом, в нажатое состояние необходимо переключить кнопку *Combinatorial (or internal clock)*.

При создании модуля тестовых воздействий для синхронного устройства, управляемого одним внешним

тактовым сигналом, необходимо, прежде всего, проконтролировать и при необходимости изменить выбор порта основного тактового сигнала. Для этого следует воспользоваться полем выбора *Single Clock*, которое расположено во встроенной панели *Clock Information*. Выпадающий список этого поля выбора содержит названия всех интерфейсных сигналов (портов) разрабатываемого устройства, среди которых необходимо выбрать идентификатор требуемого сигнала (порта).

Далее, необходимо определить длительность состояний высокого и низкого логического уровня периода тактового сигнала в поле редактирования *Clock High Time* и *Clock Low Time* соответственно. По умолчанию в этих полях указана длительность каждого состояния сигнала синхронизации, равная 100 нс. Кроме того, в поле редактирования *Input Setup Time* следует указать минимальное значение времени установки входных сигналов, а в поле *Output Valid Delay* – максимальное значение задержки появления достоверных значений выходных сигналов. По умолчанию для этих параметров предлагается значение, равное 15 нс. Значение параметра *Offset* определяет длительность начальной задержки тактового сигнала. По умолчанию начальная задержка при формировании описания сигнала синхронизации не используется (значение параметра *Offset* равно нулю).

Для указания способа тактирования моделируемого устройства следует воспользоваться группой кнопок с зависимой фиксацией, которая находится во встроенной панели *Clock Timing Information*. Если разрабатываемое устройство тактируется фронтом сигнала синхронизации, то необходимо зафиксировать в нажатом состоянии кнопку *Rising Edge*. При тактировании проектируемого устройства спадом сигнала синхронизации следует переключить в нажатое положение кнопку *Falling Edge*. Если формируемая последовательность сигналов предназначена для моделирования устройств, тактируемых фронтом и спадом сигнала синхронизации, то в нажатом состоянии должна находиться кнопка *Dual Edge*. По умолчанию «мастер» инициализации временных параметров процесса моделирования и

выбора тактовых сигналов *Initial Timing and Clock Wizard* предлагает вариант тактирования моделируемого устройства по фронту сигнала синхронизации.

Если в формируемом описании модели разрабатываемого устройства необходимо учесть глобальные сигналы сброса/установки (GSR для ПЛИС семейств FPGA или PRLD для кристаллов CPLD), то следует установить в состояние «включено» соответствующий индикатор, расположенный во встроенной панели *Global Signals*. При этом становится доступным поле редактирования *High for Initial*, в котором указывается длительность активного уровня глобального сигнала инициализации.

При создании тестов для комбинационных устройств или устройств с внутренней синхронизацией необходимо указать только значения параметров *Check Outputs* и *Assign Inputs*. Эти параметры позволяют исключить возможные конфликты в моменты изменения входных и выходных сигналов. Значение параметра *Check Outputs* определяет временной интервал между моментами подачи входных воздействий и формирования соответствующих достоверных значений выходных сигналов. С помощью значения параметра *Assign Inputs* задаётся величина временного интервала между изменением состояния выходного сигнала одного логического блока и появлением достоверных уровней сигналов на входах следующего блока.

Если проектируемое устройство является синхронным, то для включения поддержки асинхронных сигналов при формировании описания тестовых воздействий следует установить индикатор *Add Asynchronous Signal Support* в состояние «включено».

Процесс установки требуемых значений временных параметров моделирования для асинхронных устройств и синхронных устройств с одним внешним тактовым сигналом или внутренней синхронизацией завершается нажатием кнопки *Finish*, расположенной в нижней части стартовой диалоговой панели *Initialize Timing*. В том случае, если в моделируемом устройстве применяются несколько внешних тактовых сигналов, для выбора сигналов синхронизации используется следующая диалоговая панель «мастера» инициализации вре-

менных параметров процесса моделирования и выбора тактовых сигналов *Initial Timing and Clock Wizard*, которая открывается при нажатии кнопки *Next* в стартовой диалоговой панели.

Во второй диалоговой панели, которая имеет заголовок *Clock Selection*, представлен список всех интерфейсных сигналов разрабатываемого устройства. В этом списке необходимо выделить названия тех сигналов, которые будут использоваться в качестве тактовых. После этого, нажав кнопку *Next* в диалоговой панели *Clock Selection*, переходим к следующей (предпоследней) панели «мастера» *Initial Timing and Clock Wizard* с заголовком *Clock and Signal Association*. Открывшаяся диалоговая панель позволяет указать для каждого тактового сигнала список ассоциируемых с ним входных и выходных сигналов. Для этого в списке тактовых сигналов, представленном во встроенной панели *Clocks*, необходимо выделить название одного из сигналов синхронизации.

Затем в списке входных и выходных сигналов разрабатываемого устройства, который отображается

во встроенной панели *Unassigned Signals*, следует выделить идентификаторы сигналов, которые ассоциируются с тактовым сигналом, выбранным во встроенной панели *Clocks*. При нажатии кнопки *<-Add*, расположенной в этой же диалоговой панели, выделенные названия сигналов переносятся во встроенную панель *Assigned Signals*. Указанную последовательность действий необходимо повторить для каждого тактового сигнала, после чего можно перейти к заключительной диалоговой панели «мастера» инициализации временных параметров процесса моделирования и выбора тактовых сигналов *Initial Timing and Clock Wizard*.

В данной панели, которая имеет заголовок *Clock Timing Setup*, следует поочередно указать значения временных параметров и активный перепад (фронт или спад) для каждого внешнего тактового сигнала. Для этого необходимо выделить во встроенной панели *Clocks* соответствующий сигнал синхронизации, а затем во встроенной панели *Clock Timing* определить значения параметров *Clock High Time*, *Clock Low Time*, *Input*

Setup Time, *Output Valid Delay* и *Offset* для выбранного сигнала с помощью одноименных полей редактирования. Для установки одинаковых значений временных параметров всех тактовых сигналов можно воспользоваться кнопкой *Set All*.

Чтобы вернуться к значениям временных параметров всех тактовых сигналов, задаваемым по умолчанию, необходимо нажать кнопку *Reset All*. Способ тактирования для каждого внешнего сигнала синхронизации указывается с помощью кнопок *Rising Edge*, *Falling Edge* и *Dual Edge*, которые расположены в этой же встроенной панели.

После завершения работы «мастера» инициализации временных параметров процесса моделирования и выбора тактовых сигналов *Initial Timing and Clock Wizard*, в области расположения рабочих окон Навигатора проекта автоматически открывается новое окно редактора временных диаграмм *Test Bench Waveform Editor*, в котором отображаются заготовки временных диаграмм. ☺

Продолжение следует



ПРИБОРОСТРОЕНИЕ ЭЛЕКТРОНИКА. ЭЛЕКТРОТЕХНИКА

межрегиональная специализированная выставка

30 ОКТЯБРЯ - 1 НОЯБРЯ 2007

Организатор: Компания «ЭкспоГрад»

Разделы выставки:

- **Приборы:** контрольно-измерительные, испытательные, лабораторные, диагностические
- **Электроника:** электронные устройства, элементная база, печатные платы, микросхемы, телекоммуникационные устройства, радиостанции, АСУ, полупроводники
- **Электротехника:** высоковольтная аппаратура, генераторы, кабельная и проводная продукция, низковольтная аппаратура, трансформаторы, реакторы, электродвигатели, электроизоляторы, электростанции, электрощитовое оборудование, источники питания
- **Комплексная автоматизация производства**
- **Передовые технологии производства**
- **Оборудование, компоненты, материалы**
- **Датчики, системы идентификации, первичные преобразователи, электроприводы**
- **Защита интеллектуальной собственности**
- **Специализированная литература**

В программе:

- Научно-техническая конференция по тематическим направлениям выставки
- Презентации отечественных и зарубежных разработок
- Семинары и консультации специалистов

<p>Место проведения: Екатеринбург ГРВЦ, ул. Громова, 145</p>	<p>Выставочный оператор: Компания «ЭкспоГрад» Т/ф.(343) 379-04-28 (29), 379-04-46 E-mail: pribor@expograd.ru www.expograd.ru</p>	<p>Время работы: 30-31 октября с 10.00 - 18.00 1 ноября с 10.00 - 16.00</p>
---	---	--

Реклама