

Приложения для цифровой обработки сигналов в ПЛИС

Владимир Вычужанин (Одесса, Украина)

Реализация сложных алгоритмов цифровой обработки сигналов (ЦОС) может быть успешно осуществлена в ПЛИС с архитектурой FPGA.

Использование для этих целей 64-битной каскадной шины и сумматора-накопителя в новой ПЛИС Stratix V позволяет поддерживать несколько уровней точности блока ЦОС.

Цифровая обработка сигналов (ЦОС, DSP) является одной из самых мощных технологий, которая активно используется в устройствах связи, метеорологи, радиолокации и гидролокации, медицинской визуализации изображений, цифровом звуковом и телевизионном вещании, сейсморазведке и многих других. Применение методов ЦОС позволяет обеспечить высокую помехоустойчивость систем обработки данных, необходимую точность и разрешающую способ-

ность, простое сопряжение подсистем обработки сигналов, стабильность параметров тракта обработки информации и ряд других преимуществ.

В современных высокопроизводительных системах ЦОС часто используют программируемые логические интегральные схемы (ПЛИС), а для реализации сложных алгоритмов ЦОС применяют ПЛИС с архитектурой FPGA. Такому подходу способствует развитие технологии программируе-

мой логики, сопровождаемое расширением номенклатуры ПЛИС и появлением возможностей реализации новых классов алгоритмов, предъявляющих различные требования к точности ЦОС.

В различных приложениях ЦОС (радиолокационные системы с высоким разрешением; беспроводные станции связи с многочисленными входами и выходами; медицинские томографы) часто необходима точность обработки выше, чем обычный диапазон в 18 бит. Требования к точности варьируются на стадиях проектирования фильтров с конечной импульсной характеристикой (КИХ), при реализации быстрого преобразования Фурье (БПФ), в адаптивных алгоритмах фильтрации и др. Во многих ПЛИС используется DSP-архитектура фиксированной точности 18×18 или 18×25 , что недостаточно для КИХ-фильтров, а также при реализации БПФ. Поэтому для поддержания более точного режима ЦОС применяются энергоёмкие решения, такие как использование DSP-блока 18×25 для реализации операции 9×9 или каскадное включение нескольких блоков DSP низкой точности.

В 2010 г. фирма Altera представила новые ПЛИС семейства Stratix пятого поколения архитектуры FPGA, спроектированные по 28-нм техпроцессу TSMC. В целях повышения точности обработки цифровых сигналов фирма разработала DSP-блок переменной точности с 64-битной каскадной шиной, интегрированный в ПЛИС Stratix V. Основными достоинствами нового семейства являются более высокая производительность, большой логический объём и малое энергопотребление. Кроме того, преимуществами ПЛИС Stratix V является наличие 64-разрядного сумматора-накопителя, каскада сумматоров для реализации систолических КИХ-фильтров, возможности увеличения числа независимых операций умножения, поддержки операций с плавающей точкой удвоенной точности.

ПЛИС Stratix V поддерживают интерфейс внешней памяти DDR3 SDRAM с

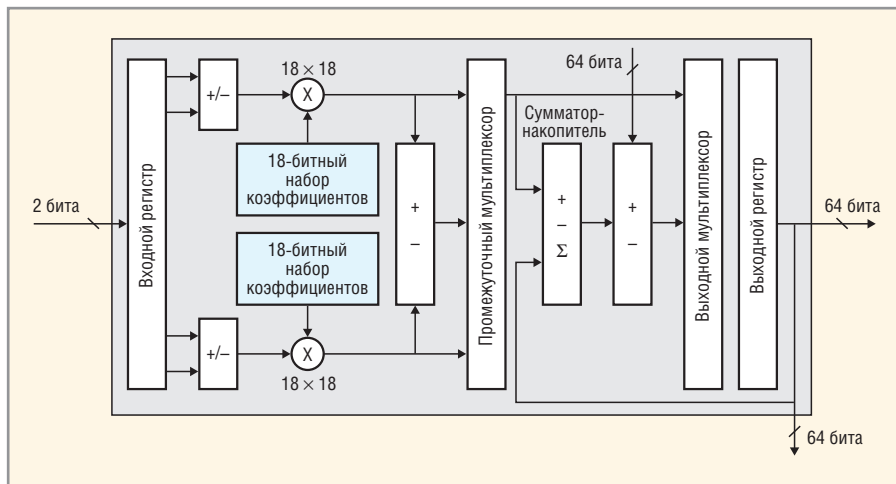


Рис. 1. Структурная схема DSP-блока ПЛИС Stratix V в режиме работы с 18-битной точностью

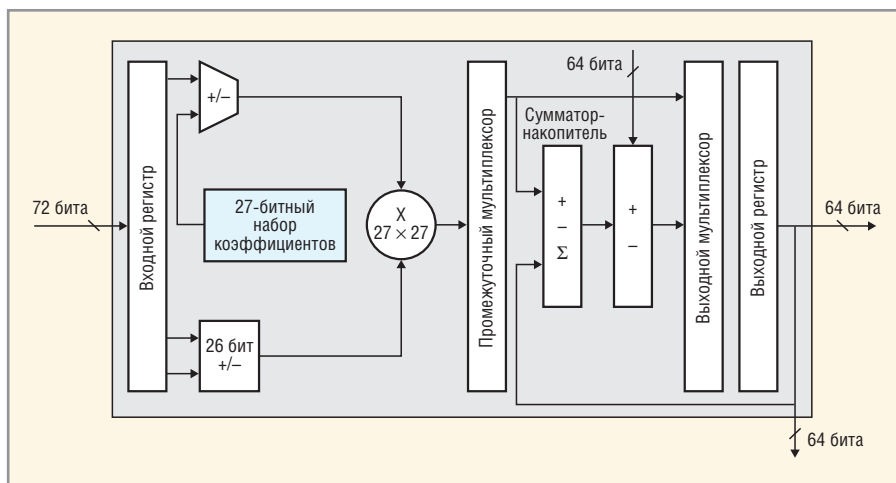


Рис. 2. Структурная схема DSP-блока ПЛИС Stratix V в высокоточном режиме работы

тактовой частотой до 800 МГц. Среди преимуществ новых микросхем следует отметить наличие встроенных систем дробной ФАПЧ и блоков Embedded Hardcopy (встроенного копирования).

Микросхемы Stratix V содержат до 1,1 млн. логических элементов, 53 Мбит встроенной памяти и 3680 умножителей 18 × 18. Без увеличения энергопотребления и стоимости они предоставляют разработчикам в два раза больше логических ресурсов по сравнению с микросхемами предыдущих семейств. Используемая технология позволяет увеличить быстродействие Stratix V почти на 35%, снизив потребляемую мощность на 30% по сравнению с четвертым поколением Stratix. Приёмопередатчики, работающие на скоростях 28 Гбит/с, потребляют всего 200 мВт на канал.

В семейство ПЛИС Stratix V вошли модели Stratix V GT, Stratix V GX, Stratix V GS и Stratix V E. Они охватывают широкий круг приложений для проводных и беспроводных сетей, военной техники, медицинского оборудо-

Точность режимов, поддерживаемых DSP-блоком

Точность режима	Применение
3 независимых режима 9 × 9	Низкая точность при фиксированной точке
2 режима суммирования 18 × 18	Средняя точность при фиксированной точке
2 независимых режима 18 × 18 с разрешением 32 бита	Средняя точность при фиксированной точке
1 независимый режим 18 × 25 или 18 × 36	Высокая точность при фиксированной точке
1 независимый режим 27 × 27	Высокая точность при фиксированной точке или одинарная точность при плавающей точке

ования и систем хранения данных. ПЛИС Stratix V GT оптимизированы для решения высокоскоростных задач (40G/100G/400G) и содержат встроенные трансиверы с максимальной скоростью передачи данных 28 Гбит/с. ПЛИС Stratix V GX и Stratix V GS содержат встроенные трансиверы с максимальной скоростью передачи данных 12,5 Гбит/с. Stratix V GS оптимизированы для решения задач цифровой обработки сигналов с переменной точностью; Stratix V E оптимизированы для прототипирования заказных микросхем (ASIC). Поддержка ПЛИС семейства Stratix V GX и

Stratix V GS обеспечивается САПР Quartus II v.10.0.

В блоке ЦОС накопитель является неотъемлемой частью многих операций, позволяющих обеспечить высокую точность вычислений. В ПЛИС Stratix V используются 64-разрядные накопители с возможностью округления конечного результата.

Конфигурацию каждого блока ЦОС переменной точности можно настроить с помощью двойного умножителя 18 × 18 бит (см. рис. 1) или высокоточного 27 × 27-разрядного умножителя (см. рис. 2). Блок ЦОС выполняет различные операции умножения для каж-

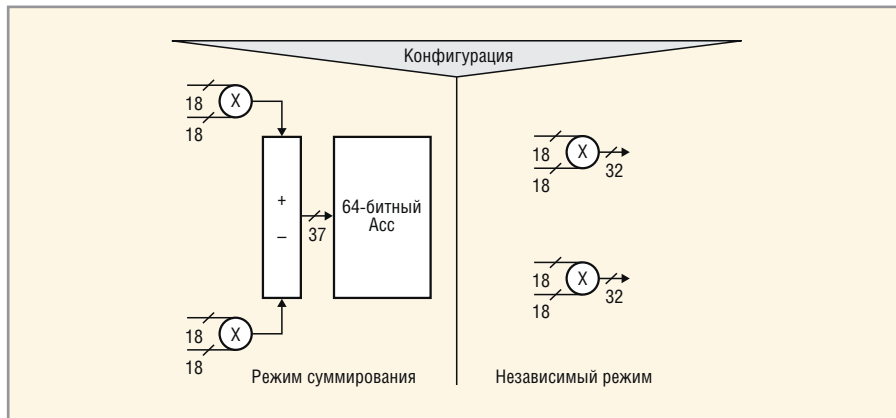


Рис. 3. Конфигурации DSP-блока для режима суммирования и независимого режима

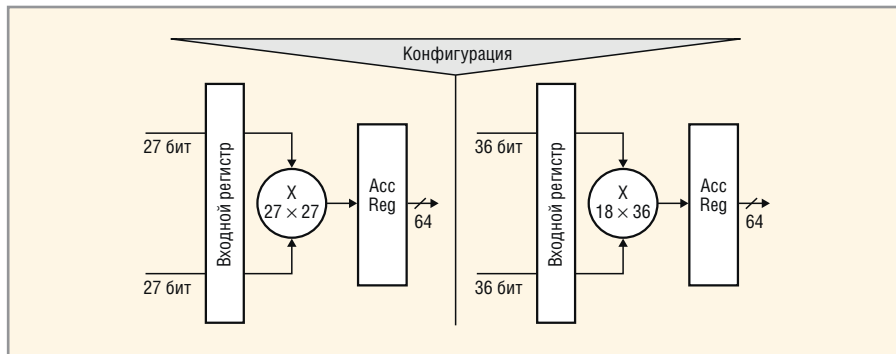


Рис. 4. Конфигурации DSP-блока для режима работы с высокой точностью

дого режима с точностью, указанной в таблице.

В режиме 18-битной точности DSP-блок может быть настроен на

поддержку двойного умножения (см. рис. 1) или в автономном (независимом) режиме на одинарное умножение, как показано на рисунке 3,

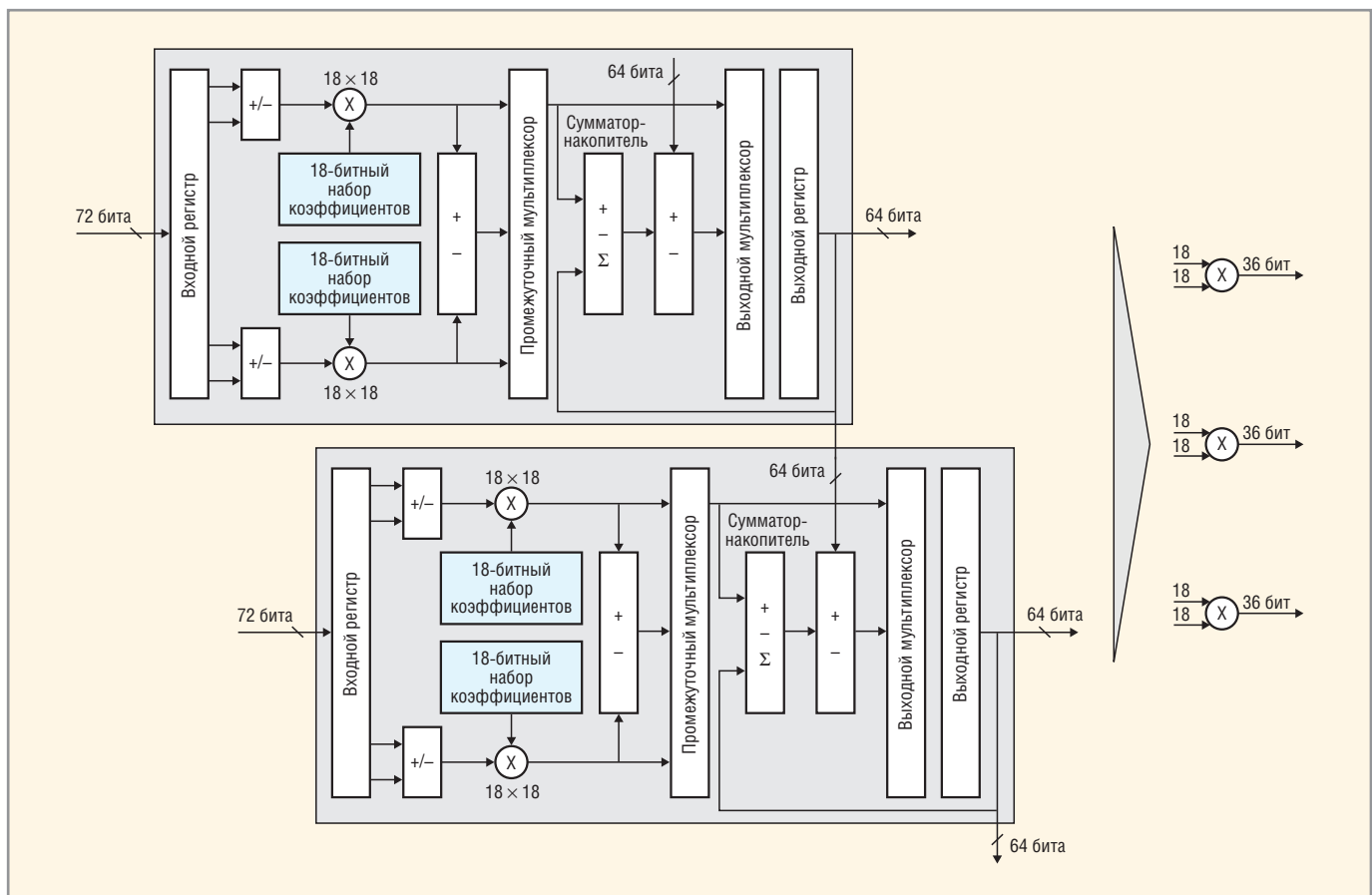


Рис. 5. Каскадное соединение двух блоков DSP переменной точности

при этом выходное разрешение не превышает 32 бит. В режиме высокой точности следует настраивать каждый DSP-блок переменной точности для реализации умножителя 27×27 или 18×36 , как показано на рисунке 4.

Для расширения и поддержки необходимого диапазона точности каждый DSP-блок ПЛИС Stratix V соединяется каскадно посредством 64-битной каскадной шины с другими аналогичными блоками. Использование подобного соединения при реализации трёх независимых умножителей 18×18 в случае применения DSP-блоков фиксированной точности требует четырёх таких блоков, а при использовании DSP-блоков необходимо всего два блока с полным разрешением 36 бит (см. рис. 5).

Новые решения, использованные в ПЛИС Stratix V, позволяют реализовать оптимизированные структуры высокопроизводительных КИХ-фильтров и БПФ. Разрабатываемые устройства ЦОС с блоками переменной точности становятся в два-три раза эффективнее в сравнении с устройствами ЦОС, выполненными, например, на DSP-блоках с фиксированной точностью 18×25 .

Реализуемый с помощью DSP-блоков переменной точности КИХ-фильтр относится к нерекурсивным фильтрам. Аналитическое описание такого фильтра имеет следующий вид:

$$y(n) = c_0x(n) + c_1x(n - 1) + \dots + c_px(n - p),$$

где p – порядок фильтра; $x(n)$ – входной сигнал; $y(n)$ – выходной сигнал; c_i – коэффициенты фильтра.

На рисунке 6 показана реализованная в DSP-блоках переменной точности ПЛИС Stratix V структурная схема КИХ-фильтра, состоящая из умножителей, элементов задержки (регистров) и сумматоров. В ней предусмотрены следующие возможности оптимизации (см. рис. 7):

- встроенные предварительные сумматоры могут быть использованы при реализации симметричного фильтра, что позволяет уменьшить число умножителей в два раза;
- регистры используются для хранения коэффициентов фильтра c_i ; внут-

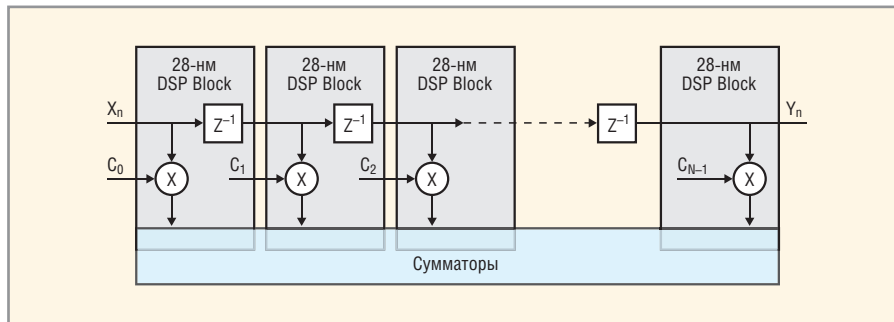


Рис. 6. Прямая форма КИХ-фильтра, реализованная с использованием DSP-блока ПЛИС Stratix V

ри DSP-блока, что позволяет экономить количество регистров и объём памяти и увеличить тактовую частоту фильтра;

- два уровня сумматоров в одном блоке позволяют строить КИХ-фильтры прямой формы;
- регистры на выходе DSP-блока позволяют реализовать каскад систолического КИХ-фильтра.

В DSP-блоке переменной точности функции предварительного сумматора жёстко фиксированы. При этом как предварительный сумматор, так и умножитель являются частью сумматора DSP-блока, а эле-

менты задержки реализованы с использованием регистров за пределами DSP-блока. Предварительные сумматоры в основном используются для построения симметричных КИХ-фильтров. Такая структура сумматора в DSP-блоке переменной точности при реализации симметричных КИХ-фильтров прямой формы позволяет в два раза уменьшить число умножителей, если предварительно использовать две выборки данных с умножением на общий коэффициент.

В симметричных КИХ-фильтрах операции на двух умножителях можно

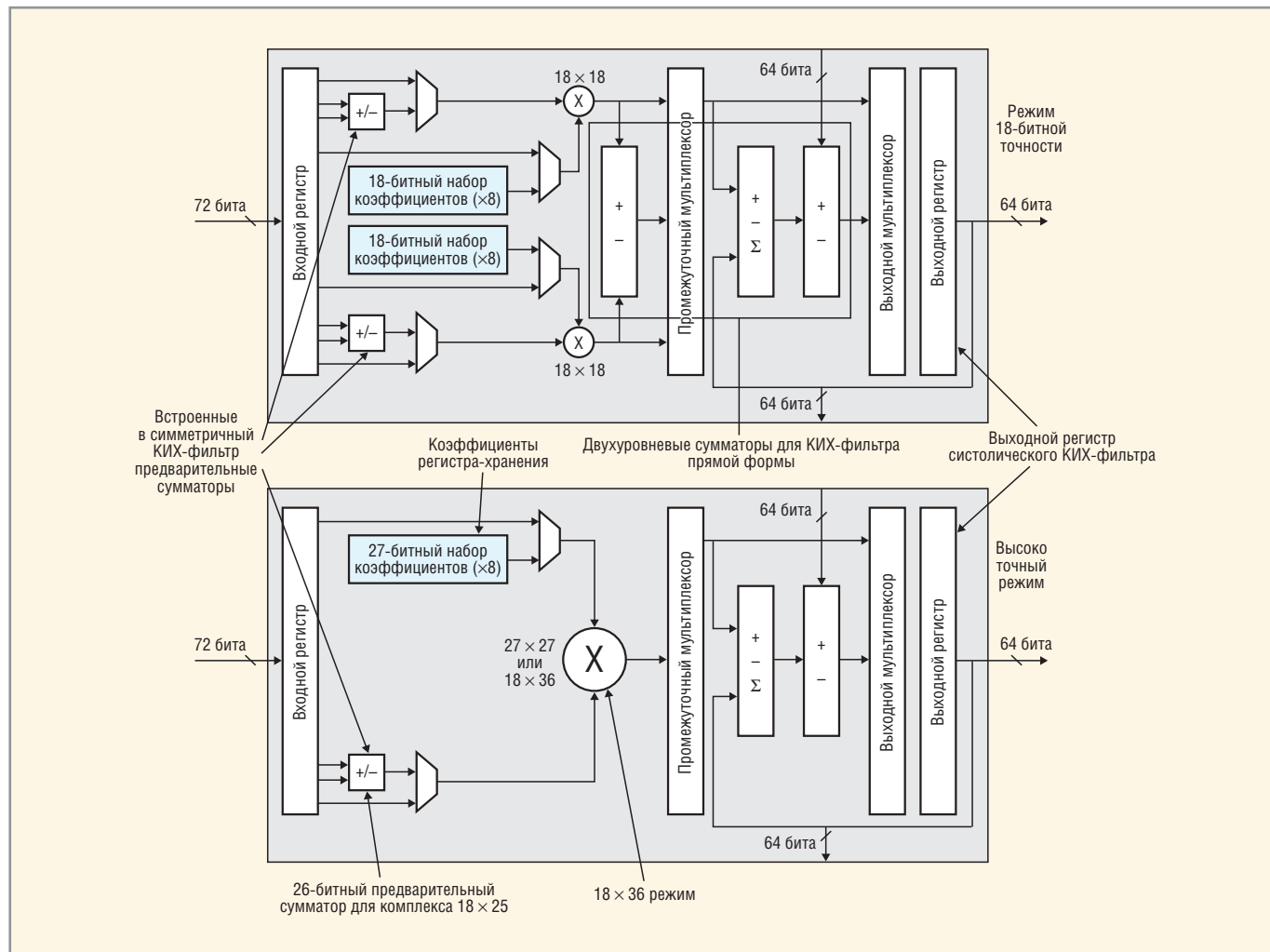


Рис. 7. Реализация КИХ-фильтра в DSP-блоке ПЛИС Stratix V

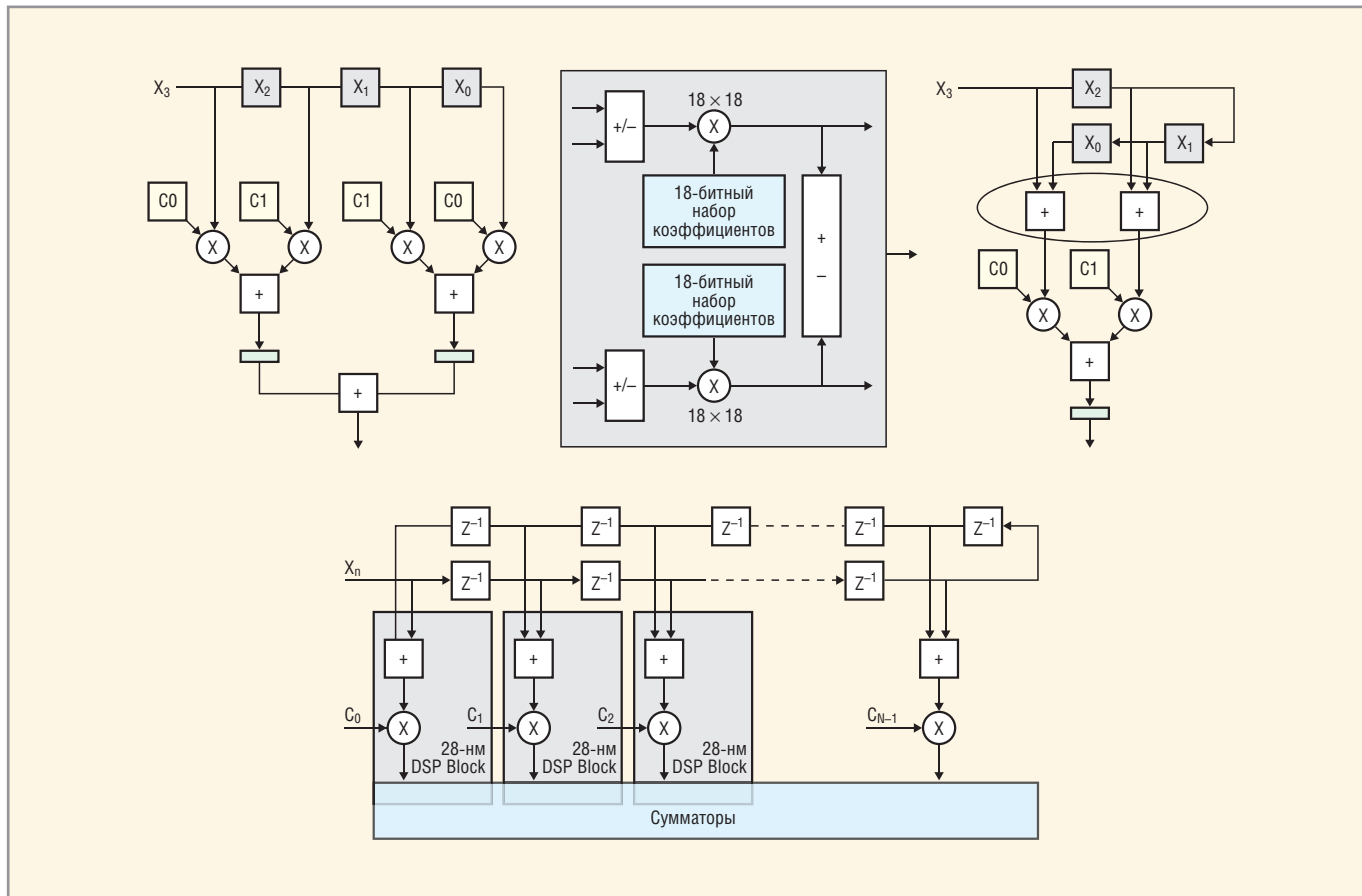


Рис. 8. Реализация симметричных КИХ-фильтров прямой формы в DSP-блоке ПЛИС Stratix V

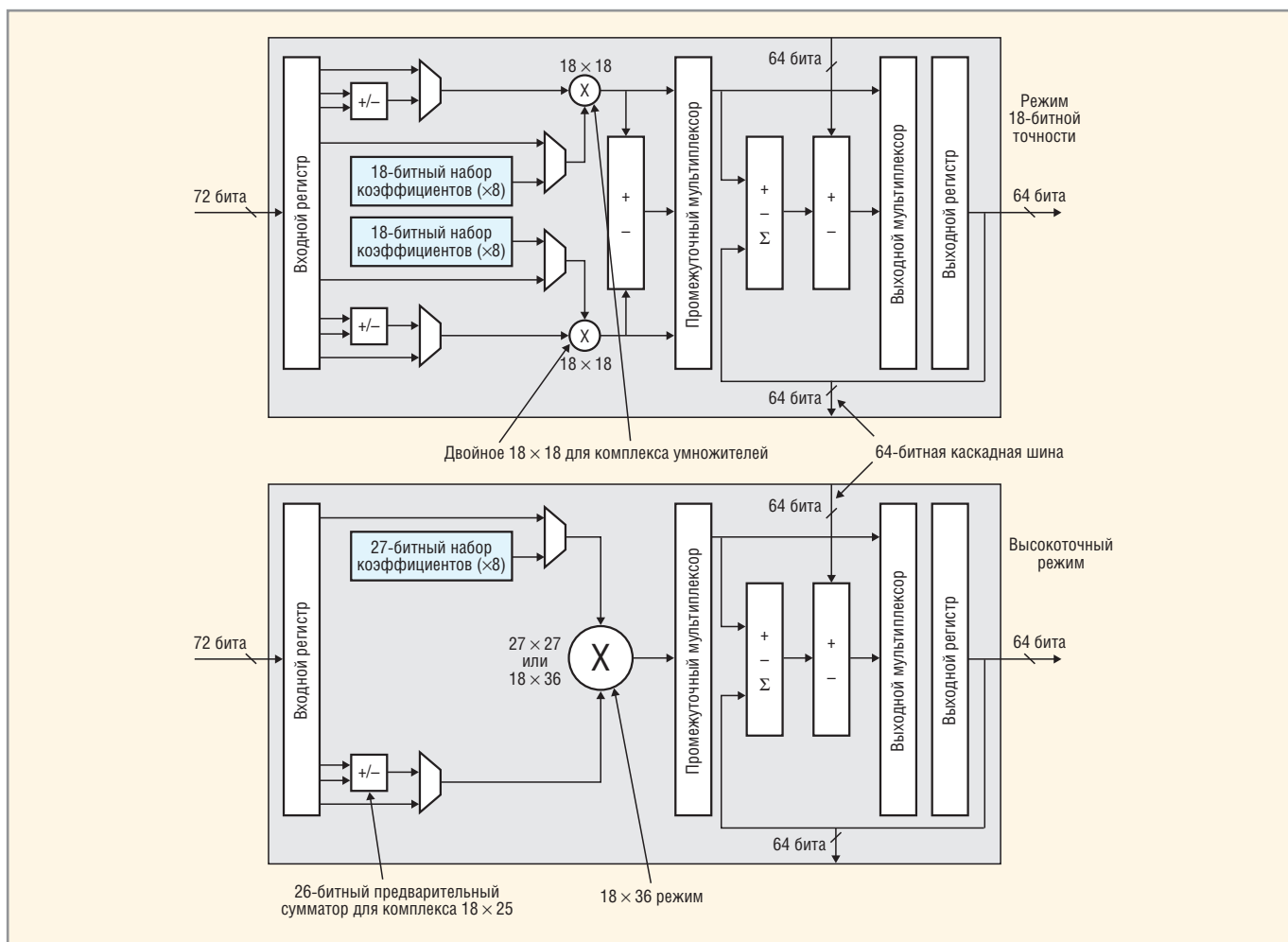


Рис. 9. Оптимальная структура БПФ в DSP-блоке переменной точности

заменить операцией, выполняемой на одном умножителе и одном сумматоре, как показано на рисунке 8. Точность выбранного режима определяется тем, будет ли использоваться двойной 18-битный или один 26-битный предварительный сумматор. Последний может быть настроен для вычитания, поэтому DSP-блок применяется и для выполнения суммирования квадратов разностей.

Алгоритм дискретного БПФ в DSP-блоке переменной точности реализуется с использованием комплекса умножителей. Причём DSP-блок, оптимально поддерживая алгоритм БПФ, реализует его в несколько этапов, обеспечивая тем самым более широкий динамический диапазон и низкий уровень шума. Особенности структуры БПФ в DSP-блоке переменной точности показаны на рисунке 9. При реализации алгоритма БПФ предъявляются повышенные требования к точности DSP-блока только в части умножителя.

Для приложений высокой точности, в частности БПФ с плавающей точкой, при использовании комплекса

умножителей 27×27 , необходим каскад из четырёх DSP-блоков переменной точности, настроенных в режим высокой точности. Используемая архитектура DSP-блока для дискретного БПФ содержит ряд новых технических решений: 26-битный предварительный сумматор позволяет осуществить оптимизацию операции 18×25 ; возможность двойного умножения 18×18 позволяет получать действительные или мнимые числа в одном блоке. Реализация режима 8×36 обеспечивает более высокую точность DSP-блока. Применение 64-рядной каскадной шины позволяет соединять блоки DSP без потери точности.

Таким образом, использование архитектуры DSP-блока переменной точности Stratix V FPGA обеспечивает различные уровни точности, в том числе реализацию операций с плавающей точкой. Разработчики устройств ЦОС могут в одном блоке реализовать сумматор 27×27 как для выполнения приложений в высокоточных операциях с фиксированной точкой, так и для дополнительных приложений при

выполнении операций с плавающей точкой.

Структура схем DSP-блоков переменной точности, входящих в архитектуру ПЛИС Stratix V, оптимизирована для обеспечения максимальной эффективности при реализации КИХ-фильтров и БПФ. Реализация указанных алгоритмов с использованием схем DSP-блоков переменной точности во многих случаях требует только половины ресурсов DSP по сравнению с конкурирующими решениями. Такое преимущество сказывается в конечном счёте на стоимости создаваемого устройства. Кроме того, использование разработчиком нескольких DSP-блоков не приводит к снижению точности алгоритмов цифровой обработки сигналов.

Таким образом, новая архитектура DSP-блока переменной точности ПЛИС Stratix V FPGA обеспечивает повышенную производительность системы, пониженное энергопотребление и снимает ряд ограничений при реализации популярных алгоритмов цифровой обработки сигналов. ©