

# Работа с дифференциальными парами в Cadence Allegro

Анатолий Сергеев, Пётр Савченко (Москва)

В статье рассмотрен стандартный стиль дифференциальных пар, а также способы их установки и настройки ограничений.

## ВВЕДЕНИЕ

Тенденции развития печатных плат свидетельствуют о постоянном увеличении скорости передачи информации, с которыми не справляются традиционные технологии проектирования. Устоявшиеся понятия о параллельных интерфейсных потоках не работают при тактовых частотах свыше 200 МГц из-за взаимодействия сигналов большого количества шин. Решением этой проблемы является применение последовательных интерфейсов, использующих передачу сигналов в дифференциальном виде и обеспечивающих необходимую скорость потока.

Дифференциальная передача сигналов обеспечивает значительно более низкий уровень излучения, сокращает количество выводов устройств и сигнальных шин и предоставляет возможность передавать сигналы на относительно большие расстояния. Высокоскоростные тактовые сигналы компьютерных материнских плат и серверов передаются по дифференциальным линиям. Многочисленные устройства, такие как принтеры, коммутаторы, маршрутизаторы и процессоры сигналов, используют технологию низкоуровневой дифференциальной передачи сигналов LVDS (Low Voltage Differential Signaling).

Разводка дифференциальных пар предъявляет новые, довольно сложные требования к проектированию печатных плат. Прежде всего это относится к САПР печатных плат и расширению их инструментария. Многие современные программы давно имеют в своём составе модули для реализации такой технологии, но наиболее адекватными считаются «тяжёлые» САПР от компаний Cadence и Mentor.

В этой статье будет рассмотрена реализация дифференциальных пар в программе Allegro, где, начиная с версии 15.0, имеется возможность устанавливать электрические ограниче-

ния на стандартный стиль дифференциальных пар (имеется в виду пара цепей или распределённые цепи, прокладываемые в непосредственной близости друг от друга на поверхности одного и того же слоя платы).

Используя новые инструменты при работе с дифференциальными парами в программе Allegro, пользователь имеет возможность:

- объединять две одиночные (*nets*) или распределённые цепи (*xnets*, подразумеваются несколько разноимённых цепей, передающих один сигнал через фильтрующие конденсаторы и согласующие резисторы), обозначенные как дифференциальные пары, в один групповой объект дифференциальных пар;
- препятствовать созданию более чем двух объектов со свойством *DIFFERENTIAL\_PAIR* для пользовательских дифференциальных пар;
- использовать функцию автоматической генерации дифференциальных пар в *Allegro PCB Editor* (редактор печатных плат) или *Allegro PCB SI* (модуль для анализа целостности сигналов и ЭМС) и *Constraint Manager* (таблица для управления правилами и ограничениями);
- устанавливать электрические ограничения на дифференциальные пары в разделе *Electrical Constraint Set* менеджера ограничений (*Constraint Manager*);
- не использовать дополнительные переменные, которые ранее требовались для разделения правил проверки (*DRCs*) трассировки между дифференциальными парами;
- добавлять больше ограничений на трассировку дифференциальных пар;
- контролировать все ограничения, наложенные на дифференциальные пары, в одном режиме *DRC: All differential pair checks*;

- использовать *Differential Calculator* в *Allegro PCB Editor* или *Allegro PCB SI* для вычисления вариантов ширины линий и величины зазора между ними;
- использовать диалоговое окно *Database Setup Advisor* в *Allegro PCB Editor* или *Allegro PCB SI* для загрузки требуемых библиотек и базы данных;
- разделять электрические и пользовательские дифференциальные пары в системе проверки правил проектирования (*DRC*).

В *Allegro PCB Editor* и *Allegro PCB SI* список всех дифференциальных пар можно открыть в окне *Logic – Assign Differential Pair*. Также дифференциальные пары добавлены в раздел электрических правил трассировки цепей *Constraint Manager (Setup – Constraints – Electrical* в редакторе плат).

Ниже мы рассмотрим стандартный стиль дифференциальных пар, под которыми понимаются пары, расположенные на поверхности одного и того же слоя платы. Тандемные дифференциальные пары будут рассмотрены в следующих статьях.

В программе *Cadence Allegro* все дифференциальные пары могут быть установлены двумя способами:

- 1) дифференциальные пары, описываемые моделями (электрические дифференциальные пары). Назначение такой дифференциальной пары происходит через модель прохождения сигнала (*IBISDevice*). Дополнительно такая модель может содержать паразитные параметры выводов, данные о задержке сигнала, логический пороговый уровень и буферные задержки;
- 2) пользовательские дифференциальные пары. Такие дифференциальные пары задаются вручную с использованием одного из следующих методов:
  - в *Allegro Design Entry HDL XL* (редактор схем) присвоить свойство *DIFFERENTIAL\_PAIR* цепям на схеме,
  - в *Allegro PCB Editor* или *Allegro PCB SI* выбрать *Logic – Assign Differential Nets*,
  - в *Constraint Manager* выбрать цепь или групповую цепь, а затем меню *Objects – Create – Differential Pair*.

Разработчики Cadence рекомендуют использовать модельные дифференциальные пары для высокоскоростных проектов, поскольку они имеют преимущество над пользовательскими парами.

### ПРИМЕРЫ МОДЕЛЕЙ

Как и в других подобных системах проектирования, электрические ограничения в проекте управляют трассировкой дифференциальных пар. Множество различных факторов влияют на конечный результат трассировки, среди которых точность моделей, сложность схемы и время, отведённое на проработку всех необходимых установок. Существуют модели схем с различной степенью детализации описаний.

#### Первый тип описания модели

- Настройка базы данных и библиотеки для высокоскоростного проекта с учётом поперечного сечения (*cross section*), цепей постоянного тока, классов устройств и используемых выводов;
- Назначение сигнальных моделей компонентам и критичным цепям, которые участвуют в формировании дифференциальных пар;
- Описание ограничений для дифференциальных пар с помощью *ECSet* (electrical constraint set).

Данный тип описания модели является наиболее полным и приводит к максимально точным результатам моделирования.

#### Второй тип описания модели

- Настройка базы данных и библиотеки для высокоскоростного проекта

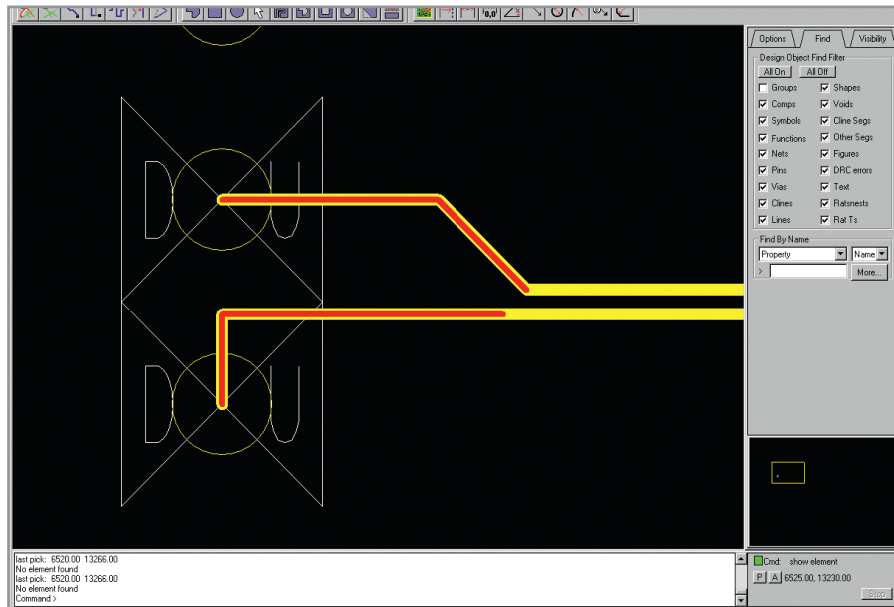


Рис. 1. Псевдосегменты – удобное средство выявления некорректной трассировки дифференциальных пар

- с использованием классов устройств и назначения выводов;
- Использование сигнальных моделей для описания дискретных компонентов;
- Использование комбинации пользовательских и «электрических» дифференциальных пар.

#### Третий тип описания модели

- Не настраиваются база данных и библиотеки;
- Наследуются библиотеки и данные о соединениях;
- С минимальными требованиями производится описание и ограничение дифференциальных пар (все дифференциальные пары – пользовательские).

Данный тип описания модели является минимальным и приводит к

потенциально большим погрешностям при трассировке и моделировании.

### ВАРИАНТЫ НАСТРОЙКИ

Как было сказано ранее, управление дифференциальными парами может быть выполнено на различных этапах проектирования. Рассмотрим используемые варианты настроек дифференциальных пар. Разработчики Cadence рекомендуют создавать индивидуальные настройки базы данных для каждого проекта с различным набором электрических ограничений.

Управление настройками базы данных в редакторе *Allegro PCB Editor* осуществляется посредством *Setup Advisor (Tools – Setup Advisor)* через набор последовательных модулей:

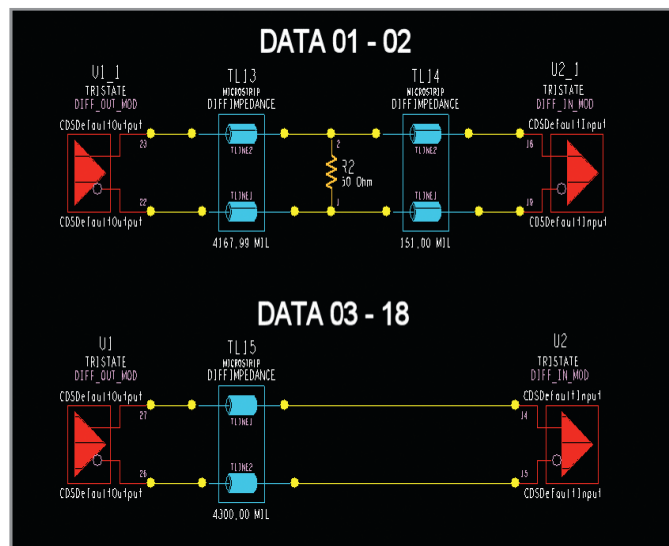


Рис. 2. Модель дифференциальной пары для шины данных в N бит

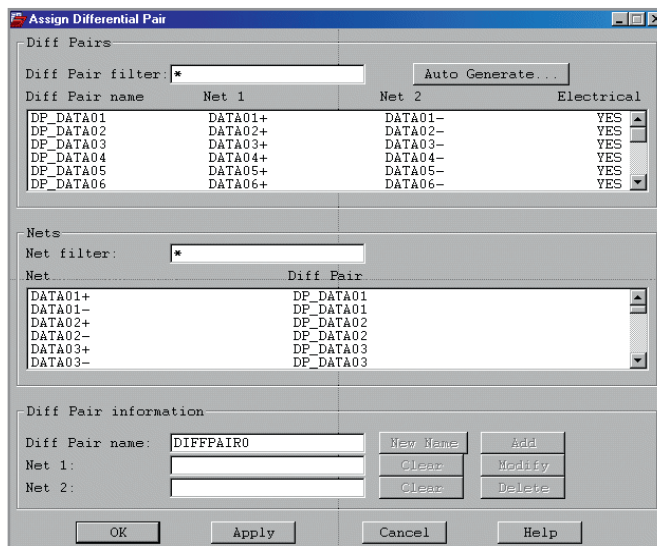


Рис. 3. Логика и распределение дифференциальных пар

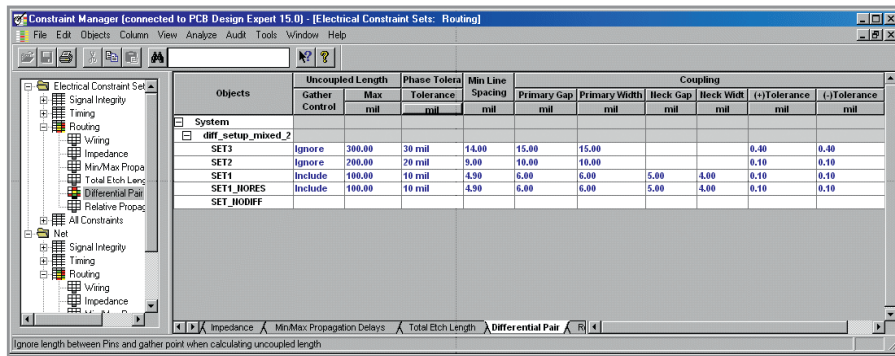


Рис. 4. Настройка ограничений дифференциальных пар в окне *Constraint Manager*

- *Cross-section* – тип и характеристики материала печатной платы, необходимые для последующего анализа сигналов;
- *DC Nets* – определение численных значений для цепей питания и земли;
- *Devices* – назначение классов устройств и типов выводов, которые не определены в библиотеках. Для таких элементов будет использоваться упрощённая модель;
- *SI Models* – модели для дискретных устройств. Здесь параметр *AUTO-SETUP* в диалоговом окне *Signal Model Assignment* используется для определения свойства *VALUE* при автоматической

генерации сигнальных моделей для двухвыводных дискретных компонентов.

Для полноты результатов следует включить в библиотеки следующие составляющие:

- сигнальные модели для дифференциальных пар;
- библиотеки компонентов для описания классов устройств и назначения выводов.

Очень важно правильно назначать выводы компонентов, привязанных к дифференциальным парам, поскольку система проверки правил проектирования отслеживает выводы источника и соответствующего

приёмника сигналов. Если частью цепи дифференциальных пар являются дискретные компоненты, например нагрузочные резисторы, то система DRC не учитывает этого по умолчанию. Поэтому необходимо представить нагрузочные резисторы как одновыводные компоненты – приёмники сигналов.

### НАСТРОЙКА ОГРАНИЧЕНИЙ И СВОЙСТВ

Для определения ограничений и свойств дифференциальных пар используются следующие установки:

- *DIFF PAIR Group* – объект базы данных, который определяет две цепи дифференциальной пары как единый объект;
- *Differential Pair Constraints* – установка ограничений непосредственно на дифференциальные пары независимо от того, используется ли *ECSets* или свойства для ограничений;
- *DIFF\_PAIR Property* – свойство, начинающееся на *DIFFP\_*.

С новыми инструментами интерактивной трассировки можно:

- выбрать последовательно две цепи и установить соответствующие правила;

Таблица 1. Перечень параметров и ограничений для настройки правил

Поле	Величина и описание
Имя (Name)	SET1 Имя объекта дифференциальной пары
Первичный зазор (Primary gap)	6 MIL Расстояние между дорожками в дифференциальной паре
Первичная ширина трассы (Primary Line Width)	6 MIL Основная ширина трасс в паре, которая учитывается при интерактивной и автоматической трассировке
Зазор между трассами на некотором участке (Neck Gap)	5 MIL
Ширина фрагмента трассы (Neck Width)	4 MIL Эта величина ширины проводника используется, когда должны быть соблюдены более жёсткие требования к размерам, например, при трассировке компонентов с матричным расположением выводов (PGA, BGA)
Допуск связности (ряд +) (Coupled tolerance (+))	0,1 Ряд допустимых величин, на которые дифференциальная пара может отклоняться от первоначального заданного расстояния между парой трасс; трассы при этом всё ещё рассматриваются как связанные. Это значение выражается как ряд +/-
Допуск связности (ряд -) (Coupled tolerance (-))	0,1
Минимальное расстояние между трассами (Minimum line spacing)	4,9 MIL Минимально допустимое расстояние между трассами в дифференциальной паре
Контроль схождения (Gather control)	Включить (Include) Если будет превышена максимальная суммарная длина всех псевдоэлементов (участков трасс, пинов и др.), которые лежат вне заданных пользователем параметров совмещённых трасс, то DRC укажет на это. Если будет выбран режим «игнорировать» ( <i>ignore</i> ), то DRC не будет подсчитывать данную сумму и не отобразит ошибку на экране, однако величину суммарной длины по-прежнему можно будет посмотреть в отчёте <i>Constraint Manager</i>
Фазовый допуск (Phase tolerance)	10 MIL Значение длины трассы или времени задержки сигнала, которые определяют допустимые суммарные расхождения в дифференциальной паре
Максимальная расщеплённая длина (Max uncoupled length)	100 MIL Максимальная суммарная длина псевдоэлементов, которые лежат вне заданных пользователем параметров совмещённых трасс. Крайне затруднительно при трассировке достигнуть сходимости дифференциальной пары в 100%. Как правило, максимальная расщеплённая длина составляет не менее половины расстояния между источником и приёмником сигналов дифференциальной пары

- перейти на режим одиночной линии (*Single Line Mode*). Это позволит соединить две цепи дифференциальной пары в одной точке;
- просмотреть информацию о дифференциальной паре с точки зрения других электрических ограничений.

Во время автоматической трассировки *Allegro PCB Router* распознает дифференциальные пары и все ограничения. Для участков трасс, где происходит их сужение, нет необходимости создавать специальные области на плате с отдельными правилами и ограничениями для контроля расстояния между трассами и их ширины. Теперь это доступно с помощью переменных *Neck Width* (ширина участка трассы) и *Neck Gap* (зазор между соседними трассами на отдельном участке этих трасс). Очень важно задать правила и ограничения на трассировку дифференциальных пар. К минимальным требованиям здесь можно отнести ширину и длину трасс в дифференциальной паре и первичный зазор между трассами в паре.

Для контроля над системой проверки правил проектирования (*DRC*) дифференциальных пар в *Allegro PCB* или *Allegro PCB SI* и *Constraint Manager* в окне *Electrical Constraints* переключите ограничение *All Differential Pair Checks* на *On* (*Setup – Constraints – Electrical Constraints Sets – Modes tab*).

Участки трасс дифференциальных пар, которые не соответствуют наложенным пользователем ограничениям, подсвечиваются псевдосегментами (см. рис. 1), что помогает отлаживать систему *DRC*.

### ПРИМЕР РАБОТЫ С ДИФФЕРЕНЦИАЛЬНЫМИ ПАРАМИ

Рассмотрим конкретный пример реализации дифференциальной пары на печатной плате. Этот пример будет основан на следующих установках:

- расстояние между трассами в дифференциальной паре составляет 6 mils, расстояние между двумя соседними дифференциальными парами или другими цепями – 10 mils;
- каждый участок дифференциальной пары имеет одинаковую длину в пределах допуска 10 mils;
- нагрузочные резисторы располагаются на расстоянии 300 mils до ближайшей нагрузки;

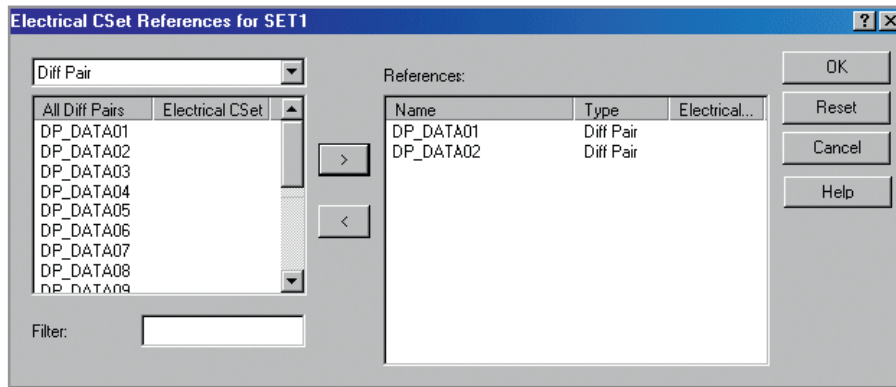


Рис. 5. Диалоговое окно настройки электрических ограничений для дифференциальных пар

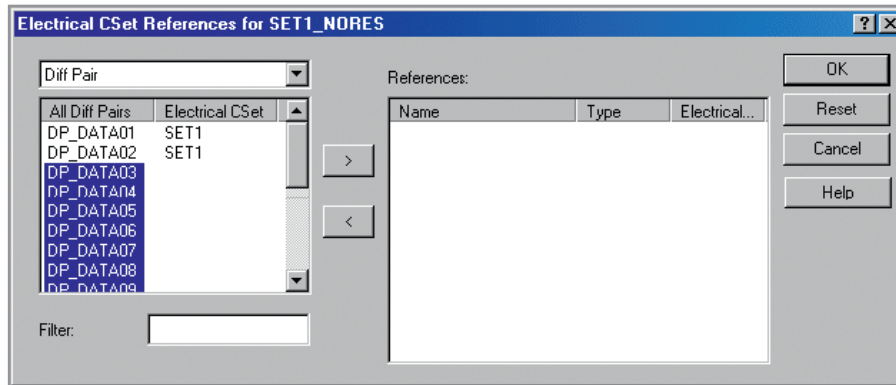


Рис. 6. Настройка SET1\_NORES

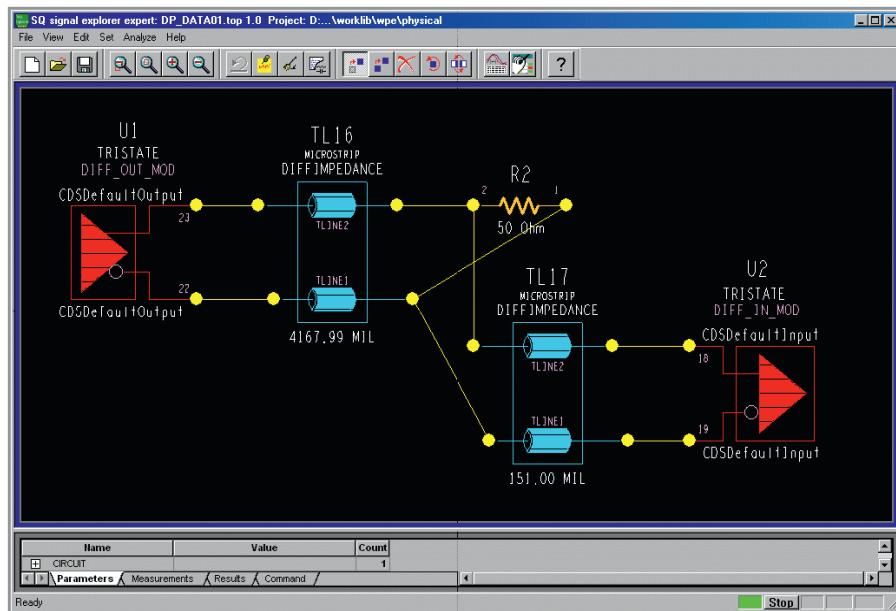


Рис. 7. Топология дифференциальных пар

- дифференциальные пары, включенные в группу, имеют одинаковую длину с допуском в 50 mils.

Пример дифференциальных пар показан на рисунке 2, где реализованы 18 пар (*DATA01 – DATA18*); пары *DATA01* и *DATA02* имеют параллельно включенный нагрузочный резистор, а остальные пары – нет.

Приступая к работе с дифференциальными парами, необходимо выполнить их описание, т.е. «сказать» программе, какие проводники явля-

ются парами. Назначение сигнальных моделей компонентам автоматически формирует дифференциальные пары.

Просмотреть список дифференциальных пар можно по команде *Logic – Assign Differential Pair*. В диалоговом окне *Assign Differential Pair* (см. рис. 3) дифференциальные пары отобразятся как электрические дифференциальные пары. В этом же окне происходит назначение дифференциальных пар.

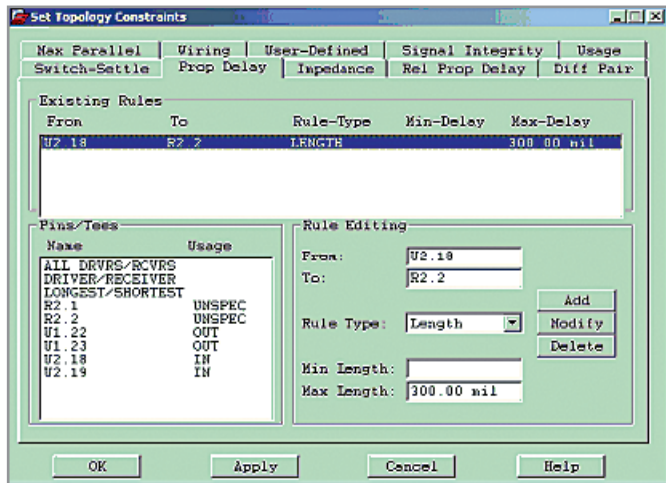


Рис. 8. Установка ограничения на топологию – вкладка *Prop Delay*

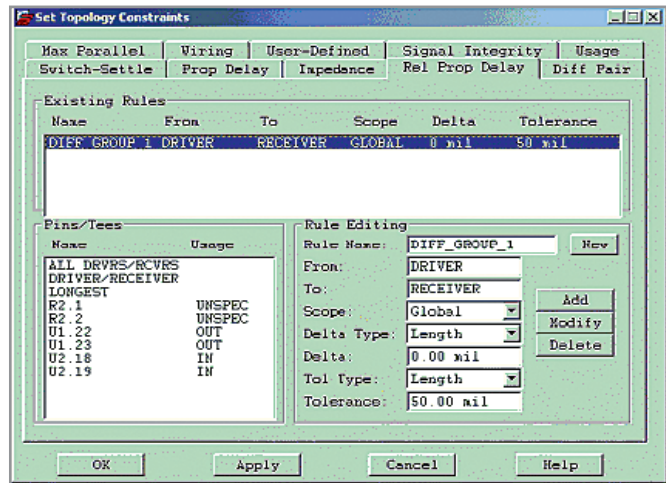


Рис. 9. Установка ограничения на топологию – вкладка *Rel Prop Delay*

**Правила и ограничения, накладываемые на дифференциальные пары**

Описание дифференциальных пар наиболее удобно производить через единую таблицу установки правил и ограничений *Constraint Manager*, которую можно вызвать из редактора схем или из редактора плат (см. рис. 4). После этого происходит создание множества электрических ограничений (*ECSet – Electrical Constraints Set*), которые назначаются объекту дифференциальной пары:

- откройте папку *Electrical Constraint Set* в дереве иерархии *Constraint Manager*;
- разверните подпапку *Routing*;
- выберите вкладку *Differential Pair*;
- выберите *Objects – Create – Electrical CSet*;
- введите имя нового ограничения *SET1*;
- введите значения для *SET 1*, как указано в таблице 1.

На этом этап формирования ограничений для дифференциальных пар *SET1* закончен.

Поскольку у нас имеется набор дифференциальных пар с нагрузками и без них, требуется создать две различные установки соответствующих электрических ограничений *EC-Set*. Одна из них должна содержать дополнительные настройки расстояния до терминаторов. Это необходимо

сделать для учёта влияния терминаторов на работу дифференциальной пары.

Ранее созданные ограничения можно копировать, редактировать и использовать для других групп объектов. Копирование настроек электрических ограничений выполняется так:

- щёлкните правой кнопкой мыши на *SET1* и выберите из выпадающего меню *Create – Electrical CSet*;
- выберите *Copy Constraint From*;
- введите имя нового ограничения *NORES1* и нажмите OK.

Убедитесь, что все параметры *NORES1* идентичны *SET1*.

При работе с элементами топологии, и в том числе с проводниками дифференциальных пар, пользователю часто приходится задавать различные правила для разных групп объектов. Распределение множества электрических ограничений на различные дифференциальные пары является важным вопросом, который встаёт перед конструктором. Чтобы установить связь между набором установок электрических ограничений и соответствующими дифференциальными парами:

- щёлкните правой кнопкой мыши на одной из *ECSet* и выберите из выпадающего меню *Electrical CSet References*. В правой стороне появивше-

гося окна *Electrical CSet References* будет доступен список всех цепей схемы (см. рис. 5);

- выберите установку *ECSet SET1*. В заголовке диалогового окна должно появиться её наименование;
- переместите объекты дифференциальных пар *DP\_DATA01* и *DP\_DATA02* вправо в поле *References* (как показано на рис. 5), используя кнопки перехода («стрелки»). Описанным действием для дифференциальных пар *DATA01* и *DATA02* была ранее созданная настройка правил *SET1*;
- завершите настройку нажатием кнопки OK;
- выберите *ECSet SET1\_NORES* и повторите предыдущие шаги для пар с *DP\_DATA03* по *DP\_DATA18*, как показано на рисунке 6.

**Дополнительные настройки ограничений**

Для указания местонахождения резистора на заданном расстоянии от нагрузки (300 mils) настройте ограничение на задержку сигнала в цепях:

- выберите *Net/Routing/Min Max Propagation* для вывода рабочей таблицы. Будет показан список дифференциальных пар с уже установленным на них ограничением *ECSet SET1*;
- выберите дифференциальную пару *DP\_DATA01* и нажмите на правую кнопку мыши. Из выпадающего списка выберите *SigXplorer*. Откроется окно *SigXplorer* с топологией, показанной на рисунке 7. Резисторы должны быть расположены на определённом расстоянии от нагрузки;
- в окне *SigXplorer* выберите *Set – Constraints*. Появится окно настройки ограничений топологии;
- перейдите на вкладку *Prop Delay*;

Таблица 2. Информация для настройки *Rel Prop Delay*

Rule Name (Имя правила)	DIFF_GROUP_1
Scope (Тип)	GLOBAL
Delta Type (Тип абсолютной погрешности)	LENGTH
Delta	0
Tol Type (Тип относительной погрешности)	LENGTH
Tolerance	50

- установите необходимое расстояние от резистора на входе путём выбора R2.2 из списка;
- выберите U2.18 и введите следующие значения: Rule type = length, Min Value = blank, Max Value = 300;
- нажмите *Add*. Правило будет включено в раздел *Existing Rules*, как показано на рисунке 8.

Теперь резистор расположен на расстоянии 300 mils от нагрузки. Он может быть помещён как перед нагрузкой, так и после неё.

Каждая цепь шины должна иметь одинаковую длину в пределах указанного допуска, поэтому следует добавить ко всем цепям свойство *Relative Propagation Delay* (относительную задержку распространения сигнала):

- перейдите на вкладку *Rel Prop Delay*;
- выберите *Driver/Receiver* (источник/приёмник);
- введите информацию из таблицы 2;
- нажмите *Add*. Правило появится в списке правил, как показано на рисунке 9;
- нажмите ОК. Вы настроили все ограничения;

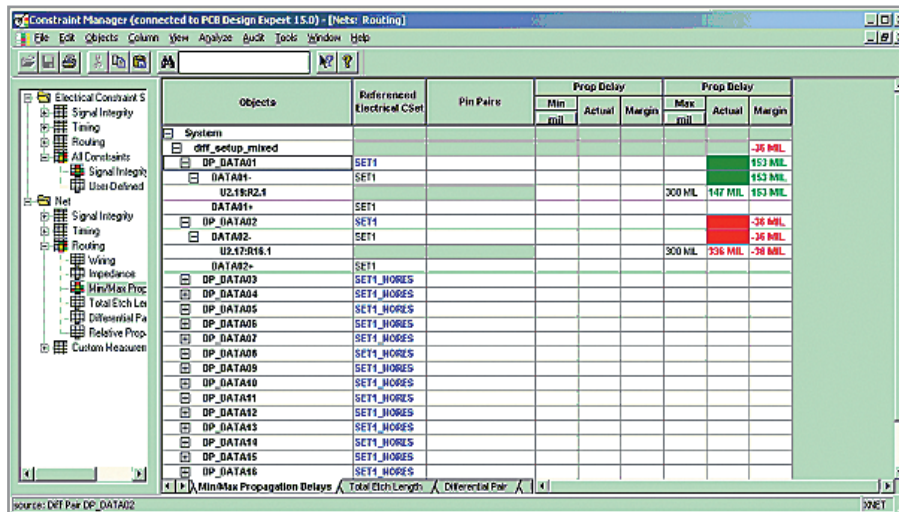


Рис. 10. Установка ограничения на топологию – вкладка *Rel Prop Delay*

- выберите *File – Update Constraint Manager*. Откройте обновлённый журнал и просмотрите все внесённые изменения;
  - закройте журнал.
- Ограничения, составленные вами в *SigXplorer*, теперь можно увидеть в *Constraint Manager* (см. рис. 10).
- Теперь, после настройки всех необходимых ограничений на проект печатной платы с дифференциальными

парами, можно вернуться в *Allegro PCB* или *Allegro PCB SI* для завершения трассировки проекта.

Настройки, показанные в данной статье, могут быть использованы как в редакторе печатных плат *Allegro PCB Editor* для ручной трассировки, так и в редакторе *Allegro PCB Router* (более известного в России как *Spectra*) для автоматической трассировки. ©