

Многоядерная конфигурируемая вычислительная платформа Zynq-7000

Александр Калачёв (г. Барнаул)

Платформа Zynq-7000 компании Xilinx представляет интерес и для разработчиков программного обеспечения, и для специалистов по применению FPGA. Однокристальное решение, в совокупности с 28-нм технологическим процессом, обеспечивает низкое энергопотребление при высокой производительности процессорной системы ARM Cortex A9 MPCore и программируемой логики Artix/Kintex-7.

ВВЕДЕНИЕ

Семейство Zynq-7000 основано на архитектуре расширяемой процессорной платформы Xilinx Extensible Processing Platform (EPP), называемой также All Programmable SoC. Устройства семейства Zynq-7000 сочетают программные возможности высокопроизводительного процессора и гибкую, адаптируемую архитектуру FPGA, что обеспечивает высокий уровень производительности, гибкости и масштабируемости в сочетании с низким энергопотреблением. Это позволяет существенно снизить стоимость решения и время выхода продукта на рынок [1–3]. В отличие от традиционных систем на кристалле (SoC), программируемая логика Zynq-7000 позволяет легко изменять архитектуру системы, приспособив её под решение конкретной задачи при помощи специализированных периферийных устройств или модулей расширения.

В небольшом корпусе BGA (см. рис. 1) размещены двухъядерный процессор ARM Cortex A9 MPCore и программируемая логика, реализованные в 28-нм технологическом процессе (High-k Metal Gate (HKMG), диэлектрик с высокой диэлектрической проница-

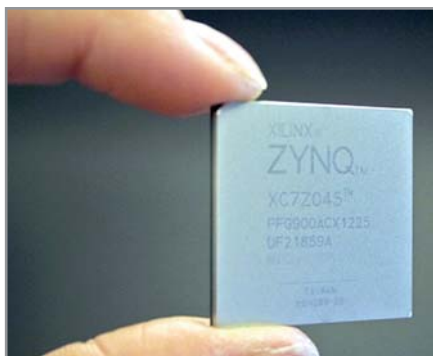


Рис. 1. Внешний вид SoC семейства Zynq-7000 XC7Z045

емостью и транзисторы с металлическим затвором).

ОБЩАЯ ХАРАКТЕРИСТИКА СЕМЕЙСТВА ZYNQ-7000

Широкий спектр приборов семейства Zynq-7000 EPP позволяет разработчикам ориентироваться и на рынок малобюджетных устройств, и на высокопроизводительные приложения, используя единую платформу и стандартный набор инструментов разработки [3, 4].

Каждый представитель семейства имеет одно и то же процессорное ядро (см. таблицу 1), но программируемая логика и возможности ввода-вывода несколько отличаются. Серии Z-7010 и Z-7020 содержат экономичную логику FPGA Artix-7 и ориентированы на массовый рынок. Серии Z-7030 и Z-7045 основаны на логике Kintex-7 и предназначены для решения задач, требующих интенсивных вычислений и высокой скорости обмена данными (см. таблицу 2) [1, 4–7, 10].

В целом семейство Zynq-7000 EPP покрывает широкий спектр приложений (см. таблицу 3), включая [5, 6]:

- системы помощи водителю;
- телевизионные камеры;
- управление электроприводами, промышленные сети, системы машинного зрения;
- интеллектуальные и IP-камеры;
- приёмопередатчики и модемы LTE;
- устройства медицинской диагностики и обработки изображений;
- многофункциональные офисные приборы;
- системы обработки видеосигналов.

Сегодня во многих электронных системах используется сочетание FPGA либо с внешним процессором, либо с заказной ИС со встроенным процессо-

ром. Платформа Zynq-7000 позволяет создавать системы в одном корпусе (см. таблицу 4) [1, 8, 9].

Интеграция на одном кристалле процессорной системы и программируемой логики даёт большой прирост производительности по сравнению с комбинированными решениями (например, ASIC+FPGA), снимая ряд ограничений, связанных с ресурсами ввода-вывода, ограниченной полосой пропускания интерфейсов и повышенным энергопотреблением. Размещение процессора и FPGA в пределах одной коммутирующей матрицы существенно ускоряет и упрощает обмен данными между ними. Поэтому платформа Zynq-7000 EPP облегчает миграцию с заказных ИС на FPGA [3].

СТРУКТУРА ZYNQ-7000

Платформа Zynq-7000 состоит из следующих функциональных блоков (см. рис. 2) [7]:

- процессорной системы, включающей процессорный модуль;
- интерфейсов памяти;
- периферийных интерфейсов;
- межблочных интерфейсов и интерфейсов к программируемой логике;
- программируемой логики.

Процессор ARM Cortex-A9 MPCore располагает встроенной памятью, богатым набором периферийных устройств, интерфейсами к внешней памяти.

Программируемая логика содержит конфигурируемые логические блоки (CLB); конфигурируемые двухпортовые блоки памяти (BRAM); ячейки ЦОС с 25×18-битным умножителем, 48-битным аккумулятором и предварительным сумматором (DSP48E1); АЦП (XADC); управляемые блоки формирования тактовых сигналов (CMT); конфигурируемый блок шифрования (AES256) и аутентификации (SHA); конфигурируемый блок ввода-вывода (SelectIO). В старших сериях семейства присутствуют высокоскоростные последовательные приёмопередатчики (GTX) и блоки PCI Express (PCIe).

Уровень связности процессорной системы и программируемой логики

может изменяться в достаточно широких пределах, в зависимости от требований конкретных приложений. Общее число сигнальных линий, связывающих процессорную систему и логику, может превышать 3000. Это позволяет разработчику эффективно использовать ресурсы программируемой логики для создания аппаратных ускорителей и блоков ЦОС.

Технология AMBA Advanced Extensible Interface (AXI) позволяет достичь высоких скоростей передачи данных между двухъядерной вычислительной подсистемой на базе ARM Cortex-A9 MPCore и программируемой логикой при низкой потребляемой мощности, исключая традиционно узкие места в системах управления, передачи, ввода/вывода и памяти.

Периферийные устройства процессорной системы разделяют до 54 внешних мультиплексируемых линий ввода-вывода (MIO). При помощи расширенного мультиплексируемого интерфейса (EMIO) процессорная система может использовать линии ввода-вывода, относящиеся к программируемой логике.

Загрузка Zynq-7000 осуществляется в несколько этапов. Минимальная конфигурация загрузки включает загрузочную память (Boot ROM) и начальный загрузчик (FSBL). Загрузочная память определяет режим загрузки (безопасная или нет), выполняет инициализацию системы, считывает состояние конфигурационных выводов для определения источника загрузки и передаёт управление начальному загрузчику.

После сброса автоматически запускается последовательность инициализации системы и процесс загрузки с выбранного внешнего источника. В ходе данного процесса возможно конфигурирование и процессорной системы, и программируемой логики. При необходимости тестирования или отладки возможна инициализация интерфейса JTAG.

Процессоры Zynq-7000 всегда загружаются первыми, что позволяет программно контролировать процесс дальнейшей загрузки и инициализации системы и логики. Конфигурация программируемой логики может быть задана при загрузке или в произвольное время после неё. Кроме того, допускается частичная конфигурация блока логики при использовании механизма динамической реконфигура-

Таблица 1. Основные характеристики процессорной системы SoC семейства Zynq-7000

Серия	Z-7010	Z-7020	Z-7030	Z-7045
Номер	XC7Z010	XC7Z020	XC7Z030	XC7Z045
Процессорное ядро	2-ядерный ARM Cortex-A9 CoreSight, набор стандартных ARM-инструкций, Thumb-2, Java-ускорители Jazelle RCT, Jazelle DBX			
Сопроцессоры	128-битный SIMD-сопроцессор NEON + модуль вещественной арифметики одинарной и двойной точности для каждого ядра			
Максимальная частота, МГц	667 (-1); 733 (-2); 800 (-3)		667 (-1); 733 (-2); 1000 (-3)	
Кэш-память L1	Для инструкций 32 Кб, для данных 32 Кб			
Кэш-память L2	512 Кб			
Встроенное ОЗУ	256 Кб			
Поддержка внешней памяти (1)	DDR3, DDR2, LDDR2			
Поддержка внешней статической памяти (1)	2xQuad-SPI, NAND, NOR			
Каналы ПДП	8 (4 из них – разделяемые с программируемой логикой)			
Периферийные интерфейсы	2xUART, 2xCAN 2.0, 2xI2C, 2xSPI, 4 32-битных порта GPIO			
Периферийные интерфейсы со встроенным ПДП	2xUSB 2.0 (OTG), 2xEthernet (10/100/1000), 2xSD/SDI			
Взаимодействие с программируемой логикой	По две 32-битных шины AXI (режимы ведущий/ведомый) Четыре двухрежимные шины 64/32 AXI AXI 64 АСР 16 линий запросов на прерывание			

Таблица 2. Ресурсы FPGA семейства Zynq-7000

Серия	Z-7010	Z-7020	Z-7030	Z-7045
Номер	XC7Z010	XC7Z020	XC7Z030	XC7Z045
Серия логики FPGA	Artix-7		Kintex-7	
Количество программируемых логических ячеек (эквивалентное количество вентилях ASIC)	28 К (430 К)	85 К (~1,3 М)	125 К (~1,9 М)	350 К (~5,2 М)
Количество таблиц логических функций (LUT)	17 600	53 200	78 600	218 600
Количество регистров-защёлок	35 200	106 400	157 200	437 200
Количество блоков памяти по 36 Кбит (суммарный объем, бит)	60 (240 К)	140 (560 К)	265 (1060 К)	545 (2180 К)
Количество ячеек ЦОС – 18x25 MAC (указана пиковая производительность GMACs при реализации симметричного КИХ-фильтра)	80 (100)	220 (276)	400 (593)	900 (1334)
Наличие шины PCI Express	–	–	Gen2 x 4	Gen2 x 8
АЦП	12 бит, до 1 Мвыборок/с, 17 каналов			
Блоки ввода-вывода 3,3 В	100	195	100	200
Блоки ввода-вывода 1,8 В	–	–	150	150
Энергопотребление, Вт (в спящем режиме, мВт)	1...2 (100)	2...3 (100)	3...6 (100)	5...15 (100)

Таблица 3. Рекомендуемые приложения для различных серий семейства Zynq-7000

Серия	Z-7010	Z-7020	Z-7030	Z-7045
Номер	XC7Z010	XC7Z020	XC7Z030	XC7Z045
Системы помощи при вождении	+	+		
Бытовая электроника	+	+		
Промышленная автоматика	+	+	+	
Обработка медицинских изображений	+	+	+	+
Обработка сигналов радиодиапазона		+	+	
Телевизионные камеры		+	+	+
Коммуникационные системы			+	+
Беспроводные коммуникационные системы			+	+
Коммутаторы, маршрутизаторы AVB			+	+

Таблица 4. Преимущества расширяемой программируемой платформы Zynq-7000

Показатель	Примечания
Высокая системная интеграция	Программируемая платформа – центральный процессор, конфигурируемая логика, ячейки ЦОС, ввод-вывод, АЦП и т.д.
Увеличенная системная производительность	Высокопроизводительный 2-ядерный процессор (тактовые частоты до 1 ГГц) ARM Cortex-A9 MPCore; более чем 10-кратное ускорение некоторых операций за счёт ресурсов программируемой логики
Снижение затрат на комплектующие	Интегрированная платформа позволяет сократить затраты до 40% за счёт сокращения числа необходимых компонентов
Снижение энергопотребления	Режимы пониженного энергопотребления; 28-нм техпроцесс, интеграция компонентов на одном кристалле в сумме позволяют сократить общее потребление на 50% по сравнению с раздельными решениями
Ускоренный вывод продукта на рынок	Гибкая и масштабируемая платформа, широкий выбор средств разработки, отладки, операционных систем и IP-ядер

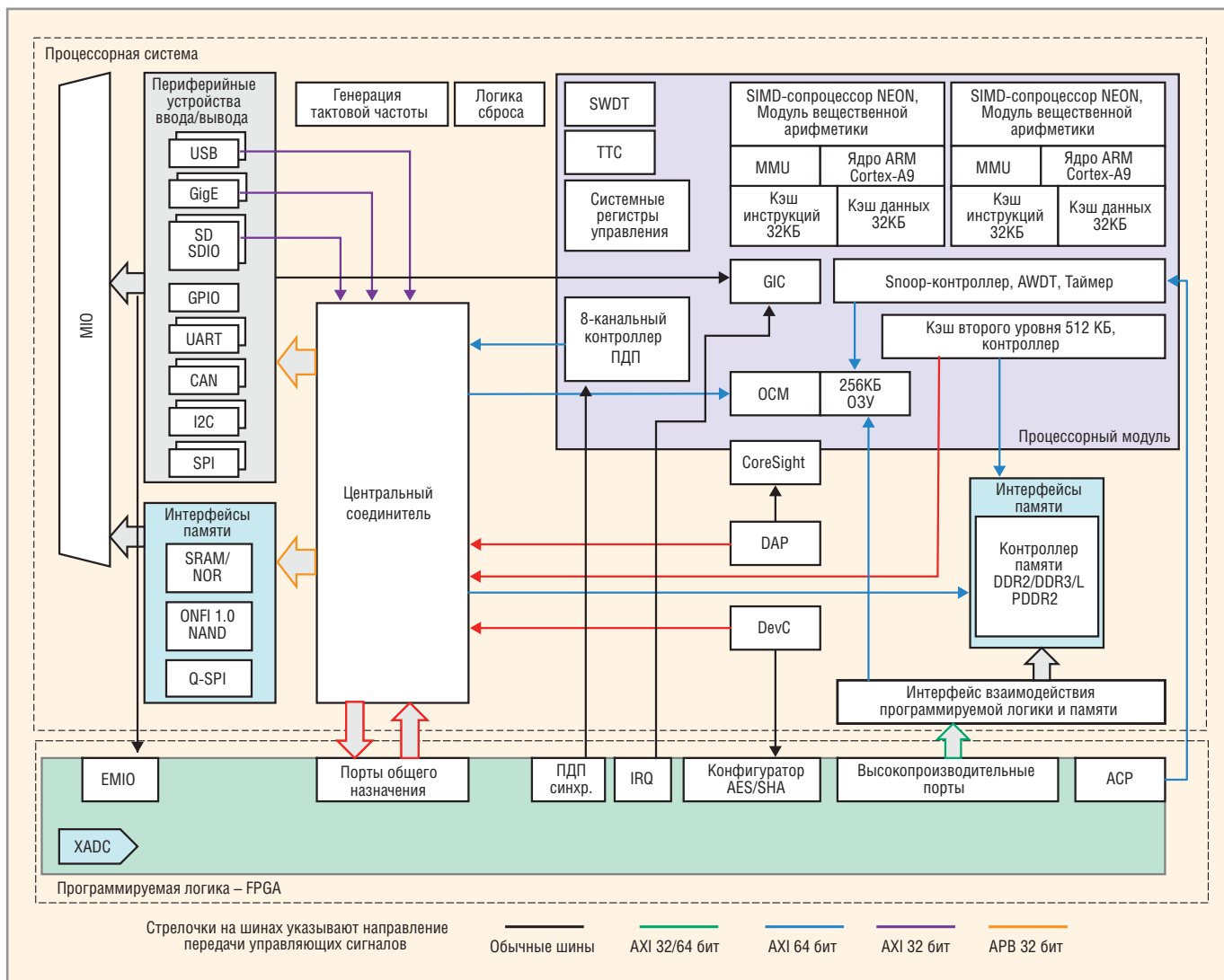


Рис. 2. Структурная схема расширяемой процессорной платформы Zynq-7000 EPP

ции, который допускает изменение конфигурации FPGA в процессе работы системы. Благодаря такому подходу, в Zynq-7000 используется та же модель программирования, что и в стандартных полнофункциональных системах на кристалле на базе процессоров ARM.

Процессорная система и программируемая логика имеют независимые цепи питания, что позволяет отключать блок логики для снижения энергопотребления. В дополнение к этому, возможно динамическое управление

тактовой частотой процессоров и отключение неиспользуемых периферийных устройств. Устройства семейства Zynq-7000 EPP поддерживают режимы пониженного энергопотребления процессоров ARM. Когда процессорная система выключена, FPGA удерживается в состоянии постоянного сброса.

Поддерживаются следующие режимы пониженного энергопотребления:

- питание программируемой логики отключено (sleep). Поскольку цепи питания процессорной системы и логики разделены, процессор может работать в обычном режиме. Однако FPGA не может быть включена раньше, чем процессорная система. Кроме того, FPGA нуждается в конфигурации каждый раз после отключения питания;
- управление тактовой частотой процессорных ядер. Процессорные ядра могут работать с пониженной тактовой частотой, используя встроенные

узлы ФАПЧ. Частота может снижаться динамически до 30 МГц;

- режим одиночного процессора. Второе ядро Cortex-A9 отключается, первое продолжает функционирование.

Возможности программируемой логики

Программируемая логика Zynq-7000 предоставляет разработчику:

- конфигурируемые логические ячейки;
- блоки ЦОС;
- конфигурируемые линии ввода-вывода;
- высокоскоростные интерфейсы;
- систему управления тактовыми сигналами.

Конфигурируемые логические ячейки CLB

Конфигурируемые логические ячейки являются основными ресурсами для реализации схем последовательной и комбинационной логики в FPGA. Каждая логическая ячейка, состоящая из

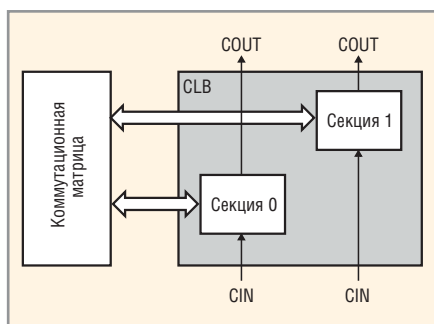


Рис. 3. Структура логической ячейки

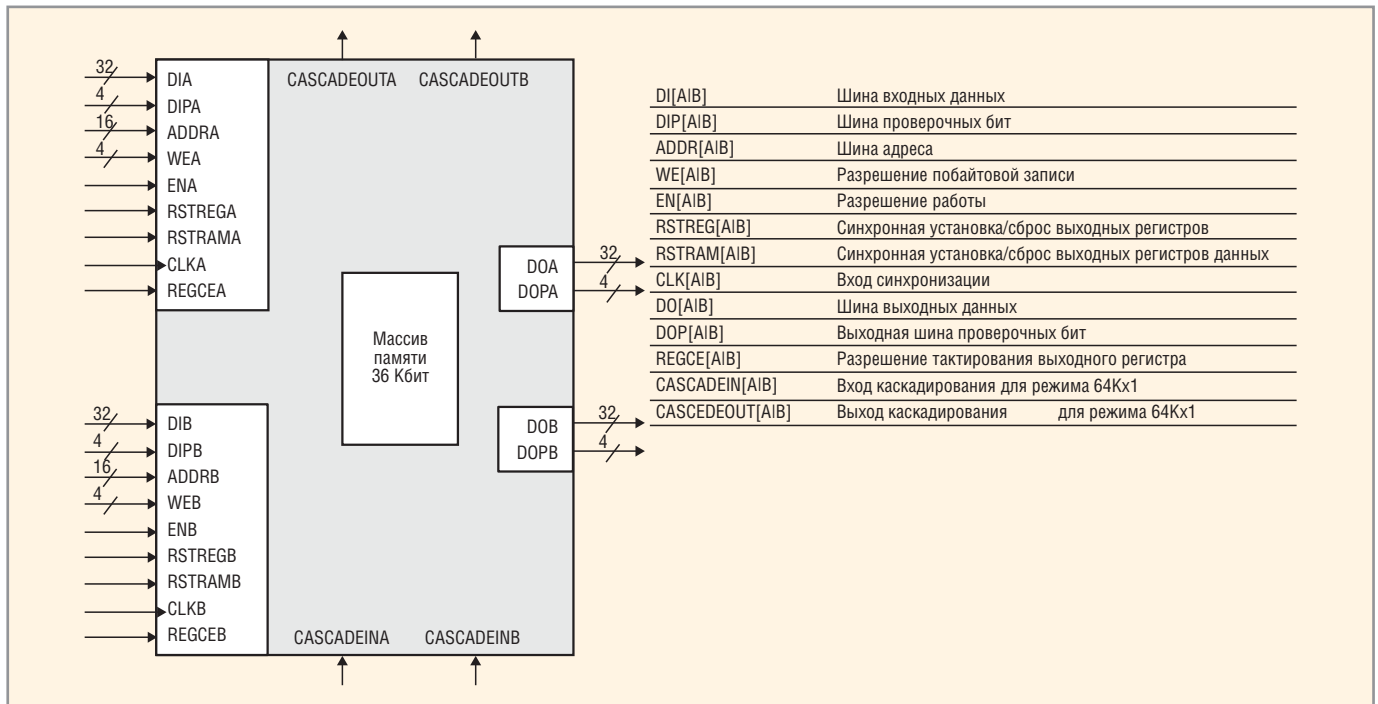


Рис. 4. Блочная оперативная память RAMB36

двух секций, соединена с коммутационной матрицей, которая, в свою очередь, связана с глобальной конфигурируемой матрицей связей (см. рис. 3) [11].

Секции ячейки не имеют непосредственной связи друг с другом и организованы как столбцы. Каждая секция содержит:

- четыре таблицы LUT;
- восемь элементов хранения;
- многофункциональные мультиплексоры;
- логику сквозного переноса.

Четыре 6-входные таблицы LUT с восемью регистрами, мультиплексоры и схема арифметического переноса формируют секцию; две такие секции образуют логическую ячейку. Таблицы в FPGA седьмой серии могут быть сконфигурированы как шестивходные LUT с одним выходом или как две пятывходные LUT с отдельными выходами, но общими адресами или логическими входами. Каждый из выходов пятывходной таблицы может быть зафиксирован в регистре. Четыре регистра секции могут быть использованы для формирования регистра хранения, при этом оставшиеся регистры должны быть свободными.

Приблизительно две трети секций являются логическими секциями (SLICEL), оставшаяся треть – секциями с памятью (SLICEM). Секции SLICEM позволяют использовать их генераторы функций как распределённое 64-битное ОЗУ, или как 32-битный

сдвигающий регистр, или как два 16-битных регистра сдвига. Данные свойства секций достаточно эффективно используются последними версиями инструментов разработки, а также могут быть настроены вручную. В одной ячейке могут быть расположены или две секции SLICEL, или по одной секции SLICEL и SLICEM.

Блочная оперативная память RAMB36

Блочная оперативная память в седьмой серии FPGA Xilinx может хранить до 36 Кбит данных и может быть сконфигурирована как два независимых блока по 18 Кбит или как один блок в 36 Кбит [12].

В режиме 36-Кбит блока памяти возможны следующие конфигурации:

- 64 Кx1 бит (при соединении с соседним блоком);
- 32 Кx1;
- 16 Кx2;
- 8 Кx4;
- 4 Кx9;
- 2 Кx18;
- 1 Кx36;
- 512x72.

В режиме 18-Кбит блоков:

- 16 Кx1;
- 8 Кx2;
- 4 Кx4;
- 2 Кx9;
- 1 Кx18;
- 512x36.

В состав блока ОЗУ входят 36 К ячеек хранения данных и два независи-

мых порта доступа (А и В). Аналогично, в режиме двух 18-Кбит блоков каждый из них имеет 18 К ячеек памяти и по два независимых порта доступа (см. рис. 4). Данные могут быть записаны или считаны через любой из портов. Каждая операция записи и чтения является синхронной (по фронту тактового импульса); каждый из портов имеет линии адреса, линии входных и выходных данных, тактовый вход и вход разрешения тактирования.

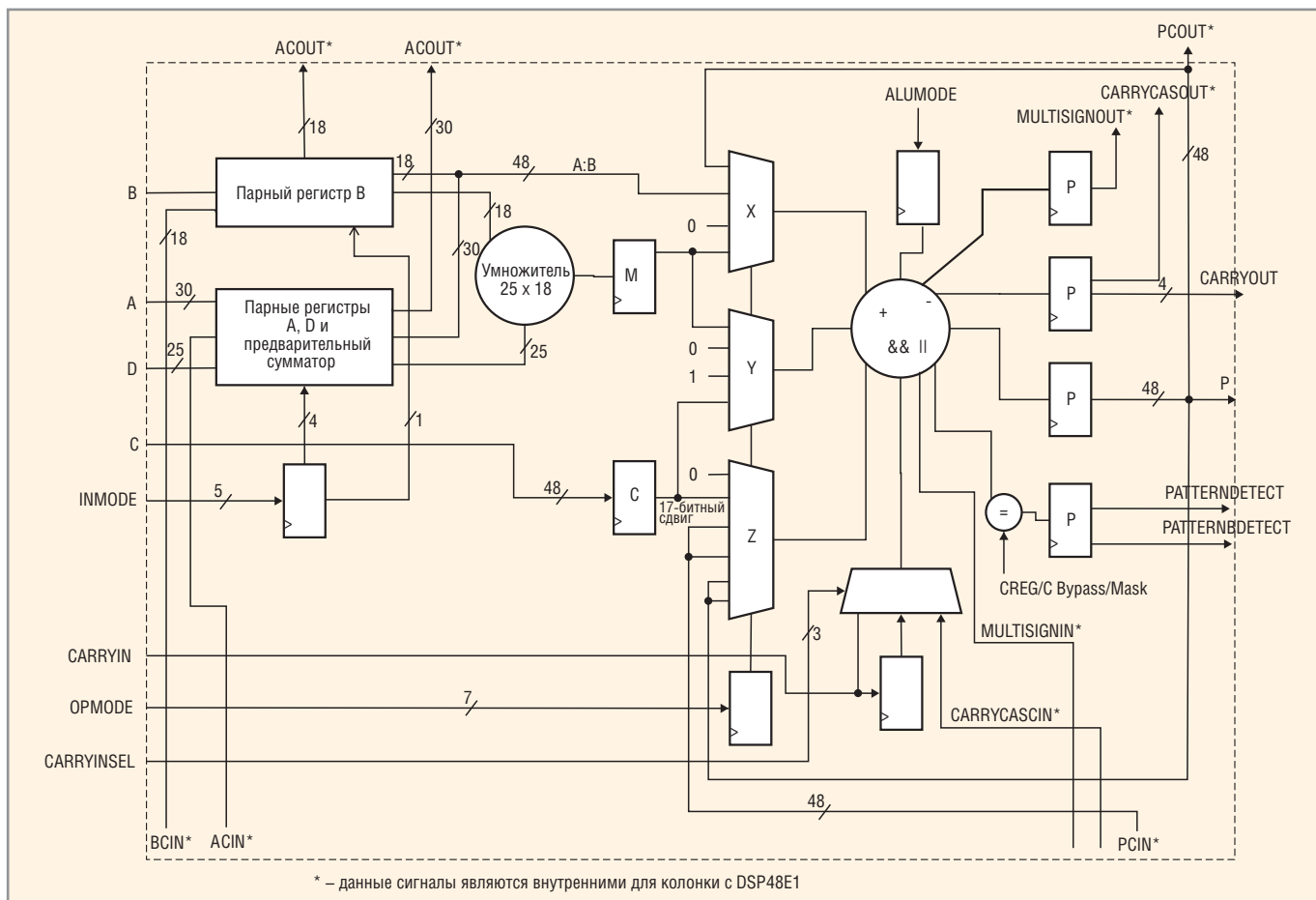
В блоке памяти отсутствует мониторинг одновременного появления одинаковых адресов на портах и одновременного доступа с разных портов к одному и тому же адресу. Безусловно, такая ситуация не приведёт к физическому повреждению блока памяти, но даст непредсказуемый результат.

Ячейки ЦОС DSP48E1

Специализированные ячейки цифровой обработки сигналов DSP48E1 [13] (рис. 5) позволяют существенно ускорить многие приложения. Высокая производительность ячеек DSP48E1 позволяет при необходимости задействовать их в нескольких логических блоках или функциях за счёт временного мультиплексирования.

Ячейки ЦОС поддерживают следующие операции:

- умножение;
- умножение с накоплением (MAC);
- сложение трёх операндов;
- умножение со сложением;



* – данные сигналы являются внутренними для колонки с DSP48E1

Рис. 5. Структура ЦОС-ячейки DSP48E1

- циклический сдвиг;
- мультиплексирование;
- сравнение;
- побитовые логические функции;
- счётчик.

Допускается каскадирование нескольких ячеек ЦОС для повышения разрядности обрабатываемых данных, создания цифровых фильтров или организации сложных арифметических

функций без привлечения ресурсов логических ячеек FPGA.

Основные характеристики ячейки ЦОС:

- аппаратный умножитель (25 × 18 бит) с 48-битным аккумулятором;
- 25-битный предварительный сумматор;
- конвейер;
- многофункциональное АЛУ;

- выделенные шины для каскадирования.

Аналого-цифровой преобразователь ХАДС

Полезным дополнением к цифровой обработке сигналов и возможностям программируемой логики являются два 12-битных АЦП [14]. В широком классе приложений это позволяет практически напрямую работать с аналоговыми сигналами без использования внешних микросхем АЦП.

Встроенные АЦП (см. рис. 6) поддерживают несколько режимов работы:

- запуск по внешнему сигналу;
- режим непрерывного преобразования;
- поддержку различных типов аналоговых сигналов (униполярных, дифференциальных);
- 17 внешних мультиплексируемых каналов;
- частоту выборки до 1 МГц;
- выбор встроенного или внешнего источника опорного напряжения;
- встроенные датчики температуры (погрешность ±4°C) и напряжения питания (погрешность ±1%);
- возможность доступа к АЦП через интерфейс JTAG.

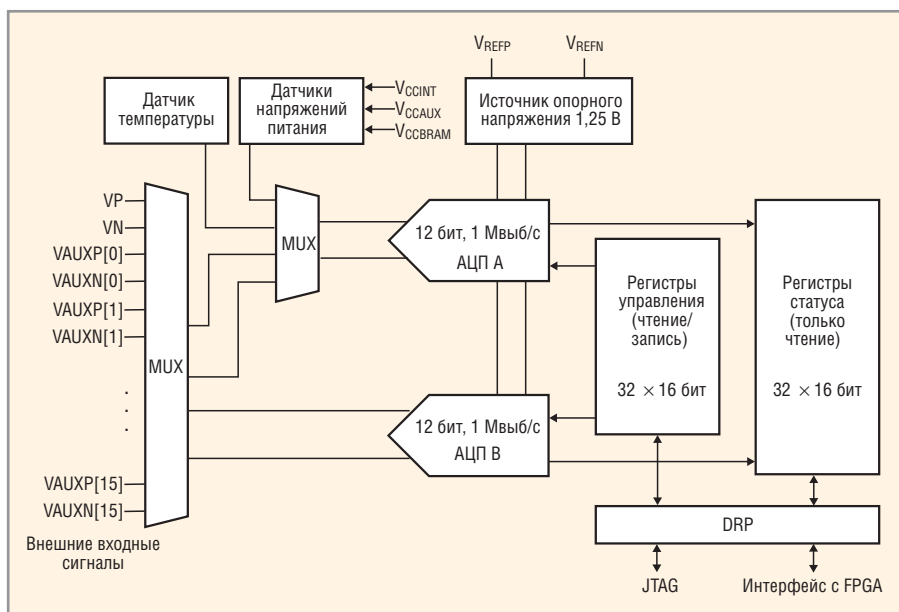


Рис. 6. Структура АЦП ХАДС

Результаты преобразования сохраняются в отдельных регистрах, называемых регистрами состояния. Данные регистры доступны интерфейсам FPGA и JTAG посредством 16-битного синхронного двунаправленного порта, называемого портом динамической реконфигурации (Dynamic Reconfiguration Port, DRP).

Система управления тактовыми сигналами включает высокоскоростные буферы и формирователи для распределения тактовых сигналов на синтезаторы частоты и схемы фазового сдвига.

Интерфейс к внешним устройствам и сигналам обеспечивается развитой высокопроизводительной подсистемой ввода-вывода на основе технологии SelectIO. Линии имеют встроенные развязывающие конденсаторы для повышения качества сигнала и управляемое состояние внешних выводов (Z-состояние, ввод или вывод). Часть внешних линий поддерживает работу в диапазоне уровней входных сигналов от 1,2 до 3,3 В; старшие серии семейства (Z-7030 и Z-7045) оснащены высокоскоростными линиями ввода-вывода, работающими в диапазоне напряжений от 1,2 до 1,8 В.

Дополнительно устройства серий Z-7030, Z-7045 содержат высокоскоростные (до 12,5 Гбит/с) последовательные передатчики, поддерживающие режим низкого энергопотребления и предназначенные, прежде всего, для связи отдельных корпусов между собой, а также контроллеры шины PCI Express 2.1 с поддержкой режимов корневого устройства и конечной точки, системой обнаружения и коррекции ошибок и скоростями передачи до 5 Гбит/с.

ПРОГРАММИРОВАНИЕ Zynq-7000 EPP

Поскольку основу процессорной системы Zynq-7000 EPP составляет двухъядерный процессор ARM Cortex-A9, разработчик может выбрать несимметричную (AMP) или симметричную (SMP) многопроцессорную конфигурацию [8, 15, 16]. В несимметричной конфигурации каждый из процессоров (ядер) выполняет свою операционную систему при разделении физической памяти. Операционные системы могут быть как одинаковыми, так и разными, с различными возможностями и требованиями к ресурсам.

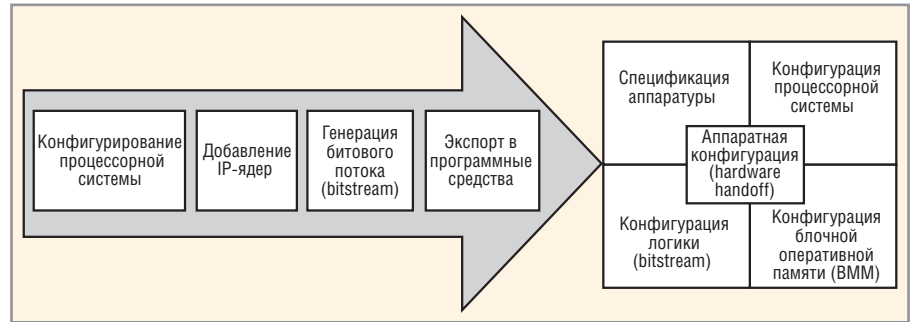


Рис. 7. Последовательность формирования конфигурации для платформы Zynq-7000

Многофункциональные ОС, такие как Linux или Windows, обеспечивают эффективное использование сетевых возможностей и развитого пользовательского интерфейса. Специализированные ОС позволяют экономить аппаратные ресурсы, управлять заданиями или процессами, в том числе в режиме реального времени.

Обычной практикой является размещение на одном из ядер операционной системы общего назначения ОС Linux, а на втором ядре – ОСРП, например, FreeRTOS, или QNX, или приложения, выполняемого без операционной системы. Критичным в данном случае является разделение периферийных устройств между процессорами, поэтому большинство устройств привязывают к конкретному процессорному ядру. Контроллер прерываний разделяется несколькими ядрами, одно из которых выделено для управления. Взаимодействие процессоров может осуществляться посредством межпроцессорных прерываний, через области общей памяти и путём передачи сообщений.

В симметричной многопроцессорной конфигурации ядра работают под управлением одной операционной системы, которая управляет их ресурсами, распределением и выполнением задач. В данном случае программист может выделить процессор для выполнения определённого процесса или задачи, обрабатывать прерывания при помощи любого из доступных процессоров, назначить один из процессоров для управления загрузкой и инициализацией системы.

Соединение процессорной системы на базе ARM с программируемой логикой седьмой серии создаёт уникальные возможности для разработчика. Фактически состав и функциональность процессорной системы могут быть адаптированы под конкретную задачу или круг задач, причём без увеличения временных затрат на обра-

ботку данных (критические части алгоритмов могут быть реализованы аппаратно в FPGA) и без увеличения габаритов или потребляемой мощности (за счёт интеграции процессорной системы и FPGA).

Возможности устройств семейства Zynq-7000 EPP требуют нового подхода к процессу проектирования. Некоторые аппаратные возможности, такие как совместная отладка и симуляция программируемой логики, являются уникальными для устройств Xilinx и позволяют проверять её работу в программном симуляторе, в то время как приложение выполняется на процессоре Zynq-7000 EPP или на эмуляторе.

Компания Xilinx предоставляет средства разработки и отладки программного обеспечения для устройств Zynq-7000 EPP [16], которые содержат:

- интегрированную среду разработки приложений C/C++;
- GNU-компилятор;
- JTAG-отладчик;
- набор вспомогательных программ.

Программное обеспечение позволяет разрабатывать приложения как для работы без операционной системы (bare-metal applications), так и для ОС Linux [8, 15].

Инструменты разработки типа Xilinx Platform Studio (XPS) позволяют формировать конфигурацию для Zynq-7000, включая конфигурацию процессорной системы и её периферийных устройств, карту памяти регистров, конфигурацию программируемой логики (рис. 7). Вся эта информация хранится в XML-формате и наряду с другими файлами используется при создании отладочной платы, программирования FPGA, определения настроек JTAG, а также для автоматизации проектирования.

Набор программного обеспечения Xilinx Software Development Kit (SDK) предоставляет средства создания приложений для встраиваемых процессо-

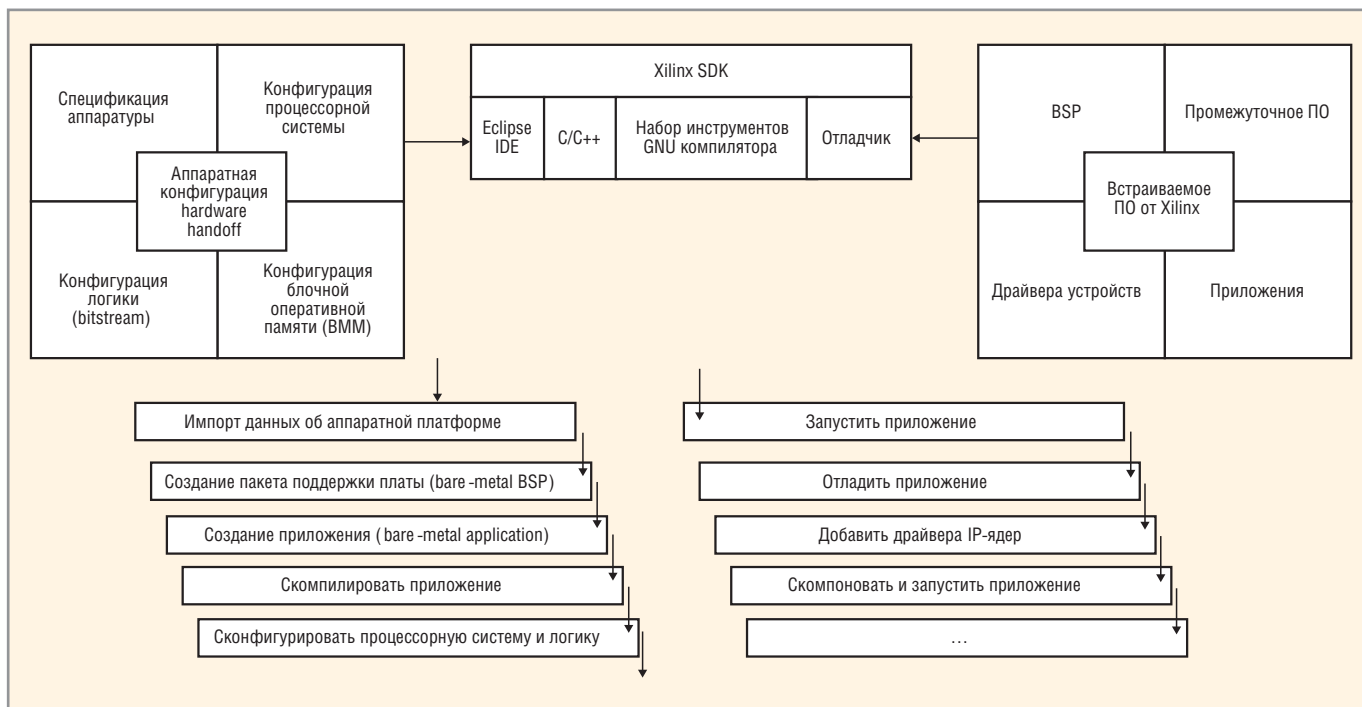


Рис. 8. Последовательность разработки приложения типа bare-metal

ров. Он включает в себя программы компилятора (GCC-компилятор, GDB-отладчик), JTAG-отладчик, программатор флэш-памяти, драйверы для IP-ядер Xilinx, примеры приложений и библиотеки функций. Основанный на популярной платформе Eclipse, набор также предоставляет:

- редактор;
- систему управления проектами;
- генерацию make-файла, сборку приложения;
- отслеживание и выделение ошибок;
- отладку приложений;
- систему контроля версий, поддержку встроенных приложений и библиотек третьих фирм.

Набор программ поставляется в составе пакетов установки Xilinx ISE Design Suite, Xilinx Embedded Development Kit (EDK) или в качестве самостоятельного установочного пакета. SDK включает шаблоны для создания начального загрузчика (First Stage Bootloader, FSBL) и графический интерфейс для создания загрузочного образа.

Приложения, работающие без операционной системы, часто не требуют выполнения разнородных функций или поддержания сложных алгоритмов взаимодействия с периферией (например, поддержание сетевых функций). Поэтому данные приложения не требуют значительных ресурсов системы и могут обеспечить максимально возможную производительность. Управление ресурса-

ми системы в данном случае осуществляет само приложение. Последовательность разработки приложения, работающего без поддержки операционной системы, представлена на рисунке 8.

Для разработки приложения типа bare-metal с использованием SDK необходимо:

- импортировать информацию о целевой платформе;
- создать конфигурацию для поддержки приложения без операционной системы в конкретной конфигурации платы;
- создать приложение;
- создать проект приложения;
- передать сформированный и скомпилированный проект в целевое устройство и запустить его;
- отладить приложение;
- добавить специфические для приложения IP-ядра;
- полностью скомпоновать приложение.

Кроме создания приложений типа bare-metal, инструментарий Xilinx позволяет создавать приложения и для операционной системы Linux. Предлагаемый компанией Xilinx дистрибутив ОС Linux с открытым исходным кодом поддерживает работу на одном из процессорных ядер или симметричную многопроцессорную конфигурацию и включает в себя драйверы для периферийных устройств процессорной системы. Возможно добавление специализированных драйверов и для уст-

ройств, реализованных в программируемой логике.

Используя Xilinx Software Development Kit (SDK), данные о целевой платформе и ядро Linux Kernel, программист может разработать, отладить и запустить пользовательское приложение под ОС Linux.

Процесс разработки приложения в данном случае выглядит следующим образом (см. рис. 9):

- загружается операционная система;
- создаётся проект приложения;
- компилируется и компоуется приложение;
- отлаживается приложение;
- добавляются драйверы для IP-ядер;
- профилируется приложение;
- добавляется приложение в файловую систему ОС Linux;
- модифицируется образ файловой системы или ядро ОС Linux.

ОПЕРАЦИОННЫЕ СИСТЕМЫ

Возможности семейства Zynq-7000 определяются не только его архитектурой и превосходными техническими характеристиками, но и развитой инфраструктурой инструментов разработки аппаратных конфигураций и программного обеспечения, включая средства разработки, IP-ядра, операционные системы и пр.

Для платформы Zynq-7000 компания Xilinx и её партнеры, входящие в Xilinx Alliance, предлагают широкий выбор программных IP-ядер, драйверов устройств, а также поддержку приложе-

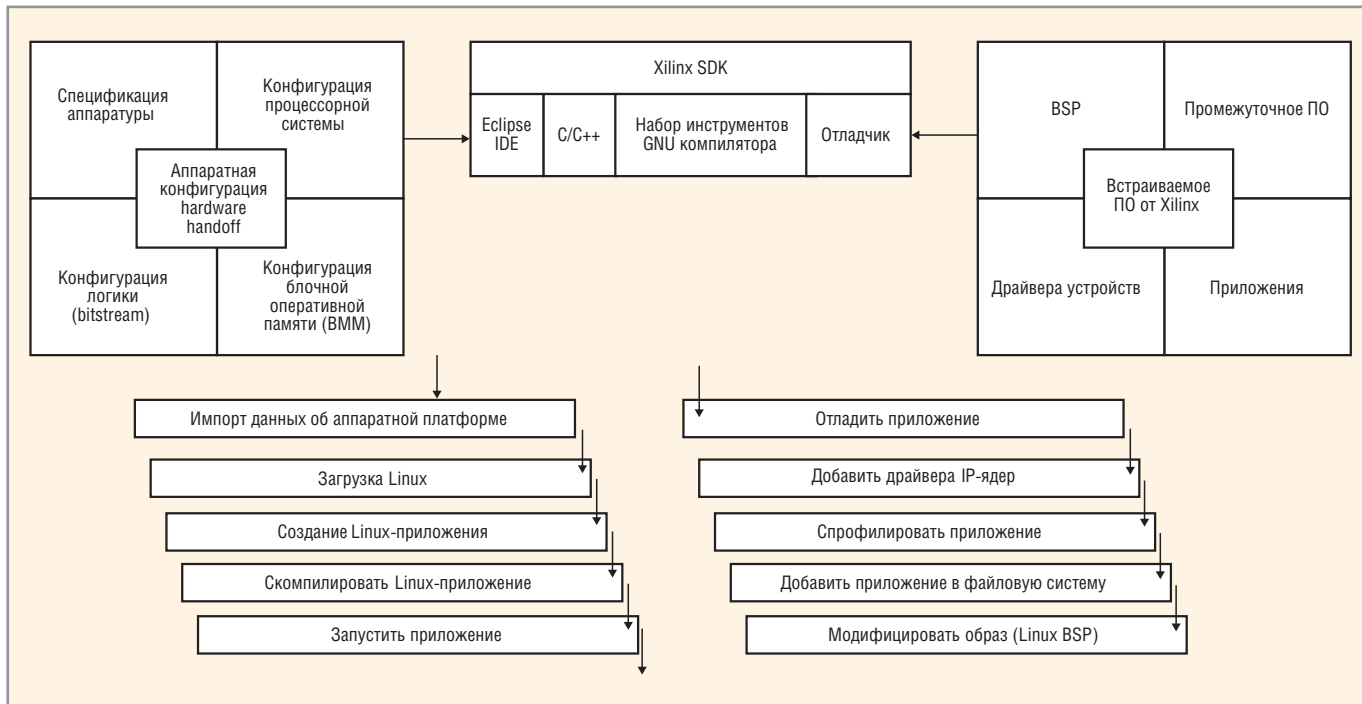


Рис. 9. Процесс разработки Linux-приложения для Zynq-7000

ний для конкретных конфигураций плат. В частности, для семейства Zynq-7000 доступны коммерческие и свободные операционные системы, включая Linux, Android, FreeRTOS, QNX, VxWork, INTEGRITY RTOS и др. (см. таблицу 5) [16].

ОС Linux

Компания Xilinx свободно предоставляет версию ОС Linux с исходными кодами, адаптированную под отладочные платы для Zynq-7000. Предлагаемая операционная система также служит основой для проектов, предназначенных для различных сегментов рынка. Поддерживаются симметричный и несимметричный многопроцессорные режимы. Особенности системы:

- пакеты поддержки плат и драйверы устройств выделены в основное дерево проекта kernel.org;
- ядро использует дерево драйверов для конфигурации «на лету», что позволяет один и тот же образ системы запускать на разных платформах;
- эмулятор QEMU;
- доступ к коммерческим решениям и библиотекам Linux.

ОС Android

В репозитории Xilinx (Xilinx GIT) доступна набирающая популярность операционная система Android (версия 2.3), адаптированная для семейства Zynq-7000 и отладочных плат на их основе. ОС Android использует контрол-

лер дисплея и графический ускоритель на базе OpenGL ES 1.1, реализованный в программируемой логике Zynq-7000. Встроенное приложение для Eclipse Android SDK позволяет разрабатывать приложения для платформы Zynq-7000.

Основные возможности системы:

- прямой доступ к функциям устройств;
- поддержка нескольких форматов ЖК-дисплеев и сенсорных экранов, включая PCAP;
- поддержка работы с USB, Wi-Fi, Bluetooth и звуковыми устройствами;
- поддержка проводных ЛВС.

ОС FreeRTOS

Операционная система FreeRTOS является «облегчённой» ОСРВ и может

быть запущена в различных конфигурациях процессорной системы Zynq-7000:

- в несимметричном режиме, когда каждое из ядер выполняет свою копию FreeRTOS;
- в режиме совместной работы ядер, когда одно ядро находится под управлением FreeRTOS, а другое – под управлением ОС Linux.

Отладочная плата DL-ZedBoard Zynq-7000

Для быстрого ознакомления с семейством Zynq-7000 предназначена отладочная плата DL-ZedBoard Zynq-7000 [17]. В России её приобретение возможно через официальных дистрибьюторов фирм Xilinx, Digilent и Avnet. Учебные заведения могут при-

Таблица 5. Операционные системы и средства разработки, доступные для расширяемой процессорной платформы Zynq-7000

Фирма	Продукт (ОС, IDE)
Adeneo Embedded	Windows Embedded Compact 7, Linux, Android, QNX
Discretix	Security-centric software и IP-ядра
ENEA Software AB	OSE RTOS
eSOL	uITRON 4.0 RTOS, T-Kernel RTOS, IDE
Green Hills Software	INTEGRITY RTOS, MULTI IDE
Express Logic	ThreadX RTOS
iVeia	Android для Zynq
Micrium	uC/OS RTOS
Quadros	RTXC RTOS
Real Time Engineers Ltd	FreeRTOS
Sierraware	Open Source Hypervisor и Trusted Execution Environment
Syngo	Safe and Secure Virtualization, Operating System
Timesys	LinuxLink
Wind River	VxWorks, Linux, Workbench IDE



Рис. 10. Внешний вид отладочной платы DL-ZedBoard Zynq-7000

обрести или получить данные платы, участвуя в программе Xilinx University Program (XUP)[18].

Плата DL-ZedBoard Zynq-7000 предназначена для платформы Xilinx Zynq-7000 Extensible Processing Platform (EPP). Она содержит всё необходимое для создания решений на основе Linux, Android, Windows и других ОС, включая OCPB. Плата поставляется в комплекте с картой SD, на которую установлена ОС Linux. Комплект DL-ZedBoard Zynq-7000 поддерживается сообществом www.zedboard.org, в ко-

тором пользователи могут взаимодействовать с другими инженерами, работающими с решениями Zynq [17].

Плата DL-ZedBoard Zynq-7000 (см. рис. 10) построена на базе Zynq-7000 EPP XC7Z020-CLG484. Структура отладочной платы представлена на рисунке 11. Часть возможностей платы обеспечивается периферийными устройствами процессорной системы, часть – устройствами, реализованными в FPGA.

Проекты, публикуемые участниками сообщества www.zedboard.org, позволяют на конкретных примерах и задачах изучить возможности платформы и могут быть использованы в качестве базовых для создания собственных проектов или решения прикладных задач [19].

ОС Xillinux

Интересной разновидностью ОС Linux является проект Xillinux, инициированный и развиваемый фирмой Xillybus Ltd [20]. Он представляет собой дистрибутив, состоящий из программной части для процессор-

ной системы и конфигурации логики FPGA для реализации полнофункционального графического интерфейса на базе платы ZedBoard, включая подсоединённые к ней монитор, клавиатуру и мышь (см. рис. 12). Более того, Xillinux является не просто демонстрационным проектом, но инструментом, предоставляющим простой и доступный интерфейс, который облегчает взаимодействие между операционной системой и программируемой логикой.

ОС Xillinux основана на версии Ubuntu LTS 12.04 [21] для ARM-процессоров, что позволяет ZedBoard играть роль персонального компьютера с SD-картой в качестве жёсткого диска; USB-мышь и клавиатура подключаются к порту OTG, что превращает ZedBoard в простой ПК под управлением Linux. Аналоговый видеовыход (VGA) служит для подключения монитора, отображающего сообщения системы и рабочий стол (X-Windows – Gnome). Возможно также подключение звуковых устройств.

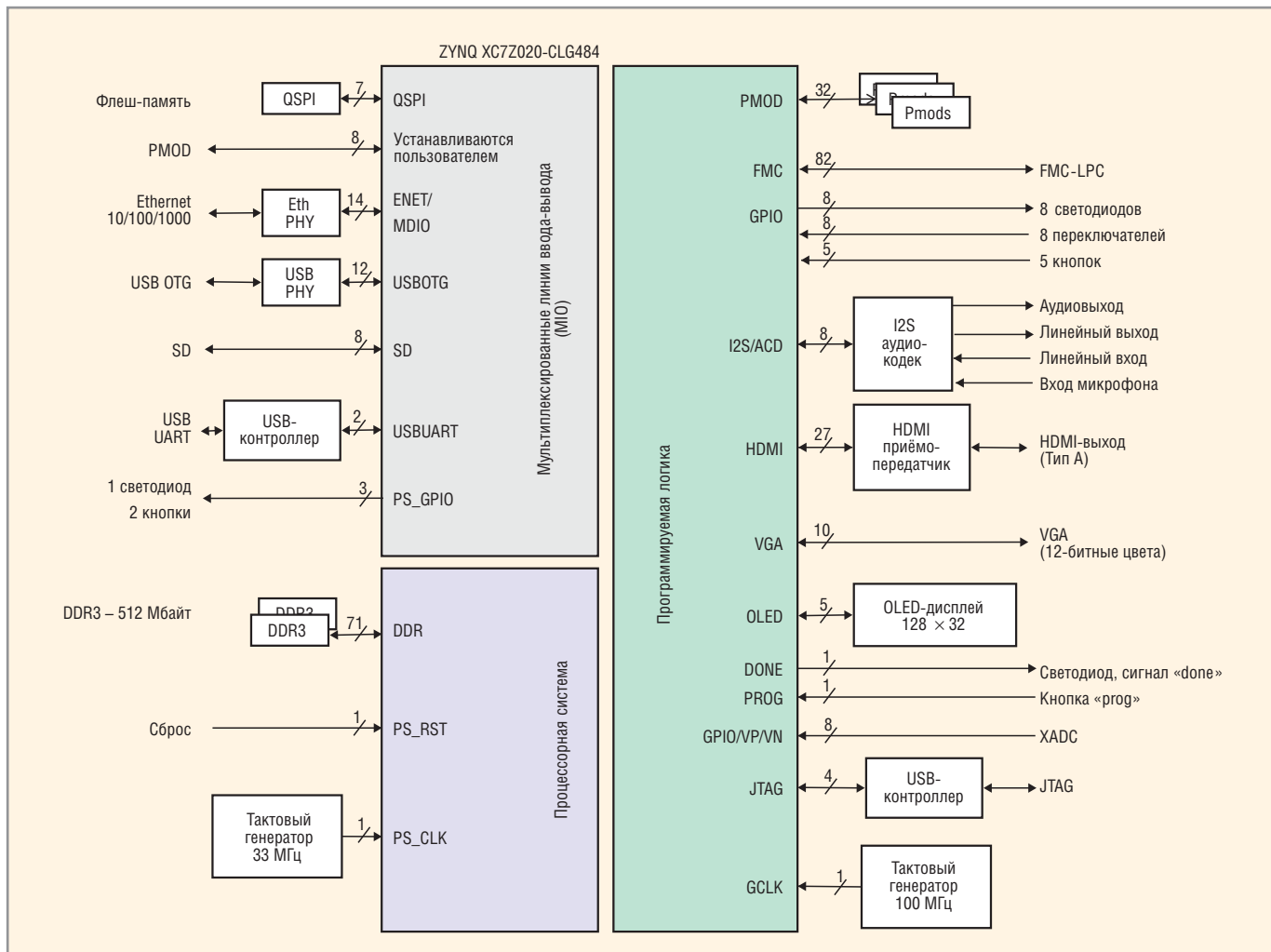


Рис. 11. Структура отладочной платы DL-ZedBoard Zynq-7000



Рис. 12. ОС Xillinux, запущенная на плате ZedBoard

Система поставляется с набором разработчика, позволяющим установить связи между операционной системой и программируемой логикой. В данном случае входные и выходные сигналы блока, реализованного в FPGA, подключаются к FIFO-буферам в логической части Zynq-7000, что позволяет операционной системе использовать простые файловые операции для приёма и передачи данных.

Для опроса устройства достаточно консольного Linux-приложения типа cat. Установка данного приложения не вызовет затруднений даже у новичков, т.к. для этого не требуются знания о процессе установки, драйверах, работе ядра и т.п. Кроме того, ОС Xillinux поддерживает компиляцию пользовательских приложений и модулей ядра непосредственно на самой плате, без привлечения персонального компьютера.

ЗАКЛЮЧЕНИЕ

Расширяемая процессорная платформа Zynq-7000 представляет интерес и для разработчиков программного обеспечения, и для специалистов по применению FPGA. Однокристальное решение в совокупности с 28-нм технологическим процессом обеспечивает низкое энергопотребление при высокой производительности процессорной системы и программируемой логики. Наличие широкого спектра инструментов разработки и отладки, а также поддержка платформы многими производителями программного и аппаратного обеспечения позволяют разработчику выбрать наиболее удобный способ проектирования и развития приложения.

С академической точки зрения, на данной аппаратной платформе возможно освоение различных операци-

онных систем, проектирования встраиваемых приложений, работы с ПЛИС, параллельных вычислений и цифровой обработки сигналов.

ЛИТЕРАТУРА

1. Zynq-7000 All Programmable SoC. <http://www.origin.xilinx.com/products/silicon-devices/soc/zynq-7000/>.
2. *Тарасов И.* Расширяемая процессорная платформа семейства Zynq-7000. Компоненты и технологии. 2011. № 4.
3. *Santarini M.* Zynq 7000 EPP Sets Stage for New Era of Innovations. Xcell J. 2011. 2nd q.
4. Zynq-7000 User Guides. http://www.xilinx.com/support/documentation/zynq-7000_user_guides.htm.
5. Zynq-7000 All Programmable SoC Overview. http://www.xilinx.com/support/documentation/data_sheets/ds190-Zynq-7000-Overview.pdf.
6. XA Zynq-7000 All Programmable SoC Overview. http://www.xilinx.com/support/documentation/data_sheets/ds188-XA-Zynq-7000-Overview.pdf.
7. Zynq-7000 EPP Technical Reference Manual. http://www.xilinx.com/support/documentation/user_guides/ug585-Zynq-7000-TRM.pdf.
8. Zynq-7000 EPP Software Developers Guide. http://www.xilinx.com/support/documentation/user_guides/ug821-zynq-7000-swdev.pdf.
9. Zynq Concepts, Tools, and Techniques. http://www.xilinx.com/support/documentation/sw_manuals/xilinx14_2/ug873-zynq-ctt.pdf.
10. Zynq-7000 All Programmable SoC (XC7Z010 and XC7Z020): DC and AC Switching Characteristics. http://www.xilinx.com/support/documentation/data_sheets/ds187-XC7Z010-XC7Z020-Data-Sheet.pdf.
11. 7 Series FPGAs Configurable Logic Block. http://www.xilinx.com/support/documentation/user_guides/ug474_7Series_CLB.pdf.
12. 7 Series FPGAs Memory Resources. http://www.xilinx.com/support/documentation/user_guides/ug473_7Series_Memory_Resources.pdf.
13. 7 Series DSP48E1 Slice. http://www.xilinx.com/support/documentation/user_guides/ug479_7Series_DSP48E1.pdf.
14. 7 Series FPGAs XADC User Guide. http://www.xilinx.com/support/documentation/user_guides/ug480_7Series_XADC.pdf.
15. Zynq-7000 Extensible Processing Platform. Zynq-7000 EPP Linux Solution. <http://www.xilinx.com/products/zynq-7000/linux.htm>.
16. Zynq-7000 AP SoC Ecosystem. <http://www.xilinx.com/products/silicon-devices/soc/zynq-7000/ecosystem/index.htm>.
17. Zedboard. <http://www.zedboard.org/>.
18. Университетская программа Xilinx – Xilinx University Program (XUP). <http://plis.ru/showcontent/stencils/st/5/m/11>.
19. Community Projects Zedboard. <http://www.zedboard.org/projects>.
20. Xillinux: A Linux distribution for the Zedboard. <http://xillybus.com/xillinux/>.
21. Ubuntu 12.04.1 LTS (Precise Pangolin). <http://releases.ubuntu.com/12.04/>. ©