

Новый способ помехоустойчивого кодирования

Сергей Гончаров, Анатолий Силаев, Геннадий Шишкин (Нижегородская обл.)

В статье представлен способ помехоустойчивого кодирования с формированием состояний контрольных разрядов путём попарного сложения по модулю 2 состояний всех информационных разрядов.

Одной из основных задач цифровых систем связи является неискажённая передача информации в условиях воздействия внешних помех. Помехоустойчивость информационных посылок обеспечивается введением в их состав контрольных разрядов, состояние которых однозначно отражает состояние информационных разрядов. Количество и способ формирования контрольных разрядов определяют структуру и степень сложности кодирующих и декодирующих устройств помехоустойчивых кодов.

Простота схемных решений указанных преобразователей кодов достигается, в частности, при использовании кода с удвоением элементов [1] (корреляционного кода [2]). Эффективность обнаружения ошибок повышается в данном коде не только за счёт увеличения его избыточности, но и за счёт введения определённых зависимостей между элементами кодовых комбинаций путём преобразования каждого элемента первичного кода в два элемента («1» преобразуется в «10», а «0» в «01»). Поэтому корреляционный код содержит в два раза больше элементов, чем первичный код. Недостатком данного кода является отсутствие возможности исправления ошибок и обнаружения двойных ошибок, связанных с изменением состояния обоих элементов каждого разряда первичного кода.

Для повышения эффективности обнаружения ошибок и достижения воз-

можности исправления ошибок с помощью относительно простых операций, производимых над принятой кодовой комбинацией, предлагается контрольные разряды формировать путём попарного сложения по модулю 2 состояний информационных разрядов, количество которых должно быть не менее трёх. Графическое представление данного кода в виде ненаправленного графа показано на рисунке 1, где вершинами графа являются информационные разряды a_1, a_2, a_3 , а рёбрами – контрольные разряды $b_1 = a_1 \oplus a_2, b_2 = a_2 \oplus a_3, b_3 = a_3 \oplus a_1$. Максимальное количество m контрольных разрядов в рассматриваемом случае определяется количеством сочетаний из n по 2, где n – количество информационных разрядов; при $n = 3, M_{\max} = C_3^2 = 3$ [3].

При использовании параллельного выходного кода кодирующее устройство контрольных разрядов может быть выполнено на основе элементов «исключающее ИЛИ». Последовательный выходной код может быть сформирован, в частности, с помощью кодирующего устройства, представленного на рисунке 2. В исходном состоянии триггер установлен в лог. 0, и в регистр заведены информационные разряды, начиная с первого. На тактовом С-входе и выходе QC присутствует лог. 0, на входе X0 мультиплексора и на информационном выходе QD – состояние разряда a_1 , на входе X1 мультиплексора – состояние разряда b_1 .

По заднему фронту первого тактового импульса триггер переключается в лог. 1, разрешая прохождение на выход QD состояния разряда b_1 . По заднему фронту второго тактового импульса триггер возвращается в лог. 0, вызывая сдвиг информации в регистре. При этом на входе X0 мультиплексора устанавливается состояние a_2 , а на входе X1 – состояние b_2 . Далее работа кодирующего устройства происходит аналогичным образом. При этом на выхо-

де QD формируется последовательность разрядов $a_1, b_1, a_2, b_2, a_3, b_3$.

Схема декодирующего устройства параллельного кода приведена на рисунке 3. При использовании последовательного кода в схему необходимо вводить преобразователь последовательного кода в параллельный на основе регистра сдвига. Декодирующее устройство, показанное на рисунке 3, содержит схему обнаружения ошибок на основе трёхвходовых элементов «исключающее ИЛИ» с выходными сигналами e_1, e_2, e_3 и схему исправления ошибок на основе двухвходовых элементов «И» и «исключающее ИЛИ».

В схеме обнаружения ошибок производится анализ соответствия состояния каждого из принятых контрольных разрядов по состоянию порождающей его пары принятых информационных разрядов. При отрицательном результате анализа на соответствующем выходе формируется сигнал ошибки. При этом $e_1 = a_1' \oplus a_2' \oplus b_1'$, $e_2 = a_2' \oplus a_3' \oplus b_2'$, $e_3 = a_1' \oplus a_3' \oplus b_3'$. Входные сигналы декодирующего устройства отмечены штрихом, поскольку они могут отличаться от выходных сигналов кодирующего устройства. Количество возможных ошибок кратности S во входном коде определяется количеством сочетаний из $m + n$ по S , т.е. C_{m+n}^S .

Анализ выходных сигналов схемы обнаружения ошибок показывает, что выявляются все одиночные и двойные ошибки и 80% тройных ошибок, за исключением четырёх ошибок в разрядах $a_1a_2a_3, a_1b_1b_3, a_2b_1b_2, a_3b_2b_3$ из общего количества тройных ошибок, равного 20. Указанные результаты подтверждаются анализом ненаправленного графа, представленного на рисунке 1.

Схема исправления ошибок обеспечивает восстановление состояния в случае одиночного сбоя любого из информационных разрядов. Изменение принятого состояния информационного разряда производится при его несоответствии состоянию обоих связанных с ним контрольных разрядов. При этом одиночный сбой любого из контрольных разрядов не приводит к искажению состояния информационных разрядов. Недостатком данного

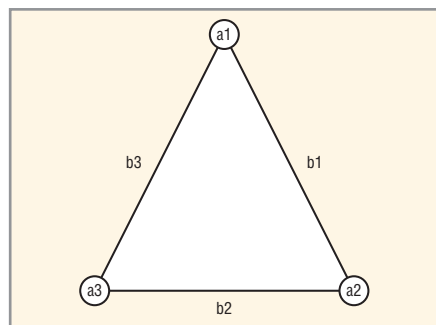


Рис. 1. Граф кода «3 + 3»

декодирующего устройства является фиксация устройством обнаружения указанных одиночных ошибок контролируемых разрядов, не вызывающих изменение состояния информационных разрядов на выходе схемы исправления ошибок. Это затрудняет использование сигналов ошибки при наличии схемы исправления.

Ненаправленный граф для четырёх информационных разрядов показан на рисунке 4. Максимальное количество контрольных разрядов $M_{max} = C_4^2 = 6$. Код, представленный на рисунке 1, можно назвать кодом «3 + 3» (три информационных и три контрольных разряда). При наличии четырёх информационных разрядов можно рассматривать два варианта кода: код «4 + 4» без использования контрольных разрядов b5 и b6 (по аналогии с кодом «3 + 3») и код «4 + 6».

При использовании параллельного кода кодирующее устройство строится на основе элементов «исключающее ИЛИ». Последовательный выходной код «4 + 4» может быть сформирован аналогично рисунку 3. Для кода «4 + 6» можно использовать кодирующее устройство, показанное на рисунке 5. В исходном положении в регистр записано состояние всех информационных разрядов; состояние a1 записано в четвертый разряд. Мультиплексоры передают на выход информацию с входа X0. Элемент «исключающее ИЛИ» подготовлен для формирования контрольных разрядов b1, b2, b3, b4.

При поступлении тактовых импульсов на выход QD сначала передаются информационные разряды a1, a2, a3, a4. Затем, после переключения третьего разряда счётчика, на выход QD последовательно передаются контрольные разряды b1, b2, b3, b4 с входа X1 мультиплексора MX2. После переключения четвертого разряда счётчика мультиплексор MX1 переходит в режим формирования контрольных разрядов b5, b6, которые последовательно выдаются на выход QD. Данная схема может использоваться и для формирования кода «4 + 4». При этом отпадает необходимость в четвертом разряде счётчика, элементе «ИЛИ» и мультиплексоре MX1.

Схема декодирующего устройства кода «4 + 6» аналогична рисунку 3 и приведена на рисунке 6. При использовании кода «4 + 4» схема упрощается за счёт исключения элементов, необходимых для формирования сигналов

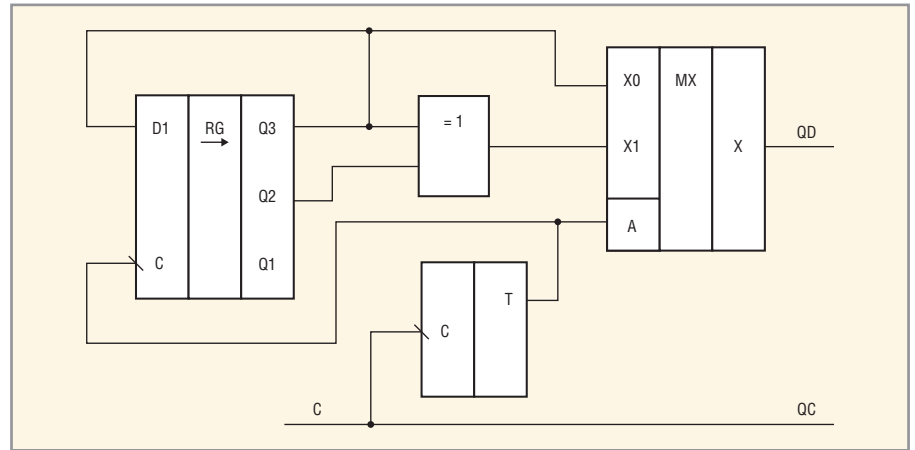


Рис. 2. Кодирующее устройство кода «3 + 3»

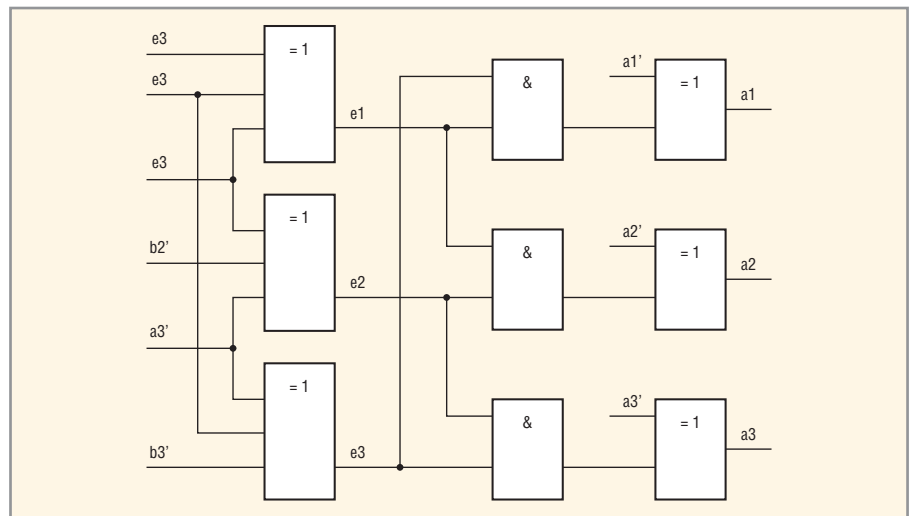


Рис. 3. Декодирующее устройство кода «3 + 3»

e5, e6, и возможности использования двухвходовых элементов «И». В этом случае схема обнаружения обеспечивает фиксацию одиночных, двойных и более 95% тройных ошибок, за исключением четырёх ошибок a1b1b4, a2b1b2, a3b2b3, a4b3b4 из общего количества тройных ошибок 92.

Схема исправления ошибок обеспечивает восстановление состояния в случае одиночного сбоя любого из информационных разрядов. Одиночный сбой любого из контрольных разрядов не вызывает изменения состояния информационных разрядов.

При использовании кода «4 + 6» схема обнаружения обеспечивает фиксацию одиночных, двойных, тройных и более 97% четверных ошибок, за исключением пяти ошибок a1b1b4b5, a2b1b2b6, a3b2b3b5, a4b3b4b6, a1a2a3a4 из общего количества четверных ошибок 210.

Схема исправления ошибок обеспечивает восстановление состояния после одиночного сбоя любого из информационных разрядов при его несоответствии состоянию трёх связанных с

ним контрольных разрядов. При этом не только одиночный, но и двойной сбой контрольных разрядов не вызывает изменения состояния информационных разрядов.

В схеме, приведённой на рисунке 6, трёхвходовые элементы «И» можно заменить мажоритарными элементами. В этом случае схема исправляет состояние информационного разряда при одновременном сбое одного из связанных с ним контрольных разрядов, но двойной сбой последних вызывает изменение состояния соответствующего информационного разряда. Поэтому

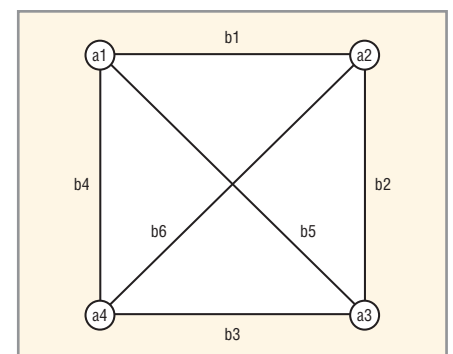


Рис. 4. Граф кода «4 + 6»

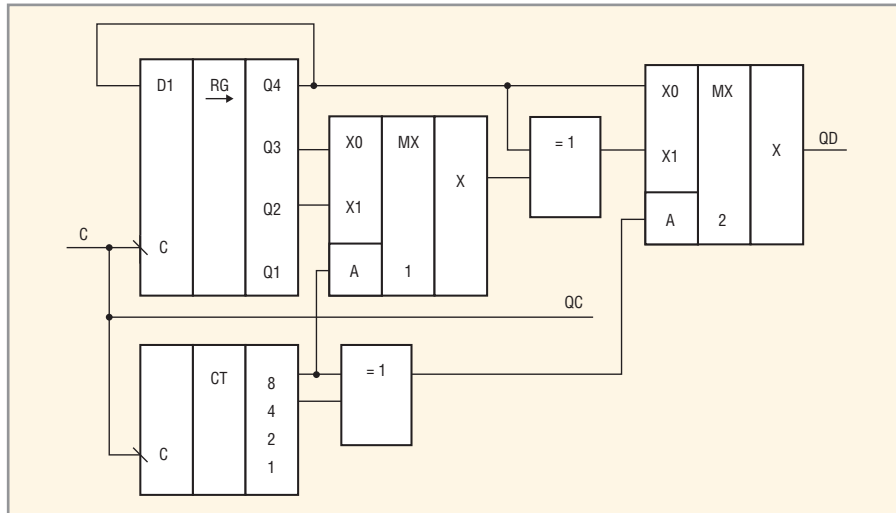


Рис. 5. Кодирование устройство кода «4 + 6»

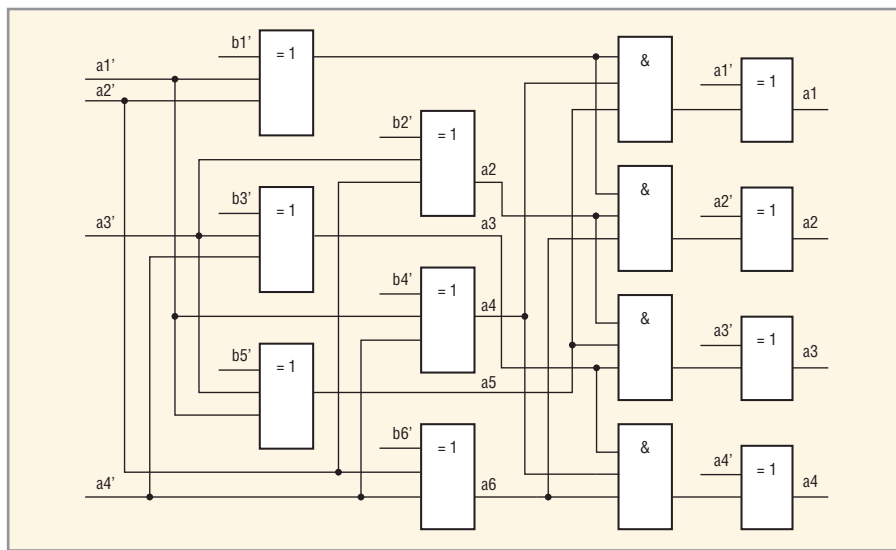


Рис. 6. Декодирование устройство кода «4 + 6»

замену элементов «И» на более сложные мажоритарные элементы производить нецелесообразно.

Ненаправленный граф для пяти информационных разрядов показан на рисунке 7. Максимальное количество контрольных разрядов $M_{max} = C_5^2 = 10$. В этом случае можно рассматривать два варианта кода: код «5 + 5», когда с каждым информационным разрядом связаны два контрольных разряда, и код «5 + 10», когда с каждым информацион-

ным разрядом связаны четыре контрольных разряда. Кодирование и декодирование устройства могут быть построены аналогично приведённым выше схемам.

При использовании кода «5 + 5» схема обнаружения обеспечивает фиксацию одиночных, двойных и большинства тройных ошибок, за исключением шести ошибок a1b1b5, a2b1b2, a3b2b3, a4b3b4, a5b4b5 из общего количества данных ошибок 175. Схема исправле-

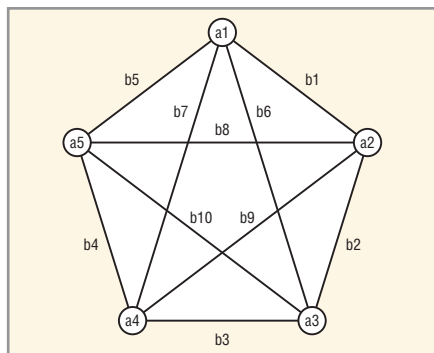


Рис. 7. Граф кода «5 + 10»

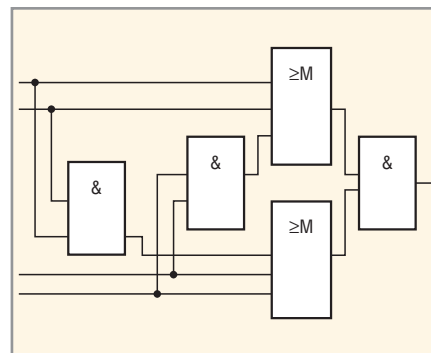


Рис. 8. Пороговая схема «3 из 4»

ния ошибок обеспечивает восстановление состояния в случае одиночного сбоя любого из информационных разрядов. При этом одиночный сбой любого из контрольных разрядов не вызывает изменения состояния ни одного из информационных разрядов.

При использовании кода «5 + 10» схема обнаружения обеспечивает фиксацию ошибок с кратностью 1, 2, 3, 4 и практически 100% ошибок с кратностью 5, за исключением шести ошибок a1a2a3a4a5, a1b1b5b6b7, a2b1b2b8b9, a3b2b3b6b10, a4b3b4b7b9, a5b4b5b8b10 из общего количества данных ошибок 4943. Схема исправления ошибок, аналогичная рисунку 6, с использованием четырёхходовых элементов «И» обеспечивает восстановление состояния после одиночного сбоя любого из информационных разрядов. При этом ни одиночный, ни двойной, ни тройной сбой контрольных разрядов не вызывает изменение ни одного из информационных разрядов.

После замены каждого из элементов «И» на пороговую схему «3 из 4», пример схемной реализации которой показан на рисунке 8, схема исправления ошибок обеспечивает восстановление состояния после одновременного сбоя двух информационных разрядов. При этом одновременное изменение состояния двух контрольных разрядов не приводит к изменению состояния любого из информационных разрядов. Однако использование пороговой схемы «3 из 4», необходимой для восстановления состояния каждого из пяти информационных разрядов, приводит к существенному усложнению схемы исправления ошибок.

Полный ненаправленный граф для шести информационных разрядов показан на рисунке 9а. При этом максимальное количество контрольных разрядов равно 15. В данном случае можно рассматривать четыре варианта помехоустойчивого кода: аналогичный коду «3 + 3» код «6 + 6» при $k = 2$, где k – количество контрольных разрядов, связанных с каждым из информационных разрядов; код «6 + 9» при $k = 3$, соответствующий рис. 9б; код «6 + 12» при $k = 4$, соответствующий рис. 9в; код «6 + 15» при $k = 5$.

При использовании кода «6 + 6» схема обнаружения обеспечивает фиксацию одиночных, двойных и более 97% тройных ошибок, за исключением шести ошибок a1b1b6, a2b1b2, a3b2b3,

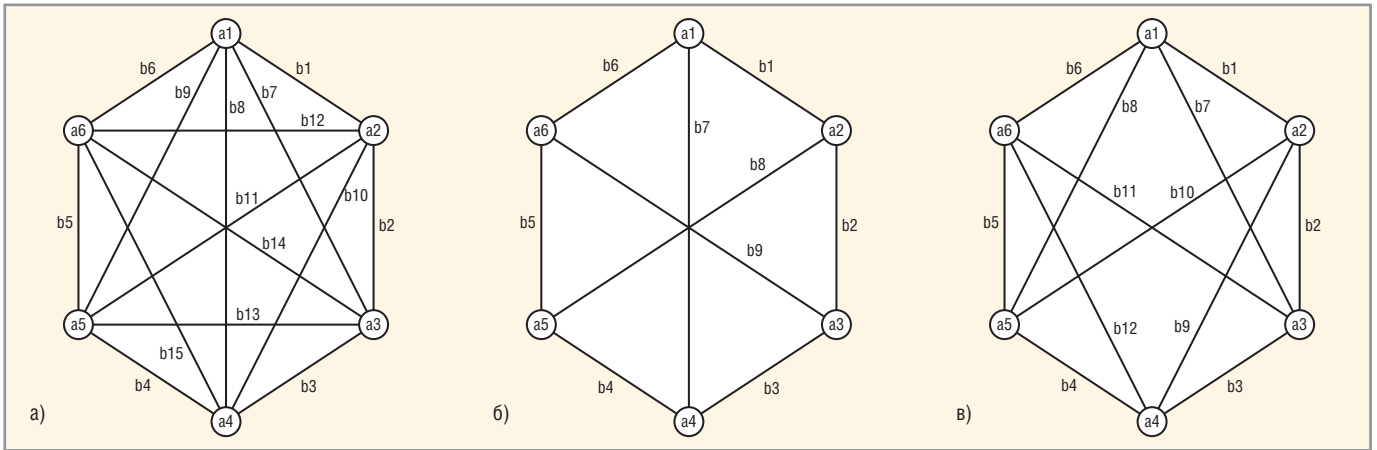


Рис. 9. Граф кода «6 + 15» (а), «6 + 9» (б), «6 + 12» (в)

а4b3b4, а5b4b5, а6b5b6 из общего количества данных ошибок 220. Схема исправления ошибок на основе двухвходных элементов «И» обеспечивает восстановление состояния в случае одиночного сбоя любого из информационных разрядов. При этом сбой любого из контрольных разрядов не вызывает изменения состояния ни одного из информационных разрядов.

Код «6 + 9» обеспечивает фиксацию всех ошибок с кратностью 1, 2, 3 и более 99% ошибок с кратностью 4, за исключением шести ошибок а1b1b6b7, а2b1b2b8, а3b2b3b9, а4b3b4b7, а5b4b5b8, а6b5b6b9 из общего количества 1365. Схему исправления ошибок для кода «6 + 9» целесообразно строить на основе трёхвходных элементов «И» по аналогии с кодом «4 + 6». При этом обеспечивается восстановление состояния при одиночном сбое любого из информационных разрядов, а двойной сбой контрольных разрядов не вызывает изменения состояния информационных разрядов.

Код «6 + 12» обеспечивает фиксацию всех ошибок с кратностью 1, 2, 3, 4 и практически 100% ошибок с кратностью 5, за исключением шести ошибок из общего количества 8568. Схему

исправления ошибок для кода «6 + 12» целесообразно строить по аналогии с кодом «5 + 10» на основе пороговых схем «3 из 4», обеспечивающих восстановление состояния после одновременного сбоя двух информационных разрядов. При этом двойной сбой контрольных разрядов не приводит к изменению состояния информационных разрядов.

Код «6 + 15» обеспечивает фиксацию всех ошибок с кратностью 1, 2, 3, 4, 5 и практически всех ошибок с кратностью 6, за исключением семи ошибок. Схему исправления ошибок для кода «6 + 15» целесообразно строить на основе пороговых схем «4 из 5», обеспечивающих восстановление состояния после одновременного сбоя двух информационных разрядов. Однако данные пороговые схемы сложны в реализации, что определяет предпочтительность использования кода «6 + 12».

Результаты анализа рассмотренных вариантов помехоустойчивых кодов, представленные в таблице, позволяют сделать следующие выводы:

- количество m контрольных разрядов кодов изменяется в диапазоне от n до M_{\max} , где n – количество информационных разрядов, M_{\max} равно количеству сочетаний из n по 2, с дис-

кретностью n при нечётном n и с дискретностью $n/2$ при чётном n ;

- максимальное количество исправляемых ошибок для любого кода не превышает $(n - 1)/2$;
- сложность схемы обнаружения ошибок пропорциональна количеству контрольных разрядов. Сложность схемы исправления ошибок пропорциональна количеству информационных разрядов и зависит от типа пороговой схемы. При исправлении одиночных ошибок в качестве пороговых схем используются элементы совпадения с количеством входов, равном количеству k контрольных разрядов, связанных с каждым информационным разрядом. При исправлении двойных ошибок используются сложные в реализации пороговые схемы « $k - 1$ из k »;
- кратность всех обнаруживаемых ошибок не превышает k . Количество обнаруживаемых ошибок с кратностью $k + 1$ возрастает практически до 100% при $k, n \geq 80$. Следовательно, построение помехоустойчивых кодов с исправлением ошибок и количеством разрядов не менее 6 целесообразно проводить путём суммирования необходимого количества кодов «3 + 3» и «4 + 4» с учётом того, что $6 = 3 + 3, 7 = 3 + 4, 8 = 4 + 4, 9 = 6 + 3$ и т.д. При этом достигается оптимальное соотношение количества исправляемых ошибок и схемных затрат.

ЛИТЕРАТУРА

1. Кузьмин И. В., Кедрус В.А. Основы теории информации и кодирования. Вища школа, 1986.
2. Шляпоберский В.И. Основы техники передачи дискретных сообщений. Связь, 1973.
3. Выгодский М.Я. Справочник по элементарной математике. Наука, 1976.

Характеристики вариантов кодов

информационных разрядов	Количество		Пороговая схема	Кратность обнаруживаемых ошибок
	контрольных разрядов	исправляемых ошибок		
3	3	1	2 из 2	1, 2
4	4	1	3 из 3	1, 2
	6	1	3 из 3	1, 2, 3
5	5	1	4 из 4	1, 2
	10	2	3 из 4	1, 2, 3, 4
6	6	1	2 из 2	1, 2
	9	1	3 из 3	1, 2, 3
	12	2	3 из 4	1, 2, 3, 4
	15	2	4 из 5	1, 2, 3, 4, 5