

Самосинхронизирующиеся коды и их преобразователи

(часть 3)

Сергей Гончаров, Олег Островский, Геннадий Шишкин (Нижегородская обл.)

Предложены способы формирования самосинхронизирующихся кодов с пространственной манипуляцией путём изменения порядка подключения выходных шин источника к проводам линии связи в зависимости от передаваемой информации, что позволяет уменьшить время передачи и обеспечить постоянство тактовой частоты. Представлены схемотехнические решения кодирующих и декодирующих устройств.

Рассмотренные ранее способы построения самосинхронизирующихся кодов предполагают использование двухпроводной линии связи кодирующего и декодирующего устройств, один провод которой постоянно выполняет функцию информационной шины, а второй провод – функцию общей шины, соединяющей цепи минуса гальванически не связанных источников питания кодирующего ($-E_k$) и декодирующего ($-E_d$) устройств. При этом во время тактового интервала по линии связи необходимо передавать как тактовый импульс, так и заданную информацию.

При пространственной манипуляции для передачи последовательного двоичного кода используется только тактовый импульс, который при состоянии лог. 0 подаётся, например, на первый провод линии связи, а второй провод выполняет функцию общей шины. При состоянии лог. 1 тактовый импульс подаётся на второй провод, а функцию общей шины выполняет первый провод. В этом случае во время тактового интервала не требуется передавать дополнительную информацию (кроме тактового импульса), что позволяет уменьшить время передачи и обеспечить постоянство тактовой частоты. При построении кодирующего устройства на основе КМОП интегральных микросхем, обладающих ма-

лым выходным сопротивлением как в состоянии лог. 1, так и в состоянии лог. 0, на общую шину вместо уровня « $-E_k$ » можно задавать уровень лог. 0 с выхода логического элемента. Схема соответствующего кодирующего устройства [3] показана на рисунке 1а.

При построении декодирующего устройства можно использовать, в принципе, один из двух подходов: определять, по какому входу поступил тактовый импульс или к какому входу подключена общая шина. Однако в рассматриваемом случае простота схемной реализации достигается при построении декодирующего устройства с поиском тактового импульса, как показано на рисунке 1б [3]. В данной схеме положительный импульс на тактовом выходе QC формируется при поступлении тактового импульса на любой вход. Сигнал лог. 1 на информационном выходе QD формируется только при поступлении тактового импульса на вход D1. При поступлении тактового импульса с амплитудой, практически равной « $+E_k$ », например, на вход D1, начинает протекать ток с входа D1 через резистор R1 и диод V2 на общую шину, на которой присутствует уровень лог. 0 кодирующего устройства, практически равный « $-E_k$ ». При этом диод V2 осуществляет привязку шины « $-E_d$ » к шине « $-E_k$ », разность потенциалов ко-

торых равна падению напряжения на диоде. При поступлении тактового импульса на вход D0 привязка осуществляется диодом V1.

При использовании параллельного или параллельно-последовательного двоичного кода, когда по линии связи одновременно передаются n разрядов, требуется $(n + 1)$ -проводная линия связи. При этом возможности пространственной манипуляции существенно расширяются, поскольку функцию общей шины может выполнять любой из проводов линии связи. Коммутацию места общей шины в линии связи можно использовать, например, для передачи дополнительной информации. В частности, по четырёхпроводной линии связи в этом случае можно передавать не трёхразрядный, а пятиразрядный параллельный код.

Пример схемной реализации соответствующего кодирующего устройства представлен на рисунке 2, где a, b, c, d – выходы кодирующего устройства и соответствующие провода линии связи, 1р – 5р – номера разрядов исходного двоичного кода. Признаком общей шины является уровень лог. 0 на выходе соответствующего КМОП логического элемента; лог. 1 задаётся в линию связи высоким уровнем напряжения, практически равным « $+E_k$ », а лог. 0 – разрывом цепи связи кодирующего и декодирующего устройств. Способ задействования проводов линии связи, а следовательно, и алгоритм функционирования кодирующего устройства определяются состоянием 4-го и 5-го разрядов входного кода, например, в соответствии с таблицей истинности (см. таблицу), где ОШ – общая шина.

В исходном состоянии все разряды входного кода находятся в состоянии лог. 0, на выходе Y0 дешифратора присутствует уровень лог. 1, поступающей через элемент ИЛИ на управляющий вход V двунаправленного ключа K_d и через инвертор – на его информационный вход X. На остальных выходах дешифратора – уровень лог. 0, задаю-

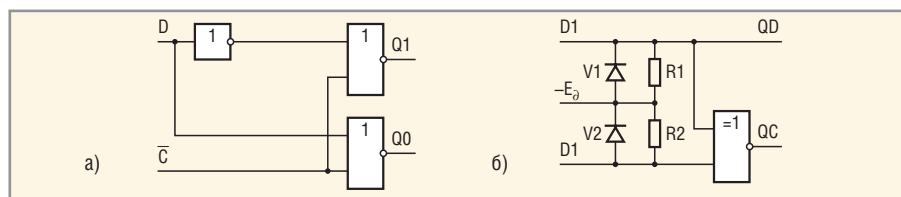


Рис. 1. Кодирующее (а) и декодирующее (б) устройства последовательного кода

ший уровень лог. 1 на информационных входах X ключей K_a , K_b , K_c и уровень лог. 0 на их управляющих входах V. При этом ключи K_a , K_b , K_c разомкнуты. Уровень лог. 1 на управляющем входе V двунаправленного ключа K_d обеспечивает замкнутое состояние ключа и прохождение уровня лог. 0 с его информационного входа X на выход d устройства. Информация 1-го, 2-го и 3-го разрядов входного кода поступает на входы X ключей K_a , K_b , K_c соответственно. Состояние 3-го разряда не влияет на состояние ключа K_d .

Сигнал лог. 1, поступающий по входу 1-го разряда, проходит через элемент ИЛИ на управляющий вход V ключа K_a , вызывая его замыкание и формирование сигнала лог. 1 на выходе a. Поскольку 4-й и 5-й разряды находятся в состоянии лог. 0, сигнал лог. 1, поступающий на вход 2-го (3-го) разряда, проходит через мультиплексор MX1 (MX2)) и соответствующий элемент ИЛИ на управляющий вход V ключа K_b (K_c), вызывая формирование сигнала лог. 1 на выходе b (c) устройства. При отсутствии сигнала лог. 1 соответствующий двунаправленный ключ остаётся разомкнутым.

При поступлении сигнала лог. 1 на вход 4-го разряда на выходе Y1 дешифратора формируется уровень лог. 1, вызывающий замыкание ключа K_c и формирование уровня лог. 0 на его информационном входе и на выходе устройства. При этом состояние 3-го разряда не влияет на состояние ключа K_c . На выходе Y0 дешифратора устанавливается уровень лог. 0, вызывающий формирование сигнала лог. 1 на информационном входе X ключа K_d , состояние которого определяется информацией на входе 3-го разряда: лог. 1 вызывает замыкание ключа с формированием сигнала лог. 1 на выходе d устройства, лог. 0 вызывает размыкание ключа с разрывом цепи связи кодирующего и декодирующего устройств. Двунаправленные ключи K_a и K_b по-прежнему управляются состоянием 1-го и 2-го разрядов соответственно.

При состоянии «01» 4-го и 5-го разрядов соответственно, сигнал лог. 1 формируется на выходе Y2 дешифратора и обеспечивает формирование уровня лог. 0 на выходе b устройства. Сигнал лог. 1 пятого разряда вызывает одновременно изменение состояние мультиплексоров MX1 и MX2. При этом на выход мультиплексора MX1 начинает поступать сигнал 1-го разряда, но он

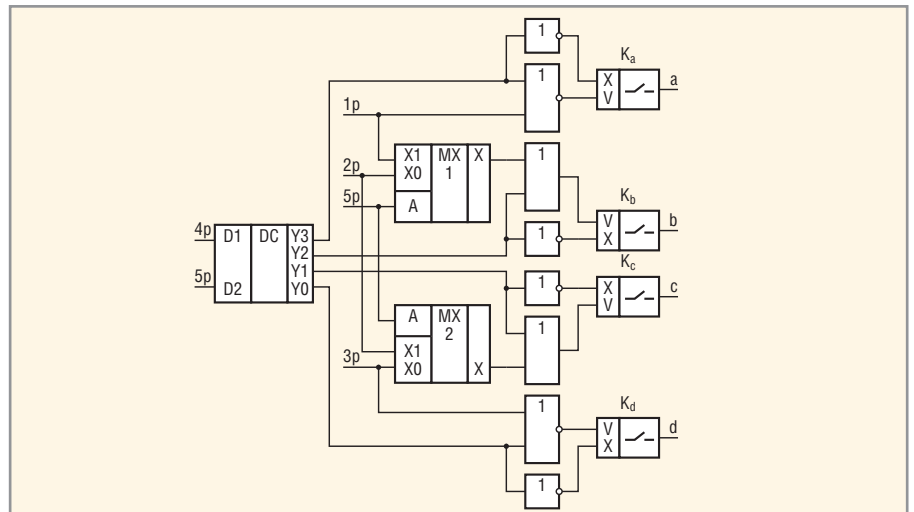


Рис. 2. Кодирующее устройство пятиразрядного кода

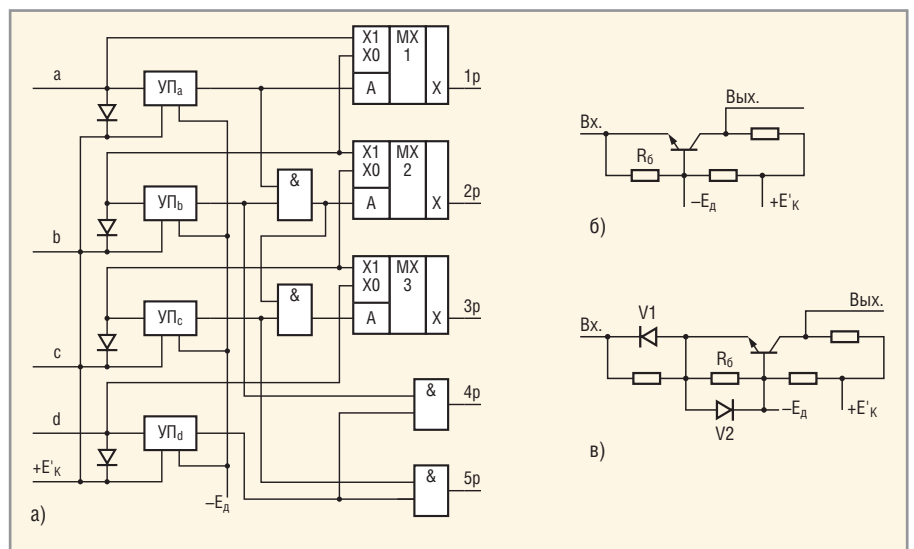


Рис. 3. Декодирующее устройство пятиразрядного кода

пока не влияет на состояние ключа K_b . На выход мультиплексора MX2 поступает сигнал 2-го разряда, формируя соответствующую информацию на выходе с устройства, поскольку на выходе Y1 дешифратора присутствует уровень лог. 0, не влияющий на состояние ключа K_c и обеспечивающий уровень лог. 1 на его информационном входе.

При состоянии «11» 4-го и 5-го разрядов уровень лог. 0 формируется на выходе a устройства сигналом лог. 1 на выходе Y3 дешифратора. При этом состояние 1-го разряда входного кода не влияет на состояние ключа K_a . Информация 1-го разряда поступает на выход b устройства.

Схема соответствующего декодирующего устройства представлена на рисунке 3а. Декодирующее устройство выполняет процедуру, обратную процедуре кодирования, представленной в таблице. Первоочередной задачей данного устройства является опреде-

ление места общей шины среди проводов линии связи, которое несёт информацию о состоянии 4-го и 5-го разрядов передаваемого кода и определяет способ декодирования первых трёх разрядов. Выявление общей шины осуществляется устройством привязки (УП), схема которого приведена на рисунке 3б. Сигнал «+E_к» формируется с помощью диодной сборки при поступлении сигнала лог. 1 кодирующего устройства по любому из проводов линии связи. В исходном состоянии, когда все разряды входного кода находятся в состоянии лог. 0, сигнал «+E_к» отсутствует. На входе d декодирующего устройства присутствует уровень «-E_к», остальные цепи связи разомкнуты.

Таблица истинности кодирующего устройства

4p	5p	a	b	c	d
0	0	1p	2p	3p	0Ш
1	0	1p	2p	0Ш	3p
0	1	1p	0Ш	2p	3p
1	1	0Ш	1p	2p	3p

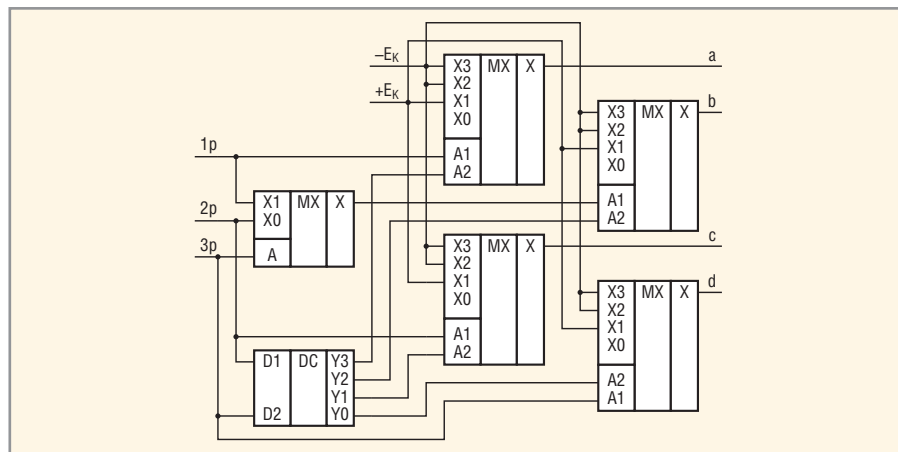


Рис. 4. Кодировочное устройство трёхразрядного кода

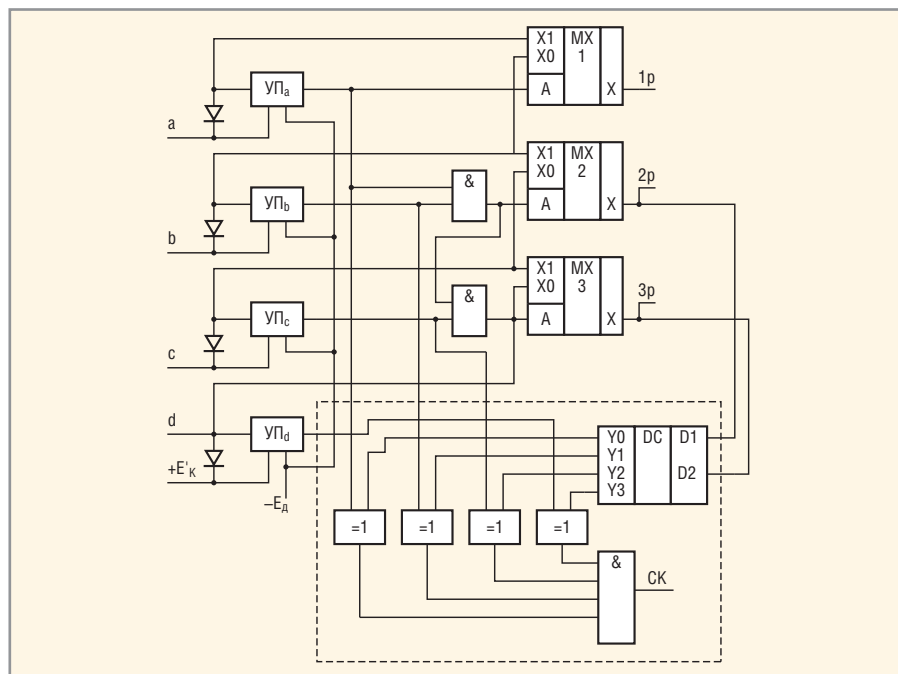


Рис. 5. Декодировочное устройство трёхразрядного кода

При разомкнутой цепи связи на всех точках устройства привязки устанавливается уровень «-Eк». При наличии на входе сигнала «-Eк» резистор R_б делает шины «-Eк» и «-Eд» эквипотенциальными.

При поступлении сигнала лог. 1 на любой из входов а, b или с декодирующего устройства формируется сигнал «+Eк». При этом, если связь по входу конкретного устройства привязки разомкнута, транзистор остаётся в закрытом состоянии, и на его коллекторе формируется сигнал лог. 1. При поступлении на вход сигнала лог. 1 транзистор также остаётся в закрытом состоянии, но переход база-эмиттер смещается в обратном направлении. А если на входе присутствует уровень «-Eк», транзистор открывается, и на его коллекторе формируется сигнал лог. 0. При этом переход база-эмиттер транзистора смещается в прямом направле-

нии, что приводит к снижению уровня «-Eк», а следовательно, и уровня лог. 1 кодирующего устройства относительно уровня «-Eд» на величину падения напряжения на переходе база-эмиттер.

В качестве недостатка схемы, приведённой на рисунке 3б, можно отметить ограничение уровня лог. 1 кодирующего устройства допустимой величиной обратного напряжения на переходе база-эмиттер транзистора. При высоком уровне лог. 1 можно использовать схему, показанную на рисунке 3в, в которой обратное напряжение на переходе база-эмиттер транзистора ограничивается диодом V2. Однако в данной схеме увеличивается снижение уровня «-Eк» относительно уровня «-Eд» (по сравнению с рис. 3б) на величину прямого падения напряжения на диоде V1.

При поступлении сигнала лог. 1 по крайней мере на один из входов а, b

или с декодирующего устройства и подключении общей шины к входу d, на выходе устройства привязки УП_д формируется сигнал лог. 0, который задаёт сигналы лог. 0 по выходам 4-го и 5-го разрядов. На выходах остальных УП формируется уровень лог. 1, задающий уровень лог. 1 на адресных входах всех мультиплексоров. Поэтому на выходы 1-го, 2-го и 3-го разрядов через соответствующие мультиплексоры поступает информация с входов а, b и с соответственно. При подключении общей шины ко входу с сигнал лог. 0 формируется на выходе УПс, что приводит к формированию сигналов «10» на выходах 4-го и 5-го разрядов, заданию уровня лог. 0 на адресном входе мультиплексора MX3 и передаче информации на выход 3-го разряда через мультиплексор MX3 со входа d устройства.

При подключении общей шины ко входу b на выходах 4-го и 5-го разрядов устанавливается состояние «01», состояние лог. 0 устанавливается на адресных входах мультиплексоров MX2 и MX3. При этом информация на выходы 2-го и 3-го разрядов проходит со входов с и d соответственно. При подключении общей шины ко входу а на выходах 4-го и 5-го разрядов устанавливается состояние лог. 1. На адресных входах всех мультиплексоров устанавливается уровень лог. 0. На выходы 1-го, 2-го и 3-го разрядов поступает информация со входов b, c и d соответственно.

Рассмотренное декодирующее устройство нормально функционирует только при наличии общей шины и сигнала лог. 1, по крайней мере, на одном из трёх оставшихся проводов линии связи, что позволяет передавать по четырёхпроводной линии связи 28 вариантов входных кодов. Четырёхпроводная линия связи без пространственной манипуляции позволяет передавать только семь вариантов входных кодов. Следовательно, использование пространственной манипуляции обеспечивает расширение функциональных возможностей четырёхпроводной линии связи в четыре раза.

Коммутацию места общей шины в линии связи при пространственной манипуляции можно использовать также для повышения помехоустойчивости трёхразрядного двоичного кода путём обнаружения возможных ошибок. Обнаружение ошибок может быть обеспечено, в частности, путём передачи информации о состоянии любых

двух разрядов двумя разными способами и сравнением результатов приёма в декодирующем устройстве.

Пример схемной реализации соответствующего кодирующего устройства трёхразрядного кода представлен на рисунке 4. Необходимо отметить, что в кодирующем устройстве (см. рис. 2) выходные сигналы формируются в виде сигналов лог. 0 и лог. 1, уровни которых отличаются от « $-E_k$ » и « $+E_k$ ». В схеме на рисунке 4 выходные сигналы задаются с помощью КМОП мультиплексоров в виде уровней « $-E_k$ » и « $+E_k$ ». Однако в схемах, приведённых на рисунках 2 и 4, может быть реализован любой из указанных способов формирования выходных сигналов.

Алгоритм функционирования кодирующего устройства (см. рис. 4) может быть задан таблицей для кодирующего устройства, показанного на рисунке 2, при замене 4-го и 5-го разрядов, например, на 2-й и 3-й разряды соответственно. Коммутация общей шины производится дешифратором путём подачи его выходных сигналов лог. 1 на входы А2 соответствующих мультиплексоров, формирующих выходные сигналы устройства. При этом вы-

ходной сигнал задействованного мультиплексора « $-E_k$ » не зависит от сигнала на входе А1. На выходах а и d при отсутствии сигналов лог. 1 на входах А2 соответствующих мультиплексоров формируются сигналы, определяемые состоянием 1-го и 3-го разрядов входного кода соответственно. На вход А1 мультиплексора, формирующего сигнал по выходу с, может подаваться только сигнал 2-го разряда, поскольку в первой строке таблицы и 2-й, и 3-й разряды находятся в состоянии лог. 0. И только по входу А1 мультиплексора, задающего сигнал по выходу b, необходимо вводить мультиплексор, пропускающий на выход, в зависимости от состояния 3-го разряда, 2-й или 1-й разряд в соответствии с таблицей истинности.

Схема соответствующего декодирующего устройства представлена на рисунке 5 и содержит устройство восстановления состояния разрядов и схему контроля (обведена пунктиром). Схема устройства восстановления состояния разрядов совпадает со схемой декодирующего устройства (см. рис. 3), за исключением элементов дешифрации состояния 4-го и 5-го разрядов, и работает аналогичным образом. Схема

контроля предназначена для выявления ошибок и построена на основе элементов «исключающее ИЛИ» и дешифратора, который определяет состояние 2-го и 3-го разряда. Элементы «исключающее ИЛИ» обеспечивают проверку соответствия состояния 2-го и 3-го разрядов месту общей шины среди проводов линии связи. При отсутствии ошибок формируется импульс СК положительной полярности на выходе элемента совпадения.

Представленные в статье технические решения могут использоваться для улучшения характеристик цифровых систем связи.

ЛИТЕРАТУРА

1. *Островский О.А., Фомченко В.Н., Шишкин Г.И.* Преобразователи информации последовательных каналов связи. Новые промышленные технологии. 2005. № 1. С. 17–20.
2. *Островский О.А., Фомченко В.Н., Шишкин Г.И.* Преобразователи самосинхронизирующихся кодов. Новые промышленные технологии. 2005. № 1. С. 21–24.
3. Патент 2282305РФ, МКИ Н03М5/12. Преобразователь кода. *Д.Б. Николаев, Г.И. Шишкин, В.В. Шубин.* Изобретения, Полезные модели. 2006. № 23.

