

Средства проектирования встраиваемых микропроцессорных систем, реализуемых на основе ПЛИС фирмы Xilinx

(часть 3)

Валерий Зотов (Москва)

Третья часть статьи завершает обзор средств проектирования встраиваемых микропроцессорных систем, реализуемых на основе ПЛИС фирмы Xilinx. Она знакомит с инструментами отладки ПО встраиваемых 8-разрядных микропроцессорных систем на основе ядер семейства PicoBlaze. Рассматриваются возможности, особенности и структура последней версии комплекса средств автоматизированного проектирования Xilinx Embedded Development Kit™ (EDK), предназначенного для создания и отладки встраиваемых 32-разрядных микропроцессорных систем на основе ядер семейств MicroBlaze и PowerPC, реализуемых в ПЛИС серий FPGA фирмы Xilinx. Приводится краткая информация о средствах внутрикристалльной отладки 8- и 32-разрядных встраиваемых систем ChipScope™ Pro.

Управляющая оболочка САПР серии XILINX ISE

Выбор средств моделирования разрабатываемой микропроцессорной системы, так же как и общее управление процессом её проектирования, осуществляется с помощью графической оболочки пакетов ISE Foundation и ISE WebPACK Project Navigator.

Структура основного окна управляющей оболочки, кроме стандартных элементов управления (главного меню команд и оперативной панели, содержащей кнопки быстрого доступа), включает следующие элементы:

- встроенное окно модулей исходных описаний встраиваемой микропроцессорной системы Sources Window, в котором отражается иерархическая структура разрабатываемого проекта;
- встроенное окно процессов Processes Window, содержащее интерактивный список процедур, с помощью которых выполняются соответствующие этапы проектирования;
- рабочую область Workspace, внутри которой отображается полная информация о состоянии текущего проекта, в том числе сведения о ре-

зультатах выполнения каждого этапа проектирования, а также размещаются рабочие окна программ создания и редактирования модулей исходного описания проектируемой системы (в частности, схематехнического и текстового редакторов);

- встроенное окно консольных сообщений Transcript Window, в которое выводятся уведомления о запуске соответствующих программ пакета и результатах их выполнения, а также предупреждения и сообщения об ошибках.

Пользовательский интерфейс Project Navigator предоставляет разработчику наряду с традиционными способами управления (с помощью команд меню или кнопок оперативной панели) возможность ускоренного запуска всех необходимых процедур с помощью встроенного окна процессов Processes Window.

Запись конфигурационной последовательности разработанной микропроцессорной системы в кристалл и программирование конфигурационного ППЗУ в САПР серии Xilinx ISE осуществляется с помощью загрузочного кабеля. В настоящее время фир-

ма Xilinx выпускает загрузочные кабели трёх типов:

- JTAG-кабель, подключаемый к параллельному порту (LPT) персонального компьютера (Parallel Download Cable IV);
- загрузочный кабель Platform USB Cable, подключаемый к последовательной шине USB персонального компьютера;
- кабель, входящий в состав комплекса MultiPro Desktop Tool™.

Кроме того, можно использовать загрузочные кабели, производимые «третьими» фирмами (например, Parallel Download Cable III, выпускаемый фирмой Digilent Inc®). Данный кабель отличается низкой стоимостью и простой принципиальной схемой, приведённой в документации средств проектирования и отладочных модулей и позволяющей изготовить его самостоятельно.

Для получения новой версии программного обеспечения ISE WebPACK и ModelSim XE III Starter необходимо открыть страницу www.xilinx.com/ise/logic_design_prod/webpack.htm или www.xilinx.com/xlnx/xil_entry2.jsp?spm=login&group=swreg4&SWR_PRODUCT_ID=WP82 и выполнить процедуру бесплатной регистрации, если до этого она не производилась. Если эта процедура уже однажды выполнялась, то при осуществлении процесса копирования новых версий пакета САПР или его обновлений достаточно воспользоваться уже имеющимся идентификационным кодом (UserID) и паролем (Password). При этом следует учитывать, что объём копируемых средств проектирования на несколько порядков превосходит размер архивов файлов микропроцессорных ядер семейства PicoBlaze. Например, суммарный объём САПР WebPACK ISE

версии 8.2i, ModelSim XE III Starter и пакета обновления Service Pack2 превышает 2 Гб. Поэтому за получением этих средств проектирования рекомендуется обратиться к официальному дистрибьютору фирмы Xilinx в России, Беларуси и Украине – ЗАО «КТИ InlineGROUP» (www.plis.ru), который бесплатно предоставляет соответствующие дистрибутивы на DVD-или CD-носителях.

АСЕМБЛЕР КАК СРЕДСТВО РАЗРАБОТКИ ПО

Единственным средством разработки программного обеспечения для встраиваемых систем на основе ядер семейства PicoBlaze, предоставляемым непосредственно фирмой Xilinx, является ассемблер. Ассемблер осуществляет преобразование исходного текста разработанной микропроцессорной программы в исполняемый код, который должен быть затем записан в программную память встраиваемой системы. Программный модуль ассемблера для микропроцессорных ядер семейства PicoBlaze выполнен в форме DOS-приложения, которое функционирует в консольном режиме. Поэтому для его запуска рекомендуется активизировать сеанс DOS (режим командной строки) и установить в качестве текущего раздела каталог, в котором располагаются ассемблер и транслируемая микропрограмма. Для быстрого выполнения этих операций целесообразно воспользоваться какой-либо программой управления файлами, например, управляющей оболочкой Windows Commander (Total Commander), которая позволяет быстро установить требуемый текущий раздел диска и запустить сеанс DOS. Для каждой модификации микропроцессорного ядра семейства PicoBlaze предоставляется соответствующая версия ассемблера, учитывающая особенности её архитектуры и системы команд. Базовый вариант ядра, предназначенный для использования в кристаллах семейств Spartan-II, Spartan-III, Virtex и Virtex-E, комплектуется ассемблером KCPASM.EXE. Для ядра, применяемого в ПЛИС серий Virtex-II, Virtex-II Pro и Virtex-4, предназначен ассемблер KCPASM2.EXE. Версии микропроцессорного ядра, используемой для реализации на основе кристаллов семейств Spartan-3, Spartan-3E, Spartan-3L, Virtex-II, Virtex-II Pro, Virtex-4 и

Virtex-5, соответствует ассемблер KCPASM3.EXE. Для самого компактного варианта ядра PicoBlaze, предназначенного для применения в ПЛИС CoolRunner™-II, разработан ассемблер ASM.EXE.

При использовании штатного ассемблера ядра семейства PicoBlaze процесс подготовки исходного текста микропрограммы на языке ассемблера может осуществляться с помощью любого универсального редактора текста, поддерживающего стандартный текстовый формат. Например, для этой цели могут использоваться программы редактирования текста Notepad™ и Wordpad™, которые входят в ОС Windows™. Кроме того, исходный файл разрабатываемой микропрограммы может быть подготовлен с помощью встроенного текстового редактора САПР серии Xilinx ISE.

Для выполнения трансляции, помимо основного исходного файла, содержащего текст программы на языке ассемблера, необходимы файлы шаблонов ROM_form.vhd и ROM_form.coe, а также для версии ассемблера KCPASM3 файл ROM_form.v. Эти файлы представляют собой шаблоны описания содержимого программной памяти на языках VHDL, Verilog и в формате, воспринимаемом генератором ядер Xilinx CORE Generator соответственно. Процесс трансляции выполняется в автоматическом режиме. Он включает в себя несколько последовательных проходов (фаз). Информация о ходе и результатах выполнения каждой фазы трансляции отображается в окне DOS-приложения. В этом же окне отображаются сообщения о возможных ошибках, обнаруженных в транслируемой программе.

При успешном завершении процесса трансляции ассемблер автоматически формирует набор файлов, среди которых основными являются файлы описания содержимого программной памяти, представленного в различных форматах. Для последующего использования в САПР серии Xilinx ISE необходим файл описания содержимого ППЗУ микропрограмм на языке VHDL или Verilog (только для ядра PicoBlaze, реализуемого на основе кристаллов семейств Spartan-3, Spartan-3E, Spartan-3L, Virtex-II, Virtex-II Pro, Virtex-4 и Virtex-5). Этот файл включается в состав проекта и используется на этапах синтеза и моделирования разрабатываемой микро-

процессорной системы. Кроме того, ассемблер создаёт несколько вспомогательных файлов, содержащих отладочную информацию и отчёты о ходе и результатах трансляции микропроцессорной программы. Состав этой группы файлов зависит от конкретного варианта ассемблера.

ОБЩАЯ ХАРАКТЕРИСТИКА СРЕДСТВ ОТЛАДКИ ПРОГРАММНОГО ОБЕСПЕЧЕНИЯ ДЛЯ ВСТРАИВАЕМЫХ МИКРОПРОЦЕССОРНЫХ СИСТЕМ, ВЫПОЛНЯЕМЫХ НА ОСНОВЕ ЯДЕР СЕМЕЙСТВА PICOBLAZE

Фирмой Xilinx не предусмотрено специальных отладочных средств для разработки ПО 8-разрядных встраиваемых систем, проектируемых на основе микропроцессорных ядер семейства PicoBlaze. Ассемблер предоставляет возможность обнаружения и устранения, в основном, только синтаксических ошибок в микропроцессорной программе, но не позволяет оценить соответствие процесса её функционирования требуемому алгоритму. Использование в качестве инструментов отладки микропрограмм в САПР серии Xilinx ISE средств моделирования ISE Simulator™ или системы ModelSim™ не является достаточно эффективным по следующим причинам:

- с целью минимизации суммарного времени разработки системы рекомендуется отладить микропрограмму до выполнения основных этапов процесса проектирования аппаратной платформы;
- форма представления результатов моделирования в системах ISE Simulator и ModelSim не обладает достаточной наглядностью для выполнения отладки разрабатываемой микропрограммы;
- в указанных системах отсутствует диагностика критических ошибок, возникающих во время выполнения микропроцессорных программ.

Поэтому рекомендуется в процессе разработки программного обеспечения для встраиваемых микропроцессорных систем, проектируемых на основе ядер семейства PicoBlaze, использовать специальные отладочные инструменты других фирм, наиболее доступным из которых является свободно распространяемая в Интернете система

pBlaze IDE™ (Integrated Development Environment). Система предоставляется фирмой Mediatronix®. Это интегрированная среда разработки и отладки микропроцессорных программ, которые предназначены для встраиваемых систем, выполняемых на базе 8-разрядных ядер семейства PicoBlaze. Система pBlaze IDE достаточно компактна. Выполнена она в виде одного программного модуля pBlazIDE.exe, объём которого не превосходит 1,5 Мб. Этот модуль является обычным Windows-приложением, который не требует предварительной установки и может быть активизирован непосредственно из рабочего каталога проекта встраиваемой микропроцессорной системы.

Для загрузки системы с адресов www.mediatronix.com/tools или www.mediatronix.com/pBlazIDE.htm от пользователя не требуется какой-либо регистрации. Далее, используя один из пунктов Download, расположенного на открывшейся странице, надо выполнить процедуру копирования архива, который соответствует требуемой версии. Последними версиями интегрированной среды, представленными на указанных Web-страницах к моменту подготовки данной публикации, были рабочая версия 3.6 и бета-версия 3.74.

Средства pBlazIDE в полном объёме поддерживают системы команд и директив ассемблера для всех версий микропроцессорных ядер семейства PicoBlaze, рассмотренных в первой части настоящей статьи. Кроме того, предусмотрено наличие специальных директив, которые предназначены для управления процессами отладки микропрограмм и формирования результирующих файлов. Формат этих директив подробно рассмотрен [11]. Выбор используемого типа микропроцессорного ядра осуществляется, как правило, перед началом создания исходного текста новой микропроцессорной программы. Его можно изменить как в процессе подготовки текста микропрограммы, так и после его завершения. Для этого предназначено соответствующее всплывающее меню команд.

В интегрированной среде разработки и отладки ПО для встраиваемых 8-разрядных микропроцессорных систем pBlaze IDE предусмотрено два режима работы: редактирования исходного текста микропрограмм на

языке ассемблера и моделирования процесса их выполнения. При этом поддерживается многооконный режим работы, обеспечивающий возможность одновременного создания, редактирования и отладки нескольких микропроцессорных программ. Выбор текущей отлаживаемой микропрограммы осуществляется щелчком кнопки мыши на закладке соответствующего рабочего окна редактирования. В составе рассматриваемых отладочных средств используется интеллектуальный текстовый редактор. В процессе набора исходного текста микропроцессорной программы мнемонические обозначения инструкций микропроцессорного ядра автоматически выделяются полужирным шрифтом. Таким образом, разработчику предоставляется возможность оперативного контроля синтаксиса команд непосредственно в процессе ввода исходного текста ассемблерной программы. Тем самым уменьшается общее время разработки и отладки программного обеспечения за счёт более раннего обнаружения и коррекции части синтаксических ошибок ещё на этапе редактирования, до выполнения трансляции создаваемой микропрограммы.

Режимы отладки ПО в интегрированной среде pBlaze IDE

Система pBlaze IDE предоставляет разработчику возможность осуществлять моделирование отлаживаемой микропроцессорной программы в непрерывном и пошаговом режиме, а также эффективно совмещать эти режимы. В пошаговом режиме эмуляция исполнения каждой команды микропрограммы поочередно иницируется разработчиком. На каждом шаге осуществляется моделирование выполнения только одной (текущей) инструкции, в строке которой в окне отладчика установлен указатель очередной выполняемой команды. Пошаговый режим позволяет контролировать содержимое регистров общего назначения, оперативной памяти, состояние флагов регистра статуса и портов ввода-вывода после выполнения каждой инструкции отлаживаемой микропроцессорной программы. При этом пользователю предоставляется также возможность интерактивного изменения содержимого внутренних регистров

общего назначения и флагов регистра состояния микропроцессорного ядра. Пошаговый режим требует достаточно большого количества времени для полной отладки микропроцессорной программы. Поэтому данный режим моделирования рекомендуется использовать при небольшом количестве команд в разрабатываемой микропрограмме и отсутствии в ней циклических конструкций.

В непрерывном режиме процесс выполнения отлаживаемой микропрограммы моделируется в полном объёме, от начала до конца, без вмешательства со стороны разработчика. Данный режим позволяет быстро оценить конечный результат выполнения разрабатываемой микропроцессорной программы, но предоставляет крайне ограниченные возможности внешнего управления ходом этого процесса. Можно только временно приостановить его выполнение, но при этом трудно зафиксировать точно момент остановки моделирования отлаживаемой микропрограммы (инструкцию, после которой нужно сделать паузу). Для решения этой проблемы следует воспользоваться возможностью установки контрольных точек (точек останова) в ходе эмуляции выполнения разрабатываемой микропрограммы. При этом процесс моделирования исполнения микропроцессорной программы автоматически приостанавливается перед исполнением команды, которая отмечена как точка останова. Во время образовавшейся паузы разработчику предоставляется возможность контроля содержимого регистров общего назначения, ячеек оперативной памяти, состояния портов ввода-вывода и флагов регистра статуса, а также их принудительного изменения. Кроме того, при остановке процесса моделирования можно также сформировать сигнал запроса прерывания. Во время остановки в контрольной точке текущее содержимое программного счётчика и указателя стека не изменяется. После внесения всех необходимых изменений процесс моделирования может быть продолжен в непрерывном режиме.

Совместить преимущества пошагового и непрерывного режимов отладки микропрограммы позволяет применение смешанного режима моделирования. При использовании такого метода отладки ПО вначале за-

пускается процесс моделирования в непрерывном режиме с указанием точек останова. Затем, при необходимости, после останова в контрольной точке моделирование возобновляется в пошаговом режиме. Закончив пошаговую отладку требуемого фрагмента микропрограммы, можно вновь переключиться в непрерывный режим моделирования. Количество точек останова, устанавливаемых в процессе моделирования для изменения режима отладки, определяется разработчиком в соответствии с особенностями разрабатываемой микропроцессорной программы. Интегрированная среда rBlaze IDE позволяет разработчику при необходимости изменять последовательность выполнения программы, оказывая принудительные воздействия на содержимое регистров общего назначения, состояние флагов регистра статуса и портов ввода-вывода во время моделирования.

При обнаружении критических ошибок в процессе моделирования выполнения отлаживаемой микропрограммы система rBlaze IDE формирует соответствующие диагностические сообщения и предупреждения. Подробная информация о возможных сообщениях приведена в статье [11].

ОСОБЕННОСТИ ПОЛЬЗОВАТЕЛЬСКОГО ИНТЕРФЕЙСА ИНТЕГРИРОВАННОЙ СРЕДЫ РАЗРАБОТКИ И ОТЛАДКИ МИКРОПРОЦЕССОРНЫХ ПРОГРАММ rBLAZE IDE

Интуитивный пользовательский интерфейс интегрированной среды разработки и отладки ПО rBlaze IDE обеспечивает все необходимые удобства в процессе редактирования исходного текста микропроцессорных программ и наглядность процесса их отладки. Управление процессами подготовки исходного текста микропрограмм и последующим моделированием осуществляется с помощью команд основного и всплывающих меню, а также с помощью кнопок быстрого доступа, расположенных на оперативной панели. Быстрое переключение из режима моделирования в режим редактирования исходного текста микропрограммы и обратно выполняется нажатием одной кнопки. Независимо от используемого режима структура основного окна интегрированной

среды rBlaze IDE включает в себя следующие элементы:

- заголовок окна,
- главное меню,
- оперативную панель управления,
- рабочую область,
- встроенное окно журнала регистрации сообщений (Log Pane),
- строку состояния.

Некоторые из перечисленных элементов могут находиться в выключенном состоянии в соответствии с установленной настройкой основного окна. Конфигурация рабочей области основного окна отладочных средств зависит от текущего режима их функционирования. В режиме редактирования в ней отображаются только открытые окна интегрированного тестового редактора. При переходе в режим моделирования текущее активное окно редактирования преобразуется в окно отладчика. При этом в левой части рабочей области основного окна отладочных средств автоматически появляется встроенная панель, предназначенная для отображения текущего состояния регистров общего назначения и регистра состояния микропроцессорного ядра PicoBlaze. Кроме того, в этой же панели отражается информация о прерываниях. Содержимое оставшейся свободной части рабочей области окна автоматически настраивается в соответствии с особенностями отлаживаемой микропрограммы.

В правой части этой области в наглядной форме отображается текущее состояние только тех портов ввода-вывода, которые используются в отлаживаемой микропрограмме и описаны с помощью соответствующих директив [11]. Информация о значениях данных, которые поступают в порты ввода-вывода, описанные с помощью директив интегрированной среды rBlaze IDE, выводится в двоичном представлении в форме линейки индикаторов. Эти индикаторы располагаются во встроенных панелях, заголовки которых совпадают с идентификаторами портов, указанными в соответствующих директивах. Значение адреса каждого отображаемого порта ввода-вывода в шестнадцатеричном формате приводится слева от линейки индикаторов. Состояние каждого из этих индикаторов определяет значение соответствующего двоичного разряда байта данных. Вид этих индикаторов зависит

от типа соответствующего порта ввода-вывода (входной, выходной или двунаправленный). В нижней части рабочей области может открываться дополнительная встроенная панель. В этой панели в наглядной форме отображается информация, хранящаяся в ячейках ОЗУ, СОЗУ или ПЗУ с указанными адресами. При этом автоматически отображается состояние только тех ячеек оперативной и постоянной памяти, которые описаны в соответствующих директивах интегрированной среды. Максимальное число ячеек оперативной или постоянной памяти, отображаемых в этой панели, определяется соответствующими параметрами настройки системы отладки rBlaze IDE.

Для отладки процедур обработки прерываний необходимо в процессе моделирования выполнения микропроцессорной программы сформировать соответствующий запрос. Отладочные средства rBlaze IDE позволяют моделировать выполнение прерываний, вызываемых фронтом сигнала, который поступает на вход INTERRUPT микропроцессорного ядра, или постоянным уровнем этого сигнала. Выбор типа запроса прерывания осуществляется с помощью индикаторов состояния, расположенных в соответствующей встроенной панели рабочей области.

Более подробно элементы пользовательского интерфейса отладочных средств rBlaze IDE, а также выполнение процесса разработки и отладки микропроцессорной программы с помощью данного инструмента рассмотрены в [9 – 13].

ОБЩАЯ ХАРАКТЕРИСТИКА СРЕДСТВ РАЗРАБОТКИ И ОТЛАДКИ 32-РАЗРЯДНЫХ МИКРОПРОЦЕССОРНЫХ СИСТЕМ НА ОСНОВЕ ЯДЕР СЕМЕЙСТВ MICROBLAZE И POWERPC

Основным инструментом создания и отладки встраиваемых 32-разрядных микропроцессорных систем, реализуемых в ПЛИС серий FPGA фирмы Xilinx [1–4], является комплекс средств автоматизированного проектирования Xilinx Embedded Development Kit™ (EDK). Данный комплекс САПР позволяет реализовать полный цикл разработки встраиваемых микропроцессорных систем на основе конфигурируемого 32-

разрядного ядра с RISC-архитектурой MicroBlaze [5] или аппаратного микропроцессорного модуля PowerPC [5 – 8].

Система автоматизированного проектирования Xilinx EDK поддерживается следующими операционными системами:

- Windows 2000 (Service Pack 2 и выше);
- Windows XP (Service Pack 1 и выше);
- Solaris 2.8/2.9;
- Linux Red Hat Enterprise 3.0.

Пакет Xilinx EDK рассчитан на совместную работу с соответствующей версией стандартных средств разработки проектов и программирования ПЛИС серии ISE в любой конфигурации, в т.ч. и свободно распространяемой версии ISE WebPack. В сентябре 2006 г. выпущена новая версия комплекса автоматизированного проектирования Xilinx EDK 8.2, которая предназначена для сопряжения с аналогичной версией САПР серии ISE, вышедшей несколько ранее. Последняя версия комплекса Xilinx EDK позволяет осуществлять разработку встраиваемых 32-разрядных систем на основе ПЛИС с архитектурой FPGA следующих семейств:

- Spartan-II (чипы с объёмом 50 000 системных вентилях (XC2S50) или более);
- Spartan-III;
- Spartan-3;
- Spartan-3L;
- Spartan-3E;
- Virtex/E (чипы с объёмом 50 000 системных вентилях (XCV50) или более);
- Virtex-II (чипы с объёмом 250 000 системных вентилях (XC2V250) или более);
- Virtex-II Pro;
- Virtex-4;
- Virtex-5.

Для ускорения процесса разработки и аппаратной отладки встраиваемых микропроцессорных систем, проектируемых на базе ядра MicroBlaze или модуля PowerPC, могут использоваться инструментальные комплекты и демонстрационные платы на основе соответствующих ПЛИС, выпускаемые различными производителями. В пакете Xilinx EDK предусмотрена поддержка широкого набора инструментальных комплексов и отладочных плат, в том числе:

- Xilinx Virtex-II Multimedia FF896 Development Board;

- Xilinx Virtex-II Pro ML300 Evaluation Platform;
- Xilinx Virtex-II Pro ML310 Embedded Development Platform;
- Xilinx Virtex-4 ML401/2/3/5/10 Embedded Development Platform;
- Xilinx AFX Virtex-II Pro FG456 Proto Board;
- Xilinx Spartan-3/3E Starter Kit.

Кроме указанных отладочных плат в средствах проектирования Xilinx EDK реализован механизм поддержки других аппаратных модулей, выпускаемых различными фирмами. Для работы с такими инструментальными модулями следует загрузить соответствующие файлы, которые описывают их конфигурацию. Как правило, такие файлы можно скопировать непосредственно с Web-страницы фирмы – производителя используемого инструментального модуля.

Комплекс средств проектирования Xilinx EDK является самостоятельным программным продуктом, приобретаемым в комплекте с аналогичной версией САПР серии ISE. Для изучения процесса разработки встраиваемых 32-разрядных микропроцессорных систем и начала практической работы рекомендуется воспользоваться оценочной 60-дневной бесплатной версией этого комплекса, которую можно запросить у официального дистрибьютора фирмы Xilinx.

ОТЛИЧИТЕЛЬНЫЕ ОСОБЕННОСТИ И СОСТАВ КОМПЛЕКСА СРЕДСТВ ПРОЕКТИРОВАНИЯ XILINX EMBEDDED DEVELOPMENT KIT

Отличительными особенностями комплекса средств проектирования встраиваемых микропроцессорных систем Xilinx Embedded Development Kit являются:

- возможность совместной разработки и отладки программной и аппаратной части микропроцессорной системы в рамках одного пакета;
- поддержка различных способов описания аппаратной части разрабатываемой системы;
- единая среда разработки и отладки встраиваемых микропроцессорных систем, выполняемых на основе ядер семейств MicroBlaze и PowerPC;
- тесная интеграция САПР со стандартными средствами разработки проектов и программирования ПЛИС серии Xilinx ISE: ISE WebPack и ISE Foundation;

- возможность применения разнообразных средств отладки программной и аппаратной частей создаваемых систем;
- наличие обширной библиотеки компонентов периферийных модулей микропроцессорных систем, представленных в виде Intellectual Property IP-ядер, которые позволяют значительно ускорить и упростить процесс разработки систем на кристалле;
- поддержка сопроцессоров для микропроцессорных ядер семейств MicroBlaze и PowerPC, реализованных в ПЛИС серии Virtex-4;
- возможность формирования моделей аппаратной части для последующей верификации в среде пакета ModelSim XE и NcSim;
- наличие шаблонов для разработки оригинальных пользовательских ядер;
- возможность использования «мастера» создания новых системных платформ Base System Build Wizard™, позволяющего ускорить процесс разработки и избежать потенциальных ошибок;
- поддержка «мастером» BSB Wizard как серийно выпускаемых отладочных плат, так и инструментальных модулей, проектируемых разработчиком;
- наличие «мастера» Create and Import Peripheral Wizard™, который существенно облегчает включение в состав новых проектов ядер периферийных модулей, не только входящих в комплект пакета, но и разработанных пользователем;
- усовершенствованный пользовательский интерфейс, отличающийся высокой степенью доступности и наглядности, повышающей эффективность процесса разработки.

В состав комплекса Xilinx Embedded Development Kit входят:

- средства разработки встраиваемых микропроцессорных систем Xilinx Embedded System Tools (EST), основу которых составляет интегрированная среда Xilinx Platform Studio (XPS);
- библиотека IP-компонентов встраиваемых микропроцессорных систем, включающая микропроцессорные ядра и периферийные модули;
- комплект драйверов и библиотек для средств разработки ПО проектируемых систем;

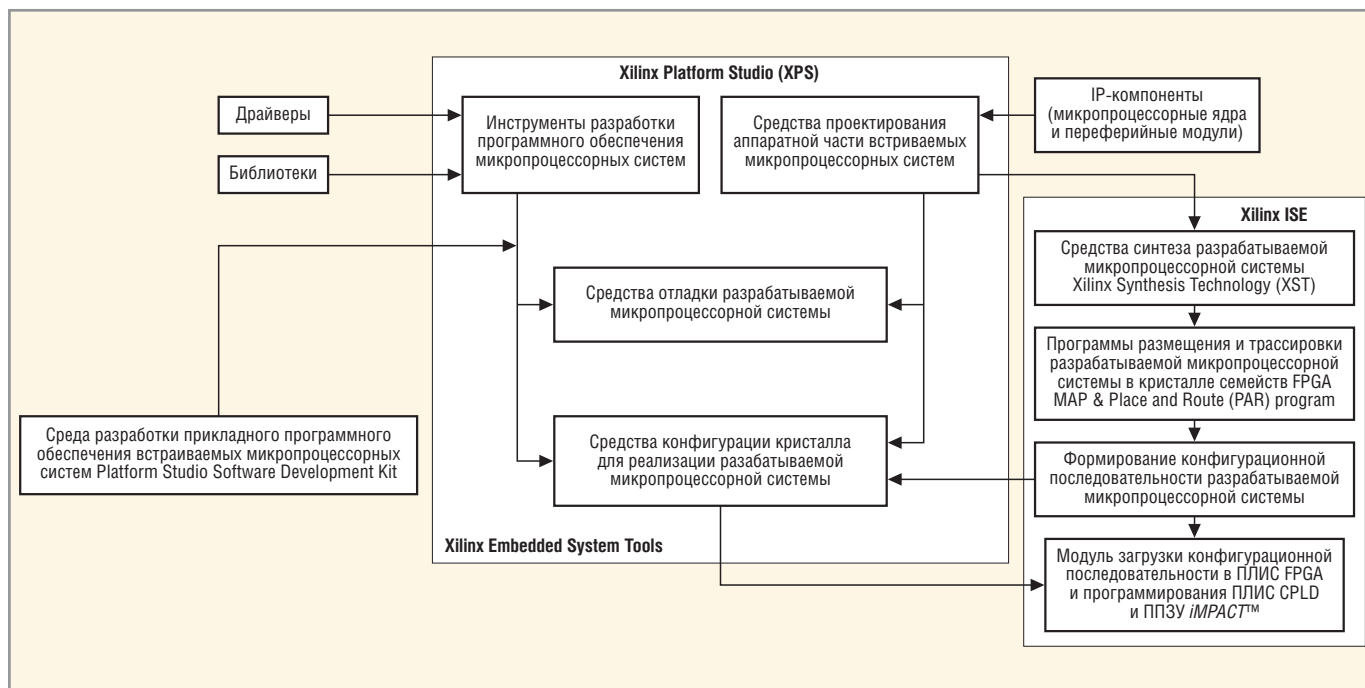


Рис. 5. Обобщённая структура комплекса средств проектирования Xilinx EDK и его взаимодействие с САПР серии Xilinx ISE

- компилятор исходного текста микропроцессорных программ, написанных на языке C, и средства отладки микропрограммного обеспечения;
- дополнительные средства разработки прикладного ПО встраиваемых микропроцессорных систем Platform Studio Software Development Kit (SDK);
- примеры проектов;
- документация.

Обобщённая структура САПР Xilinx EDK и её взаимодействие со стандартными средствами разработки проектов и программирования ПЛИС серии Xilinx ISE показаны на рис. 5.

СТРУКТУРА СРЕДСТВ РАЗРАБОТКИ ВСТРАИВАЕМЫХ МИКРОПРОЦЕССОРНЫХ СИСТЕМ XILINX EMBEDDED SYSTEM TOOLS

Средства разработки Xilinx EST представляют собой комплекс инструментов, выполненных в виде программных модулей, которые предназначены для осуществления соответствующих этапов проектирования встраиваемых микропроцессорных систем. Эти программные модули могут активизироваться как автономно, так и в составе интегрированной среды Xilinx Platform Studio. Запуск отдельных модулей пакета Xilinx EST в автономном режиме может осуществляться с помощью соответствующей командной строки.

В структуре средств разработки встраиваемых микропроцессорных систем можно выделить четыре группы программ и интегрированную среду Xilinx Platform Studio. К первой группе программ относятся инструменты, необходимые для проектирования аппаратной части встраиваемых микропроцессорных систем. В состав данной группы входят программы, выполняющие следующие функции:

- создание и редактирование спецификаций аппаратной части разрабатываемой микропроцессорной системы;
- формирование HDL-описаний и списка соединений проектируемой аппаратной платформы.

В эту же группу можно включить модули, которые используются в качестве инструментов пакета Xilinx EST, но являются самостоятельными программами или принадлежат другим системам проектирования. Такими инструментами являются программы размещения и трассировки проекта в кристаллах семейств FPGA, которые входят в состав САПР серии Xilinx ISE.

Ко второй группе относятся инструменты разработки программных компонентов встраиваемых микропроцессорных систем. В этой группе представлены программы, которые предназначены для выполнения следующих процессов:

- создание и редактирование спецификаций программной платфор-

мы, которая содержит библиотеки, драйверы и процедуры обслуживания прерываний компонентов разрабатываемой системы;

- формирование модулей программной платформы проектируемой системы;
- создание и редактирование исходных модулей прикладных программ (приложений) для разрабатываемой микропроцессорной системы;
- компиляция исходных модулей прикладных программ.

Третью группу инструментов образуют средства верификации разрабатываемой встраиваемой микропроцессорной системы. К этой группе относятся программы, которые выполняют следующие функции:

- создание и редактирование спецификаций моделей компонентов, включенных в состав аппаратной платформы разрабатываемой микропроцессорной системы;
- генерация моделей компонентов аппаратной платформы для последующей верификации проектируемой системы;
- отладка программ на уровне инструкций микропроцессорного ядра;
- комплексная отладка прикладных программ проектируемой системы. К данной группе можно отнести также различные программы моделирования, как, например, ModelSim XE и NcSim.

Четвёртая группа объединяет средства конфигурации кристалла ПЛИС, выбранного для реализации разрабатываемой микропроцессорной системы. В состав этой группы входят программы, выполняющие следующие процедуры:

- преобразование исполняемого кода программ в загружаемый код кристаллов FPGA;
- дополнение конфигурационной последовательности ПЛИС загружаемым кодом ПО для инициализации программной памяти встраиваемой системы;
- формирование файлов конфигурации разработанной системы в различных форматах, в том числе в формате System ACE.

Кроме того, к данной группе инструментов проектирования можно причислить модуль конфигурирования ПЛИС семейств FPGA и программирования конфигурационных ПЗУ/ППЗУ iMPACT, входящий в САПР серии Xilinx ISE.

Интегрированная среда разработки Xilinx Platform Studio средств Xilinx EST предназначена для организации оптимального управления проектированием встраиваемых микропроцессорных систем на основе ПЛИС серий FPGA в среде пакета Xilinx EDK. Управляющая оболочка XPS предоставляет пользователю удобный интерфейс для максимально эффективной работы с проектом и управления всеми процессами в ходе проектирования. Запуск всех программных модулей, входящих в состав средств Xilinx EST, может осуществляться непосредственно в интегрированной среде Xilinx Platform Studio.

Интегрированная среда XPS выполняет следующие функции:

- управление созданием и редактированием проекта;
- создание и редактирование спецификации аппаратной части разрабатываемой системы MHS;
- подготовка спецификации программной платформы микропроцессорной системы MSS;
- формирование и модификация исходных файлов прикладных программ;
- управление всеми фазами процесса проектирования встраиваемых микропроцессорных систем;
- предоставление доступа ко всем инструментам, которые входят в состав средств Xilinx EST.

Пользовательский интерфейс комплекса средств проектирования Xilinx EDK выполнен в том же стиле, что и в САПР серии Xilinx ISE, особенности которого были рассмотрены ранее. Большинство этапов разработки встраиваемых микропроцессорных систем, выполняемых в интегрированной среде XPS, осуществляется с помощью соответствующих «мастеров». Такой подход позволяет избежать потенциальных ошибок в процессе проектирования.

Работа с комплексом САПР Xilinx EDK и пример разработки встраиваемой микропроцессорной системы на основе ядра семейства MicroBlaze рассмотрены в книге [5].

ЗАКЛЮЧЕНИЕ

Завершая обзор средств проектирования встраиваемых микропроцессорных систем, реализуемых на основе ПЛИС фирмы Xilinx, следует упомянуть также инструмент аппаратной отладки внутри чипов ChipScope™ Pro. В подавляющем большинстве случаев для разработки и верификации аппаратной и программной частей проектируемых микропроцессорных систем достаточно стандартного набора отладочных средств, которые были рассмотрены выше. Применение пакета ChipScope Pro наиболее эффективно в тех ситуациях, когда использование стандартного набора инструментов не дало положительных результатов. Этот пакет может использоваться для отладки как 8-, так и 32-разрядных систем, выполняемой на уровне аппаратных ресурсов чипов. Он позволяет осуществлять контроль изменения любых внутренних сигналов разрабатываемой системы непосредственно в ПЛИС, в т.ч. на внутренних шинах.

Основными компонентами системы ChipScope Pro являются IP-ядро логического анализатора, шинного анализатора и виртуального ввода-вывода, а также программа внедрения этих ядер в состав проекта разрабатываемой микропроцессорной системы. С помощью внедрённых компонентов осуществляется захват внутренних сигналов и передача их значений через порт JTAG-интерфейса и стандартный загрузочный кабель непосредственно в компьютер для последующего отображения на экране монитора. Кроме того, в пакете ChipScope Pro предусмотрена под-

держка интерфейса для подключения тестового оборудования компании Agilent Technologies®.

Пакет отладочных средств ChipScope Pro предназначен для совместной работы с аналогичной версией САПР серии ISE в любой конфигурации. Свободно распространяемая (бесплатная) оценочная 60-дневная версия этого пакета предоставляется совместно с комплексом САПР Xilinx EDK. Данную версию ChipScope Pro можно также загрузить через Интернет или запросить у официального дистрибьютора фирмы Xilinx.

ЛИТЕРАТУРА

1. Кузелин М.О., Кышев Д.А., Зотов В.Ю. Современные семейства ПЛИС фирмы Xilinx. Справочное пособие. М.: Горячая линия – Телеком, 2004.
2. Spartan™-3 Platform FPGA Handbook. Xilinx Inc., 2003.
3. Virtex-II Pro™ Platform FPGA Handbook. Xilinx Inc., 2002.
4. Virtex-4 Handbook. Xilinx Inc., 2004.
5. Зотов В.Ю. Проектирование встраиваемых микропроцессорных систем на основе ПЛИС фирмы Xilinx. М.: Горячая линия – Телеком, 2006.
6. PowerPC Processor Reference Guide. Xilinx Inc., 2003.
7. PowerPC™ 405 Processor Block Reference Guide. Xilinx Inc., 2004.
8. Processor IP Reference Guide. Xilinx Inc., 2005.
9. Зотов В. Проектирование цифровых устройств на основе ПЛИС фирмы Xilinx в САПР WebPack ISE. М.: Горячая линия – Телеком, 2003.
10. Зотов В. pBlaze IDE – интегрированная среда разработки и отладки программного обеспечения встраиваемых 8-разрядных микропроцессорных систем, реализуемых на основе ПЛИС фирмы Xilinx. Компоненты и технологии. 2006. № 3, 4.
11. Зотов В. Директивы и сообщения об ошибках интегрированной среды разработки и отладки программного обеспечения встраиваемых систем pBlaze IDE. Компоненты и технологии. 2006. № 5.
12. Зотов В. Разработка и отладка программного обеспечения встраиваемых 8-разрядных микропроцессорных систем на основе ПЛИС фирмы Xilinx в среде pBlaze IDE. Компоненты и технологии. 2006. № 6.
13. Зотов В. Пример сквозного проектирования встраиваемой 8-разрядной микропроцессорной системы на базе ядра семейства PicoBlaze, реализуемой на основе ПЛИС фирмы Xilinx. Компоненты и технологии. 2006. №№ 7 – 9.



Новости мира News of the World Новости мира

Аудио ЦАП

ЦАП CS4352 является чипом преобразователя фирмы Cirrus Logic, имеющий динамический диапазон 102 дБ. Встроенная линейная схема управления с аналоговым фильтром управляет непосредственно выходом с уровнем напряжения 2 В (эф.ф.). Чип обладает способностью опознавания скорости опроса по одной из технологий Cirrus Logic. В CS4352 применена Multibit-Delta-Sigma-архитектура, чип работает от напряжения питания 9 или 12 В и аппаратно конфигурируем. Кроме того, он схож по выводам с ЦАП CS4351 фирмы Cirrus Logic и использует Popguard-технологии для подавления шумов при включениях и выключениях. ЦАП CS4352 предлагается в 20-выводном корпусе TSSOP, не содержащем свинца.

www.cirrus.com

Чип декодера MPEG-2

Фирма Fujitsu Microelectronics Europe объявляет о MPEG-декодере, который обладает всеми наилучшими параметрами, которые требуются для решения комплексного персонального видео рекордера. SmartMPEG-E (MB86H30) разработан в European Multimedia Design Center фирмы Fujitsu Microelectronics Europe в Лангене. Элемент имеет USB 2.0 OTG (On-the-Go). В Host-режиме MB86H30 управляет жесткими дисками или другими запоминающими устройствами с выходом на USB. В Device-режиме декодер управляется от персонального компьютера. В дополнение к накопителю с USB, может подключаться еще один жесткий диск через интегрированный интерфейс ATA.

Производительность декодера благодаря ARC Tangent-A4, 6-канальному DMA-контроллеру, а также благодаря быстродействующей системе памяти обеспечивает высокие скорости чтения и записи. Элементы поставляются с PVR Middleware и драйверами Fujitsu. Для PVR-имп-



lementации в распоряжении имеются различные режимы воспроизведения и записи: один канал может записываться, а другой канал в режиме Time-Shift воспроизводится; или два канала могут записываться, а воспроизведение осуществляется с жесткого диска.

Сдвоенный видео декодер поддерживает режим «картинка-в-картинке», когда одновременно декодируются и воспроизводятся две программы. При этом пользователь может видеть одну программу и одновременно следить за записью в затемненном и масштабируемом изображении. Режим Fast-Mosaic обеспечивает представление нескольких изображений на экране, при этом одно из них изменяется в реальном времени, а остальные обновляются через каждые две секунды.

www.emea.fujitsu.com

Графический процессор как IP-модуль

Фирма Sci-worx разработала интерфейс камеры Marvin-5MP. IP-Modul был имплантирован на FPGA-платформе и протестирован. Он может уже сейчас поставляться и быть интегрирован в специализированные чипы.

Графические процессоры обеспечивают 12-разрядный канал данных для обработки изображений по различным алгоритмам. Комплект поставки включает в себя программную среду разработки, оценочную плату, необходимый суппорт и тренинг. Максимальное разрешение может быть выставлено на 3, 5 или 8 мегапикселей или может быть создана полностью специализированная версия по заказу клиента.

www.sci-worx.com

Восьмиканальные АЦП с разрешениями 10, 12 и 14 разрядов

Компания Analog Devices предлагает 8-канальные АЦП с разрешениями 10, 12 и 14 разрядов. АЦП AD9212, AD9222 и AD9252 предназначены для переносных медицинских приборов и ультразвуковых систем. Модели AD9212 (10 разрядов) и AD9222 (12 разрядов) потребляют менее 100 мВт на один канал.

Микросхемы предлагаются в 64-выводном корпусе LFCSP размером 9 × 9 мм, работают с частотой опроса до 50 мегавыборок/с, имеют отношение сигнал/шум 70 дБ и обладают последовательными LVDS-выходами данных (Low-Voltage Differential Signaling). АЦП имеют



программируемые функции синхронизации тактовой частоты и данных, а также функции выработки цифровых эталонов, которые выдаются с интерфейса SPI. Модели AD9212 и AD9222 с сентября 2006 г. поставляются партиями.

www.analog.com

Недорогой цифровой процессор с плавающей запятой

Корпорация Texas Instruments объявила о разработке своего самого дешёвого процессора цифровых сигналов с плавающей запятой. Этот процессор, получивший название TMS320C6720, стоит всего \$5.75 и работает на частоте 200 МГц.

Он предназначен главным образом для недорогих музыкальных инструментов, медицинского и биометрического оборудования, систем радиовещания, измерительных приборов и промышленной аппаратуры.

Процессор TMS320C6720 базируется на ядре C67x+. По конфигурации выводов он совместим с процессорами TMS320C6722 и TMS320C6726. Новое устройство имеет 64 Кб встроенной памяти RAM, 32 Кб для хранения команд и 384 Кб ROM. В ROM загружена программа BIOS, ядро, ориентированное на работу в реальном времени, а также оптимизированные библиотеки наиболее употребительных функций. Имеется также удобный в использовании движок прямого доступа к памяти dMAX, который повышает производительность приложений.

TMS320C6720 поддерживается рядом фирменных инструментальных средств разработки, включая Code Composer Studio Integrated Development Environment, а также Lyrtch Professional Audio Development Kit (PADK), который даёт разработчикам возможность тестировать процессоры с ядром C672x для работы со звуковыми устройствами.

www.e7e.ru