

Обзор средств функциональной верификации компании Mentor Graphics

Андрей Лохов (Москва)

Компания Mentor Graphics входит в мировую элиту поставщиков САПР электронных систем. Диапазон предлагаемых средств чрезвычайно широк и охватывает все основные направления проектирования: печатных плат, СБИС, систем – от концептуального уровня до выдачи технологических файлов для производства. В статье рассматривается комплекс средств функциональной верификации СБИС Mentor Graphics, анализируются основные принципы и методы верификации, заложенные в этих средствах.

ВВЕДЕНИЕ

В настоящее время проблема функциональной верификации СБИС приобретает доминирующее значение в общем цикле разработки и верификации электронных изделий. По последним данным, примерно половина всего инженерного состава, работающего над крупными проектами, занята функциональной верификацией. Временные затраты на функциональную верификацию в общем цикле проектирования выглядят ещё более впечатляюще – более 60%. При этом подавляющее большинство ошибок относится к классу логических (функциональных) [1].

Компания Mentor Graphics была одной из первых, в полной мере осознавшей решающее значение функ-

циональной верификации в современных маршрутах проектирования. Несколько лет назад в компании было создано специальное подразделение Design Verification and Test Division, которое сосредоточило усилия исключительно на данной проблеме. В результате была разработана комплексная платформа верификации, которая получила название Scalable Verification (масштабируемая верификация) [2, 3]. В основу платформы были заложены три базовых принципа [4]:

- комплексная верификация систем на кристалле с учётом трёх основных составляющих: цифровые, аналоговые подсистемы и встроенное ПО. Все модули платформы верификации интегрированы как по вертикали, охватывая все стадии

проектирования – от системного до вентиляльного уровня, так и по горизонтали, обеспечивая совместное моделирование на одном уровне блоков проекта, представленных разными уровнями абстракции и разными составляющими – цифровой, аналоговой и программной частью;

- ориентация на общепринятые стандарты языков описания проекта, позволяющая не только обмениваться проектными файлами между различными маршрутами проектирования, но и повторно использовать ранее разработанные функциональные блоки и, что ещё более важно, тест-бенчи. К основным стандартам можно отнести такие языки, как VHDL, Verilog 2001, SystemC, SystemVerilog, PSL;
- использование методологии, получившей название Design for Verification (проектирование для верификации), включающей все основные методы повышения эффективности верификации: верификация с помощью ассертов (Assertion-Based Verification), верификация, управляемая полнотой функционального покрытия (Coverage-Driven Verification), автоматизация тест-бенчей (Testbench Automation), моделирование на уровне транзакций (Transaction Level Modeling) и другие.

На рисунке 1 представлена схема последовательных этапов проектирования системы на кристалле и перечень средств верификации Mentor Graphics, являющихся составной частью платформы Scalable Verification, с указанием того, на каких этапах проектирования может применяться каждое из этих средств. Рассмотрим кратко назначение и основные характеристики перечисленных средств верификации, уделив особое внимание пакету Questa, который, как видно из рисунка, является ядром комплексной платформы верификации.

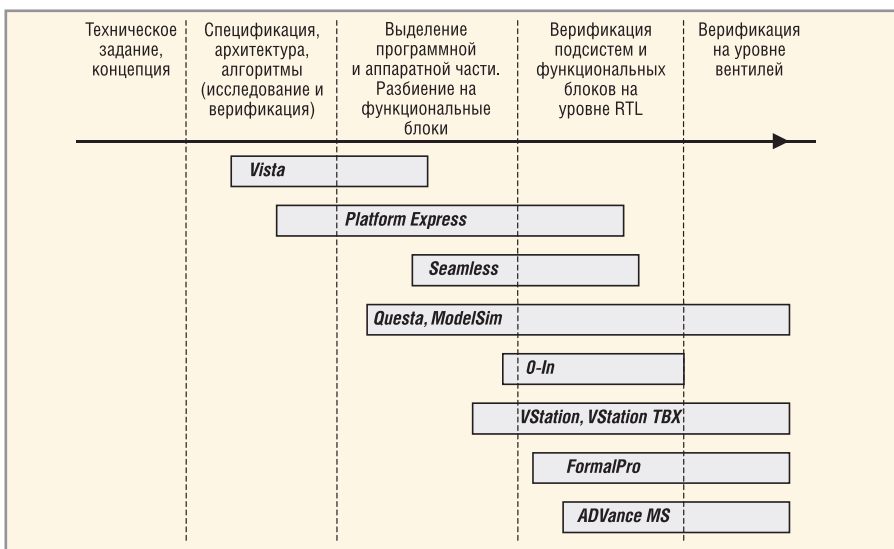


Рис. 1. Комплексная платформа функциональной верификации Scalable Verification

ИССЛЕДОВАНИЕ И ВЕРИФИКАЦИЯ СИСТЕМЫ НА АРХИТЕКТУРНОМ И АЛГОРИТМИЧЕСКОМ УРОВНЕ

Одной из важнейших задач современной системы функциональной верификации является повышение уровня абстракции моделей и смещение центра тяжести верификации на системный уровень. На этом уровне для описания моделей используется, как правило, язык Си/Си++ (ANSI C++), моделирование выполняется на уровне транзакций, для чего используются временные (timed) или невременные (untimed) модели транзакций на языке SystemC. Данный уровень исследования и верификации системы на кристалле реализуется средствами Vista и Platform Express (см. рис. 2).

Vista представляет собой высокопроизводительную среду верификации на системном уровне на основе моделей на Си/Си++ и SystemC (Vista 2.0). Она обеспечивает инструментальные средства создания моделей, их «ассемблирование» в систему, верификацию их поведения и дополнительные средства исследования и отладки различных вариантов построения архитектуры системы (в том числе программно-аппаратных) с помощью профилировщика загрузки системных ресурсов и подключения интерпретаторов системы команд встроенных стандартных процессоров. Симулятор Vista оперирует на уровне транзакций (TLM). Таким образом, Vista позволяет последовательно решать следующие задачи:

- компилировать проект из библиотечных моделей Си/Си++ (Platform Express C);
- создавать свои модели в случае отсутствия таковых в библиотеке (Model Express);
- моделировать систему с высокой производительностью (Vista Simulator);
- исполнять и отлаживать встроенное программное обеспечение (Processor Integration Kit);
- исследовать производительность программной и аппаратной реализации функций системы, выбирая оптимальный вариант реализации (Performance Profiler);
- выдавать информацию для перехода на следующий уровень реализации системы (RTL).

Результатом работы Vista может являться так называемая «золотая модель» системы или «исполняемая спецификация», которая на последующих этапах постепенно детализируется до RTL, а затем до вентилярного уровня.

Следует отметить, что специализированное ядро Platform Express C является составной частью более общей платформы Platform Express – функциональной среды, позволяющей автоматизировать процесс проектирования и верификации системы на базе коммерчески поставляемых IP-блоков процессоров (ARM, PPC, DSP-процессоров и др.), стандартных шин (AMBA, VCI, и др.), памяти, контроллеров периферии и т.п. Среда Platform Express также может быть использована на системном уровне, однако, в отличие от Vista, она допускает детализацию отдельных блоков до уровня HDL и их моделирование, например, с помощью HDL-симулятора ModelSim или системы программно-аппаратной верификации Seamless.

ПРОГРАММНО-АППАРАТНАЯ ВЕРИФИКАЦИЯ НА УРОВНЕ RTL

Если на предыдущем этапе принято решение об использовании конкретного процессорного ядра, важно обеспечить возможность детальной отладки аппаратной части системы на уровне RTL с помощью воздействий, генерируемых при реальном исполнении встроенной программы. Эта функция реализуется с помощью пакета Seamless. Он включает интерпретаторы системы команд (тест-бенч аппаратной части системы) для более чем 100 стандартных микропроцессоров, модель аппаратной части системы на уровне RTL (VHDL или Verilog) и оптимизирующий интерфейс с системой отслеживания когерентности обращений к памяти. Seamless обеспечивает исчерпывающую верификацию аппаратной модели за счёт прогона больших объёмов встроенного кода, что позволяет практически исключить ошибки в первом физическом прототипе. Среда моделирования включает все функции программно-аппаратной отладки: компилятор, отладчик исходного кода, просмотр содержимого регистров и памяти, интерфейс с логическим анализатором. Анало-

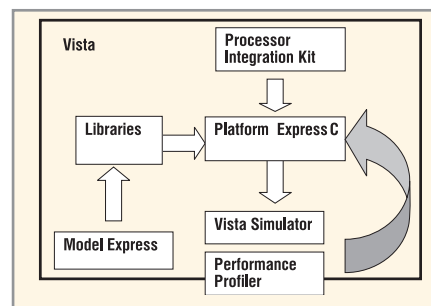


Рис. 2. Верификация на системном уровне с помощью Vista

гично системному уровню возможно подключение моделей на Си/Си++ и SystemC.

Специальная опция Seamless ASAP позволяет за счёт мониторинга использования ресурсов, как и на системном уровне, исследовать и оптимизировать различные варианты архитектуры, например, реализовать аппаратно алгоритм вычисления, если его программная реализация не обеспечивает необходимую производительность системы в целом. Эта опция обычно используется в среде Platform Express. Другая опция Seamless H2C реализует обратную трансляцию HDL-кода во временное представление на Си/Си++ или SystemC с точностью до такта синхронизации и с гарантированной эквивалентностью за счёт автоматической генерации тест-бенча и проверочного теста. В частности, это позволяет быстро верифицировать на системном уровне IP-блоки, в комплект поставки которых входит только синтезируемый HDL-код.

ВЕРИФИКАЦИЯ АППАРАТНОЙ ЧАСТИ НА УРОВНЕ RTL

Данный этап верификации является одним из самых трудоёмких в маршруте проектирования систем на кристалле. Традиционно на этом этапе использовались HDL-симуляторы на уровне VHDL или Verilog. Одним из самых широко распространённых в мире HDL-симуляторов является пакет ModelSim, обладающий высокой производительностью, единым моделирующим ядром для VHDL, Verilog и комбинированных проектов и широкими отладочными возможностями. Однако резкое возрастание объёма и сложности систем на кристалле привело к необходимости внедрения новых методологий верификации, позво-

ляющих более эффективно и с меньшими затратами выполнить функциональную верификацию проекта. Основными принципами новой методологии верификации являются [5]:

- 1) верификация с помощью ассертов (ABV – Assertion-Based Verification);
- 2) оптимизация функциональной полноты покрытия (Functional Coverage) и управление сходимостью верификации с помощью полноты покрытия (CDV – Coverage-Driven Verification);
- 3) автоматизация создания тест-бенчей (TBA – TestBench Automation) с использованием принципа наложения ограничений на генератор случайных тестов (CRT – Constrained-Random Testing);
- 4) верификация на уровне транзакций (TLM – Transaction Level Modeling);
- 5) автоматический синтез ассертов;
- 6) статическая и динамическая формальная верификация ассертов;
- 7) использование специализированных и стандартных библиотек IP-блоков для верификации.

Принципы 1 – 4 реализованы в платформе верификации Mentor Graphics нового поколения, получившей название Questa. Принципы 5 – 7 – в средствах верификации 0-In компании, вошедшей в состав Mentor Graphics в 2003 г. и являющейся в настоящее время одним из подразделений Verification and Test Division.

Рассмотрим более подробно характеристики Questa. Для традиционного моделирования VHDL-, Verilog- и комбинированных VHDL/Verilog-проектов в Questa интегрировано моделирующее ядро ModelSim. В этом режиме на уровне объекта верификации поддерживаются языки VHDL, Verilog и SystemVerilog, включая вер-

сии 2002, 2001 и 3.1 соответственно, а на уровне тест-бенчей – SystemVerilog 3.1 и SystemC 2.1, в том числе на уровне транзакций (TLM). Пользовательский интерфейс (GUI) аналогичен интерфейсу ModelSim, что обеспечивает быстрый переход на новую платформу. Questa включает все отладочные возможности ModelSim в режиме традиционного моделирования: анализ полноты покрытия кода, сравнение временных диаграмм, анимацию, кросс-ссылки моделирования с блок-схемой и HDL-кодом и многое другое.

На этом перекрытие функций с симулятором ModelSim заканчивается. Дополнительно Questa имеет ядро для моделирования и отладки ассертов – QuestaSim. Ассерты существенно повышают наблюдаемость событий при моделировании объекта верификации. Встроенный браузер и отладчик ассертов позволяет быстро локализовать и устранить истинную причину ошибки, в несколько раз сокращая время верификации объекта по сравнению с традиционным моделированием. Для описания ассертов Questa поддерживает языки SystemVerilog и PSL (Property Specification Language).

Однако ассерты не только ускоряют верификацию, приближая точку наблюдения к реальному источнику возникновения ошибки, но и обеспечивают накопление, анализ и передачу информации о полноте функционального покрытия объекта верификации. Эта функция реализуется специальными конструкциями SystemVerilog и PSL и является одной из ключевых характеристик Questa, поскольку позволяет оптимальным образом управлять сходимостью процесса верификации.

Чтобы использовать информацию о полноте функционального покрытия в процессе создания и управления тестовыми воздействи-

ями, Questa включает специальный механизм TBA (TestBench Automation), который генерирует рандомизированные тесты под управлением специальных ограничений, задаваемых в виде накапливаемой в ассертах информации о полноте функционального покрытия и описываемых специальными конструкциями языков SystemVerilog и SystemC. Причём последний полностью поддерживает библиотеку SCVL (SystemC Verification Library). Суть работы этого механизма сводится к отсечению уже отработанных сценариев верификации и переходу к сценариям, которые ещё предстоит отработать, сокращая при этом время верификации за счёт повышения сходимости. Эти принципы, реализованные в платформе Questa, получили название CRT (Constained-Random Testing) и CDV (Coverage-Driven Verification).

Интерфейсы Questa CodeLink и Questa TBX дают возможность использовать в качестве тест-бенчей соответственно интерпретаторы программного кода встроенных процессоров, например, реализованные в Seamless, или аппаратные тест-бенчи системы VStation TBX.

Таким образом, Questa представляет собой среду верификации объектов, представленных различными уровнями абстракции, с использованием стандартных языков, единого пользовательского интерфейса и интегрированной среды отладки. В таблице приведены её суммарные характеристики.

Дополнительные возможности верификации с помощью ассертов могут быть получены путём подключения к платформе Questa средств 0-In (V2.3) [6]. Эти средства существенно повышают эффективность верификации за счёт автоматического синтеза ассертов на основании формального анализа RTL-кода. При этом могут быть использованы не только языковые (VHDL, SystemVerilog, PSL), но и библиотечные ассерты (OVL – Open Verification Library, 0-In CheckerWare – собственный формат 0-In). Формальная верификация свойств ассертов (не путать с контролем эквивалентности) позволяет, не прибегая к моделированию, повысить другую важнейшую характеристику – управляемость объекта верификации. Формальная верифика-

Матрица конфигурации Questa

| | ModelSim | Questa SV (SystemVerilog) | Questa AFV (Advanced Functional Verification) |
|--|---------------------------------------|-------------------------------|---|
| Моделирование RTL | SystemVerilog Verilog 2001 VHDL | SystemVerilog Verilog 2001 | SystemVerilog Verilog 2001 VHDL |
| Ассерты | | SystemVerilog | SystemVerilog PSL |
| Автоматизация тест-бенчей (TBA) и транзакции (TLM) | | SystemVerilog | SystemVerilog SystemC |
| Функциональное покрытие | | SystemVerilog | SystemVerilog PSL |

ция возможна как в статическом режиме (как правило, после сигнала общего сброса), так и в динамическом, начиная с определённого состояния, достигнутого при моделировании объекта. Библиотека моделей для верификации 0-In CheckerWare Library содержит более 70 моделей. В качестве примера можно привести PCI Express, USB 2.0, AMBA-AXI, 10 GB Ethernet и другие компоненты.

Обобщённая структурная схема платформы Questa приведена на рисунке 3.

Аппаратная эмуляция

В случае, если необходимо верифицировать весь кристалл на уровне RTL или даже на вентиляльном уровне и объём тестов чрезвычайно велик (например, в случае регрессионного тестирования на вентиляльном уровне), применяются системы аппаратной эмуляции. Система эмуляции VI поколения компании Mentor Graphics – VStation Pro [7] поддерживает проекты максимальным объёмом 120 млн. вентиляей.

Она реализована на FPGA и использует запатентованную технологию эмуляции Virtual Wires. Скорость эмуляции достигает нескольких мегагерц, скорость компиляции – более 5 млн. вентиляей в час при любой комбинации форматов входного представления объекта (VHDL/Verilog/RTL/Gate). Отладочная среда приближается по возможностям к системе моделирования и обеспечивает 100-% наблюдаемость сигналов. В режиме внутрисхемной эмуляции (in-circuit emulation) VStation Pro действует практически в режиме реального времени. Система поддерживает интеграцию с Seamless и Questa/ModelSim. Опция VStation TBX обеспечивает многократное ускорение процесса верификации за счёт компиляции тест-бенчей, написанных на языках высокого уровня, в систему VStation Pro, поддерживая VHDL, Verilog, SystemC, SystemVerilog, TLM. VStation TBX имеет встроенную библиотеку описания протоколов на уровне транзакций и интегрирована с Seamless и Questa/ModelSim.

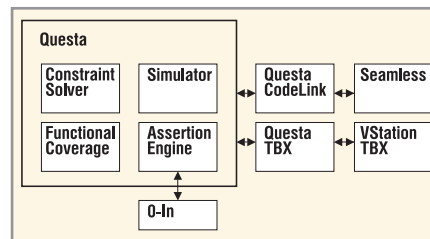


Рис. 3. Обобщённая структурная схема платформы Questa

ФОРМАЛЬНАЯ ВЕРИФИКАЦИЯ (КОНТРОЛЬ ЭКВИВАЛЕНТНОСТИ)

При последовательном движении проекта по этапам маршрута проектирования, внесении различных изменений на RTL- или вентиляльном уровне, например, добавлении цепей опроса состояния внутренних регистров или логики встроенного самотестирования, а также при регрессионном тестировании объекта верификации часто возникает задача контроля эквивалентности двух объектов. Для решения этой задачи используется система формальной верификации FormalPro компании Mentor Graphics [8]. Используя фор-

Решения в области САПР электроники от Mentor Graphics. Megratec-INLINE GROUP - официальный дистрибьютор. Поставка, обучение, сопровождение.

123007, Москва,
Хорошевское шоссе, дом 38, корпус 1, 4 этаж
+7 095 787-59-40
lokhov@megratec.ru

megratec® MENTOR GRAPHICS TECHNOLOGIES

Mentor Graphics®

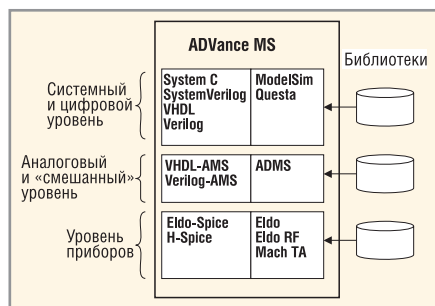


Рис. 4. Структура платформы ADVance MS

мальные методы анализа, она не требует моделирования тестовых воздействий, что позволяет выполнить верификацию на порядок быстрее. Допустимая размерность объекта верификации – несколько десятков миллионов вентилей. FormalPro обеспечивает точную локализацию расхождений и их отображение в виде кросс-ссылок на RTL-код или список цепей. В качестве входного формата используется RTL или вентильное представление в форматах VHDL или Verilog.

Аналоговое и смешанное моделирование систем на кристалле

Более 65% современных систем на кристалле не являются чисто цифровыми. Как правило, они содержат аналоговые, аналого-цифровые, а зачастую и ВЧ/СВЧ-блоки. Для верификации подобных систем необходимо иметь интегральный комплекс, позволяющий моделировать любое сочетание аналоговых и цифровых блоков, а также различных их комбинаций в любой иерархической структуре, варьируя уровень абстракции моделей отдельных блоков от высокого (Си/Си++, SystemC, SystemVerilog, VHDL-AMS) до самого низкого (Spice, список цепей VHDL/Verilog). Примером реализации такого комплекса может служить платформа ADVance MS компании Mentor Graphics. Структурная схема платформы приведена на рисунке 4. Платформа реализована на базе цифрового симулятора ModelSim, аналогового симулятора Eldo и ядра ADMS, предназначенного для смешанного поведенческого моделирования в формате VHDL-AMS или Verilog-AMS [9]. При необходимости система может быть «усилена» опцией ВЧ-моделирования Eldo RF и опцией динамического временного моделирования Mach TA («быстрый Spice»).

В первом случае пользователь получает возможность верифицировать сложные RF/DSP-системы, объединяющие входной ВЧ-блок с блоком цифровой обработки сигналов в рабочем диапазоне (baseband). Моделирование цифровой и смешанной части выполняется на языках VHDL, Verilog, VHDL-AMS, Verilog-AMS, а ВЧ-части – на транзисторном уровне с использованием BSIM3, BSIM4, HICUM и других моделей. Используя усовершенствованные смешанные алгоритмы моделирования в частотно-временной области, такие как MODSST (MODulated Steady-State Analysis), и выбирая частоту дискретизации во временной области в соответствии с медленно изменяющимся baseband-сигналом, пользователь получает существенный выигрыш в быстродействии (2 – 3 порядка) по сравнению с традиционными методами моделирования переходных режимов при одновременном сохранении точности моделирования критических ВЧ-блоков. Поддерживаются все стандартные форматы цифровой модуляции – GMSK, QPSK, QAM, GFSK, EDGE, HPSK, OFDM и другие.

Mach TA представляет собой систему высокопроизводительного динамического временного моделирования СБИС большого объёма и сочетает высокую скорость моделирования (на три порядка быстрее, чем Spice-подобные симуляторы), точность, достаточную для исчерпывающей временной верификации (в пределах 3-% погрешности от Spice), и высокую допустимую размерность проектов (10 млн. транзисторов на рабочей станции с памятью 2 Гб). Объект моделирования – список цепей в формате Eldo-Spice или HSpice. Список цепей может быть получен из принципиальной схемы проекта или создан с помощью программы экстракции паразитных параметров Calibre xRC. В качестве входных воздействий могут быть использованы тестовые векторы, разработанные для симулятора ModelSim. Высокая скорость моделирования Mach TA достигается путём разбиения проекта на отдельные слабо связанные блоки и применения специального алгоритма поведенческого моделирования связей между блоками. Точность мо-

делирования внутри выделенных блоков обеспечивается применением специального пошагового алгоритма, требующего существенно меньше памяти по сравнению с традиционным Spice-моделированием. Точность моделирования транзисторов обеспечивается применением четырёхполюсных моделей, учётом накопления заряда, вольт-зависимыми величинами емкостей, вариацией порогового значения обратного смещения. Предусмотрен как пакетный, так и интерактивный режим моделирования.

ЗАКЛЮЧЕНИЕ

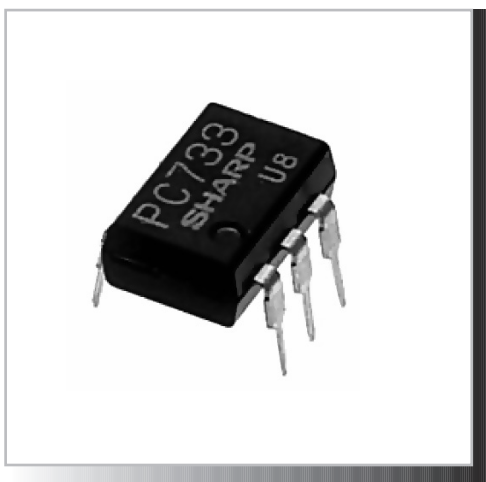
Успехи, достигнутые компанией Mentor Graphics в области комплексной функциональной верификации в 2004 г. (Mentor Graphics вышла на первое место [1]), и результаты I квартала 2005 г. позволяют судить о правильности выбранного стратегического курса. В планы компании входит дальнейшее развитие платформы Scalable Verification как в сторону увеличения производительности и функциональных возможностей отдельных средств, так и в сторону вертикальной и горизонтальной интеграции их между собой.

ЛИТЕРАТУРА

1. 2004 IC/ASIC Functional Verification Study. Collet Int. Res. 2004.
2. Bailey B. The Need for a Scalable Verification Methodology to Overcome the Limitations of Current Verification Approaches. Mentor Graphics White Paper. 2004.
3. Лохов А.Л. Функциональная верификация СБИС. Электроника: Наука, Технология, Бизнес. 2004. № 1.
4. Лохов А.Л. Современный уровень функциональной верификации СБИС. Труды конференции «Проблемы разработки перспективных микроэлектронных систем – 2005 (МЭС-2005)».
5. Ping Yeung. Four Pillars of Assertion-Based Verification. Euro DesignCon 2004.
6. Assertion-Based Verification V2.3 User Guides, 0-In Design Automation, 2004.
7. Dale M. The Value of Hardware Emulation. Mentor Graphics White Paper. 2003.
8. Burgess I. Gate-Level Functional Verification is Imperative and Equivalence Checking Provides the Solution. Mentor Graphics White Paper. 2004.
9. Rami Abola et al. BlueTooth Transceiver Design with VHDL-AMS. Mentor Graphics Deep Submicron Technical Publication. 2003. ©

Оптоэлектронные компоненты Sharp

SHARP



Категории изделий

- Оптроны
- Твердотельные реле
- Открытые оптические датчики
- Датчики расстояния
- Излучатели и фотоприёмники ИК-диапазона
- Светодиоды видимого диапазона
- Фотодиоды и фототранзисторы
- Лазерные излучатели
- Трансиверы для ВОЛС

Области применения

- Бытовая электроника
- Вычислительная и телекоммуникационная техника
- Автомобильная электроника
- Промышленная автоматика

ШИРОКИЙ СПЕКТР ИЗДЕЛИЙ, БЕЗУПРЕЧНОЕ КАЧЕСТВО ИСПОЛНЕНИЯ!

Узнайте подробности в компании ПРОСОФТ

Телефон: (095) 234-0636 • Web: www.prochip.ru