

Эффективное использование пакетов языка VHDL при проектировании цифровых систем

Николай Авдеев, Петр Бибило (г. Минск, Белоруссия)

В статье рассматриваются стандартные пакеты языка VHDL, использование которых сокращает время разработки проектов и повышает эффективность синтеза и моделирования цифровых систем.

Язык VHDL* получил широкое распространение в качестве языка исходного описания проектов цифровой аппаратуры, реализуемой на СБИС различных типов. Это могут быть как ПЛИС (программируемые логические интегральные схемы), так и заказные схемы. По алгоритмическим VHDL-описаниям автоматически строятся логические схемы, если они написаны на специальном подмножестве языка, называемом синтезируемым подмножеством. Полученные логические схемы также представляются на VHDL и моделируются с целью определения временных задержек, так как задержки сигналов при синтезе не учитываются.

После того как проектировщик освоил основные возможности языка VHDL, он может использовать уже имеющиеся, отлаженные VHDL-модели. Это могут быть описания библиотек логических элементов и подсхем, отдельных блоков и устройств, микропроцессоров и т.д. Для обозначения готовых к употреблению VHDL-моделей появился термин «IP-блок» (IP – Intellectual Property, ин-

теллектуальная собственность) [1]. Однако обойтись только готовыми блоками практически невозможно, и приходится разрабатывать собственные модели. Здесь и возникают проблемы применения стандартных типов данных и математических функций, их согласования и т.д. При необходимости разработки собственных проектов цифровых систем проектировщикам следует изучить и применять в своей работе стандартные пакеты VHDL.

Пакеты языка VHDL (VHDL-пакеты) содержат описания наиболее часто используемых деклараций типов и подтипов структур данных, а также декларации и тексты функций и процедур. Это могут быть функции преобразования типов, часто используемые математические функции и т.д. Изучение пакетов и имеющихся в них средств позволяет повысить эффективность проектирования в части согласования разделов проектов, моделирования исходных алгоритмических описаний, синтеза логических схем по алгоритмическим описаниям и моделирования синтезированных логических схем.

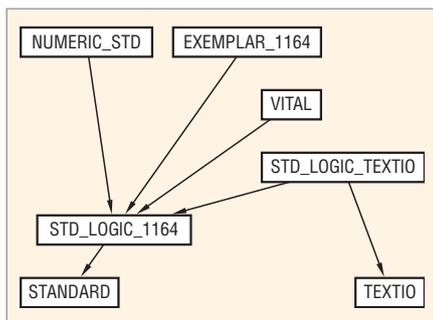
Рассмотрим основные пакеты языка VHDL, их назначение, возможности и ограничения. Для дальнейшего понимания материала желательно, чтобы читатель был знаком с основными элементами языка VHDL. Русскоязычная интернет-страница VHDL [2] содержит информационные и учебные материалы, примеры программ, а также список литературы. Рассматриваемые ниже

VHDL-пакеты (см. рисунок) опираются на стандартный пакет *STANDARD*, который является базовым в языке VHDL. Ссылка на данный пакет осуществляется по умолчанию в любой системе моделирования и синтеза.

На первом этапе проектирования (моделирование исходных VHDL-описаний цифровой системы) обычно требуются пакеты *STD_LOGIC_1164*, *NUMERIC_STD*, *TEXTIO* и *STD_LOGIC_TEXTIO*.

На втором этапе проектирования (синтез схемы) исходное алгоритмическое VHDL-описание передается в систему синтеза (синтезатор). Если синтезируется ПЛИС, то проектировщик не заботится о библиотеке синтеза, так как она уже встроена в синтезатор, например, XST WebPack ISE фирмы Xilinx. Если же требуется собственная библиотека, то может быть использован синтезатор LeonardoSpectrum (фирма Mentor Graphics), который строит схему в базе логических элементов, входящих в библиотеку синтеза, и оценивает её быстродействие. Заметим, что этот синтезатор позволяет сохранять результат синтеза в различных форматах: VHDL и SDF (Standard Delay Format). В формате VHDL сохраняется структурное описание логической схемы, т.е. описание элементов схемы и связей между ними. В формате SDF для каждого элемента схемы указываются рассчитанные синтезатором значения задержек.

Управление синтезом в LeonardoSpectrum осуществляется различными способами. Если заранее определены приёмы синтеза, то некоторые команды управления синтезом могут быть помещены непосредственно в тексте VHDL-кода. В этом случае необходимо обращение к пакету *EXEMPLAR_1164*, который поставляется в составе LeonardoSpectrum. Од-



Пакеты VHDL

*Very high speed integrated circuits Hardware Description Language – язык описания аппаратуры высокоскоростных интегральных схем.

нако следует помнить, что аналогичных целей управления синтезом можно добиться с помощью команд – скриптов, оформляя их в текстовые файлы, которые хранятся отдельно от VHDL-моделей; это предпочтительнее, чем внесение изменений в уже промоделированный VHDL-код.

Третий этап проектирования (моделирование логических схем) может проводиться с различной степенью детализации. Обычно применяются три вида моделирования: моделирование с нулевыми и ненулевыми задержками элементов, а также с использованием средств пакетов библиотеки VITAL. Моделирование с нулевыми задержками логических элементов позволяет проверить выполненный синтез с точки зрения правильности реализации функций, но задержка схемы в этом случае не может быть определена. Моделирование с ненулевыми задержками элементов позволяет грубо оценить задержку схемы. Моделирование с использованием VITAL-пакетов позволяет передать информацию о задержках элементов схемы, рассчитанной программой синтеза по фор-

мальным моделям определения задержек логических цепей. На этапе моделирования логических схем, так же как и для моделирования исходных описаний, требуются пакеты *STD_LOGIC_1164*, *NUMERIC_STD*, *TEXTIO* и *STD_LOGIC_TEXTIO*. Рассмотрим их более подробно.

Пакет *STD_LOGIC_1164* применяется наиболее широко. На него опираются другие важные пакеты (рисунок) из различных библиотек. Он содержит девятизначный логический тип *std_logic* ('U','X','0','1','Z','W','L','H','-'), предназначенный для моделирования логических схем. Имеющиеся в пакете средства освобождают проектировщика от написания разрешающих функций, что обязательно требуется в VHDL, когда сигналы назначаются из различных источников. Такие ситуации возможны не только при описании монтажной логики соединений в логических схемах, но и в алгоритмических описаниях, например, при моделировании шин. Использование пакета целесообразно и с целью тестирования: представление исходных

спецификаций в терминах стандартных типов *std_logic*, *std_logic_vector* позволяет использовать при тестировании логических схем те же тестирующие программы и тестовые наборы, что и для исходных описаний. Если же исходные алгоритмические описания содержат другие типы данных (например, типы *integer*, *bit*, *bit_vector* и др.), то после выполнения синтеза возникает проблема написания тестирующих программ для логических схем, так как синтезаторы заменяют все типы в исходных описаниях на типы *std_logic*, *std_logic_vector* в описаниях получаемых логических схем. Функции пакета *STD_LOGIC_1164* можно разбить на три подмножества: функции изменения типа; функции нахождения переднего и заднего фронта сигнала; функция *is_X* проверки значений.

Пакет *NUMERIC_STD* предназначен для согласования типов данных *std_logic_vector* и *integer* (целочисленный). Проблема согласования может возникнуть по нескольким причинам. Например, если одна часть проекта является алгоритми-

Всероссийский конгресс ПРОМЫШЛЕННАЯ ПОЛИТИКА РОССИЙСКОЙ ФЕДЕРАЦИИ



ВСЕРОССИЙСКАЯ (ФЕДЕРАЛЬНАЯ) ПРОМЫШЛЕННАЯ ЯРМАРКА

Москва
Всероссийский
выставочный центр
23-26 октября

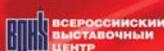
2007

СПЕЦИАЛИЗИРОВАННАЯ ВЫСТАВКА

ИНТЕРТЕХСАЛОН

- Автоматизация и информационные технологии.
- Роботы и интеллектуальные системы.
- Аэрокосмические технологии.

Дирекция:



Тел.: (495) 937-4081
e-mail: avt@miif.ru, its@miif.ru
www.miif.ru

Под патронатом:

Правительства Российской Федерации.

Организаторы:

Министерство промышленности и энергетики Российской Федерации;
Министерство экономического развития и торговли Российской Федерации;
Министерство регионального развития Российской Федерации.

При профессиональной поддержке:

Министерства образования и науки Российской Федерации;
Комитета Государственной Думы РФ по промышленности, строительству и наукоемким технологиям;
Федерального агентства по промышленности;
Федерального космического агентства (Роскосмос);
Федерального агентства по науке и инновациям;
Российской и Международной инженерных академии;
Правительства Москвы и Московской области.

ческой моделью и использует целочисленные типы, а другая – структурной моделью и использует типы *std_logic_vector*. Другой причиной является согласование тестирующих программ (после синтеза все типы данных заменяются типами *std_logic*, *std_logic_vector*). Эффективное использование средств пакета позволяет разработчику оперировать с типом *std_logic_vector* как с логическим вектором, так и с числом. Это может быть весьма удобным, особенно при работе с «длинными» логическими векторами. Например, можно синтезировать сумматоры, складывающие более чем 32-разрядные числа. Заметим, что схемная реализация сложения операндов типа *integer* позволяет реализовать лишь 32-разрядный сумматор. На практике, например, при реализации алгоритмов шифрования требуются арифметические устройства, например, умножители, оперирующие с большим числом двоичных разрядов.

В пакете *NUMERIC_STD* определены два новых числовых типа данных (*unsigned*, *signed*) и различные арифметические функции, которые поддерживаются системами синтеза. Типы *unsigned* и *signed* в пакете *NUMERIC_STD* определяются одинаково:

```
type UNSIGNED is array (NATURAL
range <>) of STD_LOGIC;
type SIGNED is array (NATURAL
range <>) of STD_LOGIC;
```

однако интерпретации векторов различны. Тип *unsigned* представляет собой числа без знака в векторном двоичном (булевом) представлении, а тип *signed* – знаковые числа (числа со знаком). Для векторов *signed* старший (левый) бит определяет знак числа. Отрицательные числа представляются в дополнительном коде. Например, двоичный вектор «1001» типа *signed* представляет число –7, а вектор «1000» типа *unsigned* понимается как 8, вектор «1000» типа *signed* понимается как –8. Базовым типом для *unsigned* и *signed* является перечислимый тип *std_logic*, описанный в пакете *STD_LOGIC_1164*.

Пакет *EXEMPLAR_1164* используется для эффективного управления процессом синтеза. Управление

осуществляется дополнительными средствами – атрибутами (конструкциями языка VHDL), которые вызывают соответствующие команды синтезатора. В пакете *EXEMPLAR_1164* имеются определения (декларации) типов и атрибутов, а также декларации и тексты функций и процедур. Типы являются перечислимыми и предназначены для соответствующих атрибутов. Функции пакета *EXEMPLAR_1164* предназначены для преобразования типов. Они также реализуют VHDL-операции сдвига и циклического сдвига, а также арифметические операции над типом *std_logic_vector*. В этой части, функции данного пакета дублируют соответствующие функции пакета *NUMERIC_STD*. В качестве процедур пакета *EXEMPLAR_1164* оформлены функциональные описания триггеров различного вида. Если при синтезе логических схем соответствующая библиотека синтеза не содержит триггеров, то синтезатор LeonardoSpectrum использует соответствующий триггер из пакета *EXEMPLAR_1164* в виде процедуры.

Использование средств пакета *EXEMPLAR_1164* позволяет управлять процессом синтеза и получать экономичные реализации VHDL-проектов, удовлетворяющие дополнительным требованиям. Особенно важны для синтеза способы кодирования перечислимых данных, управление задержками схем, формирование синхросигналов и удовлетворение требований по нагрузочной способности элементов.

Пакеты библиотеки VITAL позволяют использовать при моделировании схем значения задержек элементов логических схем. Под пакетами VITAL (VHDL Initiative Towards Application-Specific Integrated Circuits Libraries) понимаются два VHDL-пакета: *VITAL_PRIMITIVES* и *VITAL_TIMING*, находящиеся в библиотеке IEEE системы моделирования ModelSim.

Пакеты VITAL позволяют при моделировании синтезированной схемы использовать файл с описанием задержек элементов схемы в формате SDF (SDF-файл). Для моделирования синтезированной схемы, представленной структурным VHDL-описанием (*netlist*), требуется ещё и SDF-файл с задержками. Зна-

чения задержек элементов схемы могут определяться в программах синтеза (LeonardoSpectrum, Synopsys и др.). Таким образом, VITAL-пакеты дают возможность моделирования в ModelSim синтезированной схемы с задержками, рассчитанными программой синтеза; задержки передаются посредством SDF-файла. В пакетах *VITAL_PRIMITIVES* и *VITAL_TIMING* описаны различные функции, необходимые для передачи значений задержек из SDF-файла в VHDL-модели элементов через настраиваемые параметры *GENERIC*.

Пакеты *TEXTIO* (Textual Input and Output), *STD_LOGIC_TEXTIO* предназначены для работы с текстовыми файлами. Они содержат процедуры чтения и записи символов и строк символов в файл. Данные пакеты наиболее часто используются при тестировании, когда векторы тестирующих наборов и векторы ожидаемых реакций представляются строками (записями) текстовых файлов, а также для моделирования схем памяти.

Пакет текстового ввода/вывода *TEXTIO* включает в себя объявления типов и подпрограмм, которые поддерживают чтение из текстового файла и запись в текстовый файл. Пакет *STD_LOGIC_TEXTIO* служит тем же целям для типов, декларированных в пакете *STD_LOGIC_1164*. Считываемые и записываемые текстовые файлы являются ASCII-файлами. Пакеты *TEXTIO*, *STD_LOGIC_TEXTIO* воспринимают текстовый файл как набор строк, разделённых символом «возврат каретки» CR. Операции чтения и записи файлов не поддерживаются при синтезе, они могут использоваться только при моделировании.

Подробную информацию о пакетах языка VHDL и примеры их эффективного использования в практике проектирования цифровых систем можно найти в книге [3].

ЛИТЕРАТУРА

1. Немудров В., Мартин Г. Системы-на-кристалле. Проектирование и развитие. Техносфера, 2004.
2. www.bsuir.unibel.by/vhdl.
3. Библио П.Н., Авдеев Н.А. VHDL. Эффективное использование при проектировании цифровых систем. СОЛОН-Пресс, 2006.



Новости мира News of the World Новости мира

Нуніх вступает в клуб «32-нм и менее»

Известный южнокорейский производитель полупроводниковых продуктов Hynix Semiconductor объявил о заключении стратегического партнёрского соглашения с бельгийским независимым исследовательским центром IMEC в рамках программы по разработке новых методов производства микросхем памяти согласно нормам 32-нм технологического процесса и менее. Основными сферами взаимодействия станут программа по развитию литографической техники, как иммерсионной, так и вакуумной, и программа по разработке энергонезависимой памяти. Специалисты Hynix присоединятся к своим коллегам из IMEC в июне 2007 г.

На данный момент все пять ведущих производителей памяти: Hynix, Elpida, Micron, Qimonda и Samsung объединили свои усилия в развитии будущих технологий производства КМОП-микросхем с использованием сверхмалых элементов.

reed-electronics.com

AUO планирует увеличить выпуск ЖК-панелей шестого поколения

Согласно данным, полученным от тайваньских производителей, компания AU Optronics (AUO) рассматривает возможность увеличения объёма производимых TFT-панелей шестого поколения (6G) на одной из двух фабрик с 90 тыс. подложек в месяц до 120 тыс., — сообщает китайское издание Economic Daily News (EDN).

С учетом 120 тыс. подложек в месяц от второй фабрики компания сможет подняться на первое место в рейтинге производителей панелей шестого поколения, оставаясь при этом конкурентоспособной в производстве ЖК-панелей размером 32 и 37 дюймов. Компания уже обратилась к производителям оборудования с целью «небольшого» увеличения мощности фабрики на 10 – 20 тыс. подложек в месяц.

Официальный представитель компании не подтвердил и не опроверг указанное сообщение, заявив, что совет директоров «тщательно обдумывает подобную возможность» и если решение будет принято, то компания представит все детали на ближайшем собрании инвесторов.

digitimes.com

Полупроводники: снижение прибыльности

Данные исследования рынка, опубликованные Ассоциацией производителей полу-

проводников (Semiconductor Industry Association, SIA), говорят о том, что в апреле объём продаж по отрасли снизился на 2,1% по сравнению с тем же периодом прошлого года и составил 19,9 млрд. долл. При этом уровень средних цен (average selling prices, ASP) снизился в большей части рыночных сегментов, включая процессоры, динамическую и NAND флэш-память.

Аналитики указывают, что снижение уровня ASP на микропроцессоры в течение последнего года превосходит исторические тенденции. В абсолютном исчислении количество единиц продукции, проданной с января по апрель, возросло по сравнению с тем же периодом 2006 г. почти на 10%, в то время как прибыль от продаж, напротив, снизилась примерно на 2%. Сравнение показателей продаж за апрель 2007 и 2006 гг. для рынка DRAM- и NAND-памяти демонстрирует подобную картину: рост прибыли, равный 27%, при увеличении количества проданных единиц продукции на 50% для DRAM и снижение прибыли на 1% для NAND флэш-памяти при росте количества проданных чипов на 54%.

theinquirer.net

Аналитики пророчат рост рынка электронных книг и газет

По словам эксперта аналитической организации Techno Systems Research, Иппея Хошино (Ipppei Hoshino), который недавно выступил на семинаре в рамках FPD International 2007, начиная с 2007 г., рынок электронной бумаги (e-paper) начнёт быстро и уверенно расти, стимулируя показатели качества этой продукции, объёмы поставок от различных изготовителей.

Специалист обратил внимание на ожидаемое развитие рынка электронных книг и газет, что может быть непосредственно связано с внедрением и ростом популярности сетей нового поколения 3G. Сегодня в мире существуют уже 15 – 16 фирм, занимающихся созданием и разработкой электронных книг, которые в скором времени развернут кампании по продвижению своих продуктов на рынок, что предположительно произойдёт в начале 2008 г.

Сегодня наблюдается рост популярности электронных газет, в основном в Европе. Примером тому могут послужить планы французского экономического издания Les Echos, которое запустит соответствующий сервис ближе к концу 2008 г. Подобные услуги сейчас также внедряются в Северной Америке, Азии.

techon.nikkeibp.co.jp

Intel запускает проектный центр в Форт Коллинсе

Этот год можно по праву назвать годом расширения сферы влияния и реорганизации мощностей компании Intel. Один из лидеров мирового ИТ-рынка на днях заявил об открытии новых производственных единиц в Форт Коллинсе (Fort Collins), Колорадо. Представители компании отметили, что новое подразделение будет исполнять обязанности проектного центра по разработке линейки процессоров Itanium. Нужно сказать, что Intel уже работала в Форт Коллинсе. Несколько лет назад Intel в сотрудничестве с HP обслуживала здесь подобный недавно построенному проектный центр, пока в 2005 г. корпорация не приватизировала процессорные мощности HP в этом регионе.

Согласно данным официальных источников, подразделение будет располагаться рядом с проектным центром главного конкурента Intel, компании AMD. По словам представителей Intel, новое предприятие станет как бы продолжением программы компании по переходу на новый уровень производства процессоров – разработки чипов по 45-нм техпроцессу.

dailytech.com

Kodak выпустит 5-мп КМОП-сенсор до конца 2007 г.

Согласно заявлению, сделанному президентом компании Eastman Kodak Антонио Пересом (Antonio Perez) на конференции JPMorgan Technology, проходящей в г. Бостон (США), компания уже до конца текущего года намерена наладить выпуск новых сенсоров изображения, которые появятся в фотокамерах Kodak и некоторых моделях мобильных телефонов Motorola.

Из технических подробностей известно, что сенсор будет произведён по технологии КМОП и получит разрешение в 5 млн. пикселей. Можно предположить, что речь идёт о модели сенсора, разрабатываемого компанией в тесном сотрудничестве с IBM, начавшемся ещё в 2005 г.

Кроме того, Перес сообщил о намерении компании постепенно свернуть производство младших линеек цифровых компактных фотокамер в связи с наметившимся в последнее время процессом «взросления» потребителя и серьёзным снижением спроса на дешёвые «мыльницы».

news.com.com