

Цифровая обработка сигнала с помощью процессора NM6403

Алексей Гребенников (г. Актау, Казахстан)

В статье приведён обзор платы цифровой обработки сигнала на базе высокопроизводительного процессора NM6403 и рассмотрен пример кодирования и декодирования сигнала в Манчестерском коде.

Процессор NM6403 (L1879BM1), выпускаемый НТЦ «Модуль», представляет собой высокопроизводительный специализированный микропроцессор, сочетающий черты двух современных архитектур: VLIW (Very Long Instruction Word) и SIMD (Single Instruction Multiple Data).

Процессор NM6403 выполняет все функции цифровой обработки сигналов. К его локальной шине подключается высокоскоростная статическая память, в которую загружается исполняемый код процессора после системного сброса через коммуникационный порт 1 при помощи ЭВМ. На рисунке 1 приведена блок-схема платы. Принципиальная электрическая схема приведена на сайте журнала в дополнительных материалах к статье.

Все периферийные устройства подключены к глобальной шине через ПЛИС Altera EPM7512AETC144. Эта микросхема выполняет следующие функции:

- чтение данных с АЦП типа AD9240;
- запись данных для ЦАП типа AD9754;
- деление системной частоты 40 МГц для ИС АЦП и ЦАП;
- управление мультиплексором;
- управление светодиодом.

Программирование ПЛИС осуществляется через интерфейс JTAG.

ИНТЕРФЕЙС NM6403 – ЭВМ

Взаимодействие процессора NM6403 с ЭВМ осуществляется при помощи коммуникационного порта 1 и параллельного порта ЭВМ. Эта схема позволяет ЭВМ напрямую контролировать работу процессора NM6403 и избегать возможных конфликтов по линиям управления и данных порта 1 (см. дополнительные материалы на сайте журнала).

Интерфейс выполнен на двух микросхемах 74HC08 (U9, U10) и одной микросхеме 74HC32 (U11); U9 формирует управляющие линии (drive), подключенные к двунаправленным контрольным линиям параллельного порта; U10 формирует контрольные линии (sense), подключенные к входным линиям порта. Ограничительные резисторы предохраняют порты ЭВМ и NM6403 от повреждений.

Чтение и запись определённых линий LPT-порта позволяет определить, находятся ли управляющие линии коммуникационного порта NM6403 в режиме приёма или передачи. Например, если при подаче высокого, а затем низкого уровня напряжения на линию P4.17 напряжение на линии P4.11 по-

вторяет эти значения, значит, линия CREQ1 процессора NM6403 находится в режиме приёма. Если же напряжение на выводе P4.11 остаётся постоянным независимо от вывода P4.17, тогда CREQ1 процессора NM6403 находится в режиме передачи. То же самое применимо ко всем остальным управляющим линиям коммуникационного порта.

Простые функции, реализованные на языке Си, позволяют регулировать направление передачи данных без повреждения линий порта, несмотря на то что LPT-порт гораздо медленнее последовательного порта процессора NM6403.

ИНТЕРФЕЙС К ПЕРИФЕРИЙНЫМ УСТРОЙСТВАМ

ПЛИС Altera выполняет декодирование всех периферийных устройств на глобальной шине, а также ряд вспомогательных функций. Эта микросхема также позволяет выполнять запись и чтение процессором NM6403 без циклов ожидания.

Системная частота 40 МГц делится до необходимой для работы АЦП и ЦАП, 1,25 МГц в данном случае. Регистры ЦАП и АЦП расположены по адресу 80000004h. Запись по этому адресу обновляет регистр ЦАП, чтение – загружает данные с АЦП. Контрольный регистр для мультиплексора и светодиода расположен по адресу 80000002h. Светодиод отображает состояние прибора. Мультиплексор подключает один из двух аналоговых входов к АЦП. Программирование ПЛИС осуществляется через интерфейс JTAG (разъём P1).

АЦП и ЦАП

Цифроаналоговый 14-разрядный преобразователь AD9754AR U18 (квадрат схемы D4, см. сайт журнала) служит для формирования выходного сигнала. Диапазон напряжения на выходе конвертера составляет ± 1 В. Усилитель AD9631AR (U20) имеет коэффициент передачи, равный единице, и служит буфером. Следующий каскад (U13) – это усилитель с регулируемым коэффициентом усиления/ослабления в пределах ± 40 дБ. В данной версии платы регулирование осуществляется переменным

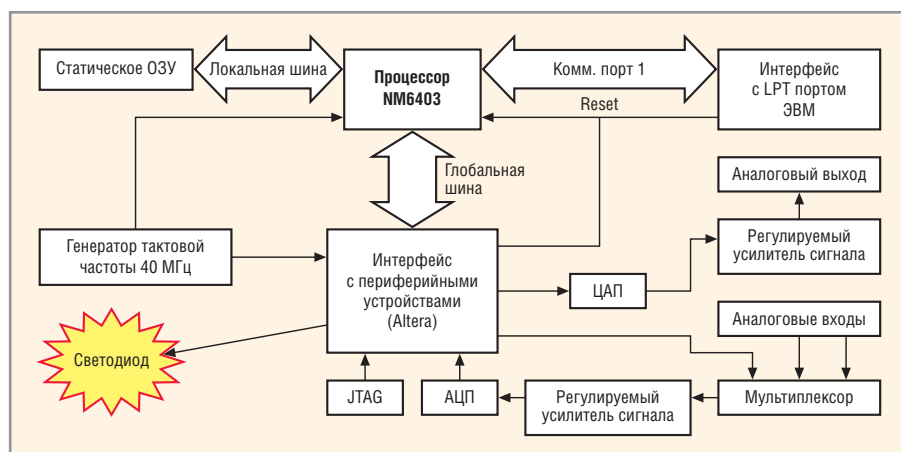


Рис. 1. Блок-схема платы

резистором R57, однако при небольшой доработке возможна программная регулировка с использованием дополнительного ЦАП, управляемого ПЛИС Altera. Микросхемы U25 и U26 дополнительно усиливают сигнал. Таким образом, на выводах Tx+ и Tx- может быть сформировано напряжение в диапазоне ± 12 В. Следует отметить, что существует два способа регулирования выходного напряжения: путём регулировки коэффициента усиления U13 и при помощи управления ЦАП U18.

Аналого-цифровой 14-разрядный преобразователь AD9240AS U17 (квадрат D3) служит для оцифровки входного сигнала. Мультиплексор U12 выбирает один из двух возможных входных каналов. Далее следует усилитель с регулируемым коэффициентом усиления/ослабления U24, аналогичный каналу ЦАП. Каскад на усилителе U19 является буфером, конденсаторы C33, C34 отфильтровывают постоянную составляющую сигнала.

ИНИЦИАЛИЗАЦИЯ И РАБОТА ПРОЦЕССОРА

После системного сброса процессор NM6403 инициализируется через коммуникационный порт 1. Системный сброс осуществляется нажатием кнопки S1 (квадрант A3) или с управляющей ЭВМ. Исходный код исполняемой программы написан на языке ассемблера NM6403. После загрузки файла в статическую память управление передаётся процессору NM6403. Процессор инициализирует систему и переходит в режим ожидания команд от ЭВМ. Получение команды фиксируется по прерыванию от события завершения ввода канала ICH1. Затем команда выполняется, и процессор снова переходит в режим ожидания, до получения следующей команды от ЭВМ.

АЛГОРИТМЫ ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛОВ

Манчестерским является код, в котором информация о лог. 1 или лог. 0 передаётся не абсолютным значением напряжения, а его перепадом в середине периода бита. Перепад с высокого уровня на низкий представляет лог. 1, с низкого на высокий – лог. 0. Каждое слово или блок слов также содержат синхросигнал. Синхросигналы бывают двух типов: перепад напряжения с высокого уровня на низкий – синхросигнал команды, с низкого на высокий – синхросигнал данных.

Разработанный алгоритм цифровой обработки работает с Манчестерским кодом трёх типов:

- с частотой 20,83 кГц, где каждое слово состоит из 20 бит, из которых первые 3 бита формируют синхросигнал, затем следуют 16 бит данных, и замыкает пакет один бит чётности. Сумма всех 16 битов плюс бит чётности должна быть нечётным числом (odd parity). Каждое последующее слово имеет свой собственный синхросигнал. Проверка каждого полученного слова осуществляется по двум параметрам – биту чётности и перепаду напряжения в середине периода бита;
- аналогичный описанному выше, но с частотой 41,66 кГц;
- с частотой 93,75 кГц. В данном случае в начале пакета данных передаётся синхросигнал, состоящий из восьми лог. 1, затем 3-битный синхросигнал (как в коде предыдущего типа). После этого данные передаются сплошным потоком словами по 16 бит без бита чётности и синхросигнала для каждого отдельного слова. В данном случае каждое слово проверяется только по одному параметру – перепаду напряжения в середине периода бита.

Назовём вышеприведённые типы кодов M1, M2 и M5 соответственно. Описываемая плата обработки сигнала кодирует сигнал M1 и декодирует сигналы M2 и M5.

АЛГОРИТМ КОДИРОВАНИЯ

Алгоритм кодирования достаточно прост: ЭВМ посылает команду процессору NM6403 с указанием, сколько 16-битных слов необходимо передать, какой тип синхросигнала использовать для каждого слова и собственно данные. Для формирования слова используется функция <word_tx> (см. файл nm_krn1.asm, выложенный на интернет-странице журнала СЭ). Динамический диапазон ЦАП составляет от -1 В (000h) до +1 В (3FFFh). При формировании слова используются средние значения диапазона – отрицательное напряжение представлено уровнем -0,5 В (1000h), а положительное – уровнем +0,5 В (3000h). В начале цикла включается таймер T1. Затем через определённые промежутки времени, когда появляется прерывание от таймера, значения входного регистра ЦАП обновляются, формируя тем самым необходимые перепады.

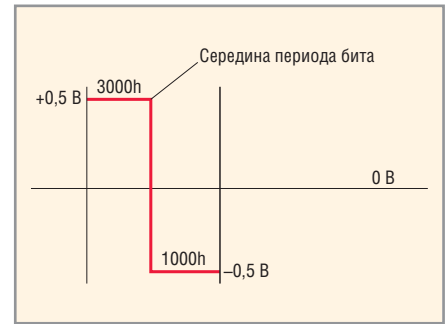


Рис. 2. Формирование единицы

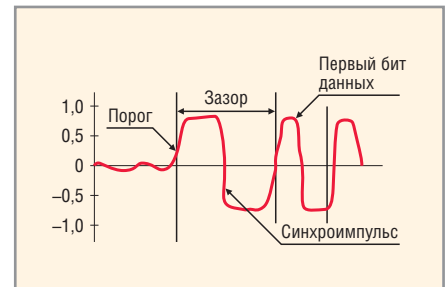


Рис. 3. Основные параметры Манчестерского кода

Например, необходимо сформировать единицу в Манчестерском коде M1. Этот процесс будет состоять из нескольких шагов:

- записи значения 3000h в регистр ЦАП (+0,5 В);
- включения таймера на время, равное половине периода бита;
- когда возникает прерывание от таймера, значение 1000h записывается в регистр ЦАП (-0,5 В). Таким образом, формируется перепад напряжения с высокого уровня на низкий в середине периода бита;
- включения таймера на время, равное половине периода бита;
- когда возникает прерывание от таймера, передача бита завершена, и возможно повторить цикл для следующего бита.

Результат данной операции показан на рисунке 2.

АЛГОРИТМ ДЕКОДИРОВАНИЯ

Алгоритмы декодирования для кодов M2 и M5 схожи, поэтому рассмотрим алгоритм для кода M5 (93,75 кГц). Вначале определим несколько терминов, исходя из рисунка 3. Важнейшими из них являются порог и зазор. Порог – это уровень напряжения, при превышении которого начинается декодирование сигнала. Зазор – это время, прошедшее с момента определения порога до начала декодирования первого бита данных. В общем случае порог и зазор являются переменными величинами, зависящими от множества

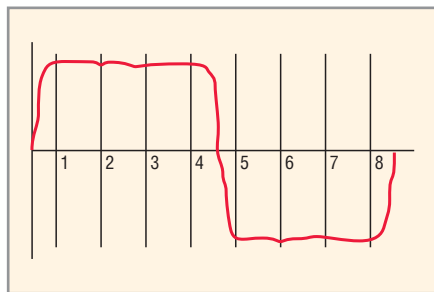


Рис. 4. Разбиение бита

параметров. Поэтому необходим алгоритм, определяющий эти параметры для конкретного случая. Такой алгоритм называется *тренировкой*.

Поскольку практическим приложением описываемой платы является обработка данных и контроль скважинных геофизических приборов, следующие примеры будут ссылаться на работу с этими приборами. Суть тренировки заключается в том, что процессор NM6403 посылает специальную команду геофизическому прибору, а ответ на эту команду заранее известен.

Сначала определяется порог. Рассматриваемый алгоритм несколько упрощён: порог был сделан постоянным – 242 мВ. Поэтому в алгоритме тренировки необходимо определить только зазор. Делается это следующим образом. Декодируются данные, полученные от геофизического прибора (заранее известно, что должно быть декодировано) с каким-то начальным значением зазора. Если данные соответствуют ожидаемому, значение зазора запоминается как пригодное. Затем зазор увеличивается, и сигнал декодируется с новым зазором. После определённого числа шагов декодирования, например 30, должен образоваться непрерывный ряд значений зазора, при которых данные декодируются правильно. Выбирается среднее значение из этого ряда, которое фиксируется в качестве наиболее подходящего зазора. В рассматриваемом алгоритме зазор определяется функциями <parse_10> – для кода M2 и <parse_14> – для кода M5.

ДЕКОДИРОВАНИЕ ДАННЫХ

Алгоритм декодирования данных состоит из нескольких частей. Первая часть определяет импульс синхронизации, означающий начало слова. Эта задача выполняется функцией <sync_detect>, которая работает следующим образом. Перед вызовом <sync_detect> включается таймер t1, определяющий максимальное время ожидания: функция <sync_detect> за-

вершает свою работу либо после детектирования синхроимпульса, либо по прерыванию от таймера. Для поиска синхроимпульса используется функция арифметической активации векторного узла процессора, при этом регистр f1cr разбивает вход X следующим образом:

```
f1cr = 0e0h; // нас интересует
        только младший байт
...
rep 1 data = [ar0] with activate
data + 0;
```

Затем биты полученного результата инвертируются и сравниваются с шаблоном, используемым для активации.

gr0 = gr1 xor gr2; // gr1 содержит шаблон для активации (содержимое регистра f1cr), gr2 – инвертированный результат активации, причём 24 старших бита обнулены.

Если полученный результат равен нулю, синхроимпульс был обнаружен. Если нет – цикл поиска повторяется до тех пор, пока импульс не будет обнаружен или же не возникнет прерывание от таймера t1.

После того как синхроимпульс был найден, включается таймер t1 на время зазора, которое предварительно определено алгоритмом тренировки. После прерывания от таймера, т.е. по истечении времени зазора, процессор начинает через равные промежутки времени записывать в память выборки оцифрованного сигнала. Эта задача выполняется функцией <m5_acquire> для кода M5 и функцией <m2_acquire> для кода M2. За время периода одного бита записывается восемь выборок, как показано на рисунке 4.

Для кода M5 в память записывается весь пакет данных, прежде чем начнётся декодирование. Данные от ЦАП упаковываются в 64-битные слова, причём используются только 8 старших битов. Таким образом, после записи всех оцифрованных данных в память образуется массив 64-битных слов, где каждое слово представляет один бит данных Манчестерского кода – 8 бит × 8 выборок. Далее необходимо определить значение бита – ноль или единица, а также проверить правильность Манчестерского кода, т.е. был ли перепад напряжения посередине периода бита. Эти задачи выполняются функциями <m5_decode> и <m2_decode> для кодов M5 и M2 соответственно. Рассмотрим более подробно функцию <m5_decode>.

Для определения значения бита выполняется операция взвешенного суммирования по формуле:

$$V = (-1)*b1 + (-1)*b2 + (-1)*b3 + (-1)*b4 + (1)*b5 + (1)*b6 + (1)*b7 + (1)*b8, \quad (1)$$

где числа в скобках представляют собой весовые коэффициенты, а b1 – b8 – значения соответствующих выборок бита.

Если результат взвешенного суммирования отрицательный, тогда бит равен единице. Если результат положительный или равен нулю – бит равен нулю.

Матрица весовых коэффициентов задаётся следующим образом:

```
decode_matrix: long[8] =
(0fffffffh1,
0fffffffh1,
01fffffffh1,
0fffffffh1,
01h1,
010000001h1,
01h1,
01h1);
```

Особенностью этой матрицы является то, что она содержит весовые коэффициенты сразу для двух операций взвешенного суммирования. Младшая часть длинных слов используется в формуле 1, а старшая – в формуле 2 (далее по тексту). Это возможно потому, что при вычислении значения бита интерес представляет только младшее 32-битное слово результата, а при проверке перепада напряжения – только старшее 32-битное слово. Таким образом, матрица весовых коэффициентов загружается только один раз:

```
rep 8 wfifo = [ar3++],ftw;
wtw;
регистр границы нейронов
разбивает вход Y на 2 части по 32 бита:
nb1 = 08000000h;
регистр границы синапсов
разбивает вход X на 8 частей по 8 бит:
sb = 0202020h;
за одну инструкцию вычисляются значения сразу 16 битов, т.е. одного слова Манчестерского кода:
rep 16 data = [ar0++] with vsum,
data, 0;
```

В полученном результате нас интересуют только младшие 32-битные слова.

После этого необходимо проверить, был ли перепад напряжения посередине периода бита. Для этого сравниваются знаки выборок 3 и 6. Если они противоположны – бит соответствует требованиям Манчестерского кода. Если знаки равны – произошло искажение при передаче и этот бит неправильный.

Проверка перепада напряжений выполняется в несколько этапов. Сначала логически активируются те же данные, что использовались в предыдущей инструкции для вычисления значения бита. При этом регистр `f1cr` задает разбиение следующим образом:

```
f1cr = 080808080h;
...
rep 16 data = [ar0++] with activate data or 0;
```

После логической активации положительные значения выборок бита будут представлены нулями, а отрицательные – минус единицами.

Сразу же после этого выполняется операция взвешенного суммирования по формуле:

$$S = (0)*a1 + (0)*a2 + (1)*a3 + (0)*a4 + (0)*a5 + (1)*a6 + (0)*a7 + (0)*a8, \quad (2)$$

где значения в скобках представляют собой весовые коэффициенты, $a1 - a8$ – значения соответствующих выборок бита после активации.

```
rep 16 with vsum, afifo, 0;
```

(Складываем выборки 3 и 6 и обнуляем все остальные.)

В данном случае нас интересуют только старшие 32-битные слова результата. Если выборки 3 и 6 имели противоположные знаки, результат взвешенного суммирования будет `0ffffffh`. В противном случае обе выборки были либо положительными, либо отрицательными. Таким образом, функция `<m5_decode>` выдаёт декодированные данные или сообщает об ошибке преобразования.

Функция `<m2_decode>` аналогична, за исключением того, что все преобразования проводятся для 17 битов, включая бит чётности:

```
rep 17 data = [ar0++] with vsum, data, 0;
```

Декодированное слово, помимо перепада напряжения в середине периода бита, также проверяется на нечётность.

ЗАКЛЮЧЕНИЕ

Описанная в статье плата разрабатывалась для управления геофизическими скважинными приборами и прошла ряд успешных испытаний. Сложные условия эксплуатации – высокий уровень промышленных помех, изменение свойств передающей среды (каротажного кабеля) – предъявляют повышенные требования к качеству декодирования сигнала. Сигнальные процессоры NM6403 хорошо зарекомендовали себя в этой области, поскольку справляются с данной задачей лучше специализированных микросхем.

Версия платы, рассмотренная в данной статье, является тестовой. При замене низкоскоростного LPT-интерфейса высокоскоростным интерфейсом Ethernet, USB или VME и наращивании числа процессоров возможно создание промышленного образца платы. ©