

Обзор технологий проектирования печатных плат Cadence Allegro PCB Designer

Анатолий Сергеев (Москва)

При создании печатных плат для современной аппаратуры инженерам необходимы соответствующие технологии проектирования, которые будут отвечать технологическим и методологическим требованиям. Статья рассказывает о некоторых важнейших функциях пакета программ Cadence Allegro PCB Designer, которые позволяют ускорить процесс проектирования и повысить качество готовых изделий.

ВВЕДЕНИЕ

Развитие электроники определяется ростом производительности и функциональности полупроводниковых технологий. Новые устройства становятся всё более сложными, и важными факторами их разработки являются конфигурации выводов компонентов, шаг между ними и плотность компоновки. Кроме того, новые устройства используют современные интерфейсы, в том числе DDR3, DDR4, PCI Express Gen3, USB 3.0 и другие, которые требуют новых типов внедрения в печатную плату.

Всё это обуславливает постоянно растущий спрос на новые методы корпусирования, увеличивающие плотность межсоединений на печатной плате. Сегодня для решения этих сложных задач инженерам необходимы современные технологии проектирования систем на уровне печатных плат, которые будут отвечать технологическим и методологическим требованиям.

ПЛАНИРОВАНИЕ СОЕДИНЕНИЙ И ТРАССИРОВКА

Сложные печатные платы с большим количеством электрических и технологических ограничений, высокой

плотностью монтажа компонентов и множеством высокоскоростных сигнальных шин данных требуют нового подхода к проектированию. Использование традиционных и устаревших САПР, таких как P-CAD, становится недопустимым, поскольку они не способны обеспечить готовность таких проектов в кратчайшие сроки. На первый план выходят системы, которые активно развиваются и отвечают современным реалиям электронной промышленности.

Пакет программ Cadence Allegro PCB Designer, оснащённый функцией *Interconnect Flow Planner*, позволяет создавать план соединений с последующим преобразованием в готовую трассировку. Данный механизм планирования и трассировки даёт возможность инженеру прокладывать большие массивы сигналов в виде специальных объектов – сигнальных жгутов, что позволяет значительно упростить проектирование и снизить время на разработку (см. рис. 1).

Инженер видит на экране не сотни и тысячи пересекающихся линий электрических связей, а план прокладки больших массивов этих связей. Такой подход в несколько раз повышает эффективность работы, по-

скольку существует возможность прокладывать сигнальные жгуты между слоями, планировать размещение переходных отверстий, избегать пересечения жгутов друг с другом, вести сигналы по кратчайшему пути и т.д. Для каждого жгута можно задать свой набор свойств, обеспечить его трассировку с оптимальными временными задержками передаваемых сигналов, копировать планы трассировки между разными проектами. Программа *Allegro PCB Editor* «подскажет» разработчику наилучшие пути прокладки жгутов, а затем с помощью уникальных алгоритмов преобразует получившийся план в готовую топологию.

УСКОРЕНИЕ ПРОЕКТИРОВАНИЯ ВРЕМЯЗАВИСИМЫХ ЦЕПЕЙ

Всё более широкое применение высокоскоростных цифровых интерфейсов, таких как DDR3, DDR4, PCI Express и USB 3.0, накладывает целый ряд ограничений, которые должны быть учтены при проектировании печатной платы.

Пакет Allegro PCB Designer с опцией *High-Speed* помогает быстро и эффективно достичь соответствия требованиям современных интерфейсов. Данная функция расширяет набор контролируемых электрических ограничений, с помощью которых инженер может в кратчайшие сроки добиться наилучшей целостности сигналов и обеспечить их точные временные характеристики. Также вместе с функцией *High-Speed* в пакете Allegro PCB Designer становятся доступ-

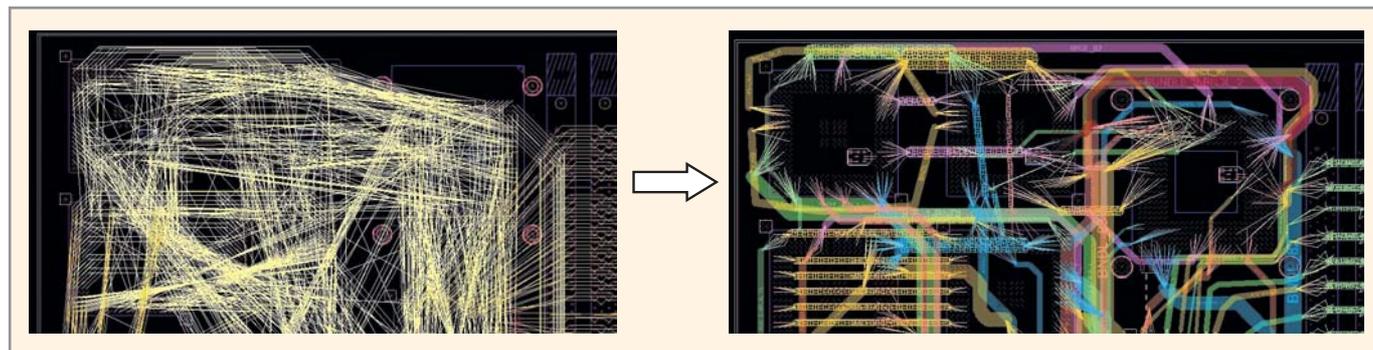


Рис. 1. Технология планирования соединений на плате *Allegro Interconnect Flow Planner* позволяет уменьшить число слоев и значительно сократить длительность цикла

ны мощные инструменты управления времязависимыми цепями, такие как *Auto-interactive Delay Tuning*, *Auto-Interactive Phase Tuning*, *Auto-Interactive Convert Corner*, *Timing Vision* и т.д. Остановимся на некоторых из них более подробно.

Инструмент *Auto-interactive Delay Tuning* (AiDT) даёт возможность пользователям быстро подстраивать длину выбранного набора цепей сигналов на плате, например, байтового тракта или всего интерфейса. Этот инструмент радикально – с нескольких часов до нескольких минут – снижает время подстройки временных задержек в большом массиве сигналов (см. рис. 2). Пользователю достаточно обвести рамкой требуемый набор сигналов, и в соответствии с параметрами, указанными в *Constraint Manager*, произойдёт автоматическая подстройка длины трасс.

Инструмент *Auto-Interactive Phase Tuning* (AiPT) даёт возможность в считанные минуты обеспечить оптимальную динамическую фазу для дифференциальной пары (см. рис. 3). Под динамической фазой подразумевается обеспечение равенства длин провод-

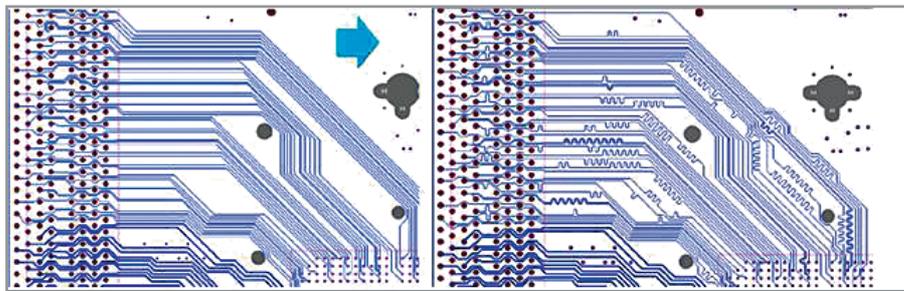


Рис. 2. Автоматическая подстройка длины проводников до и после применения нового инструмента *Auto-interactive Delay Tuning*

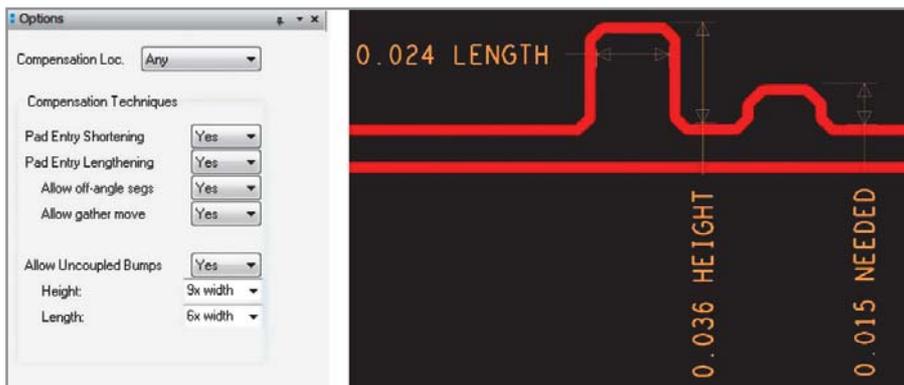


Рис. 3. Инструмент *Auto-Interactive Phase Tuning* для автоматической подстройки динамической фазы в дифференциальной паре

ников с учётом их изгибов на разных участках прокладки от источника до приёмника сигнала. Благодаря этому

инструменту значительно сокращается время на выравнивание длин проводников в дифференциальной паре.

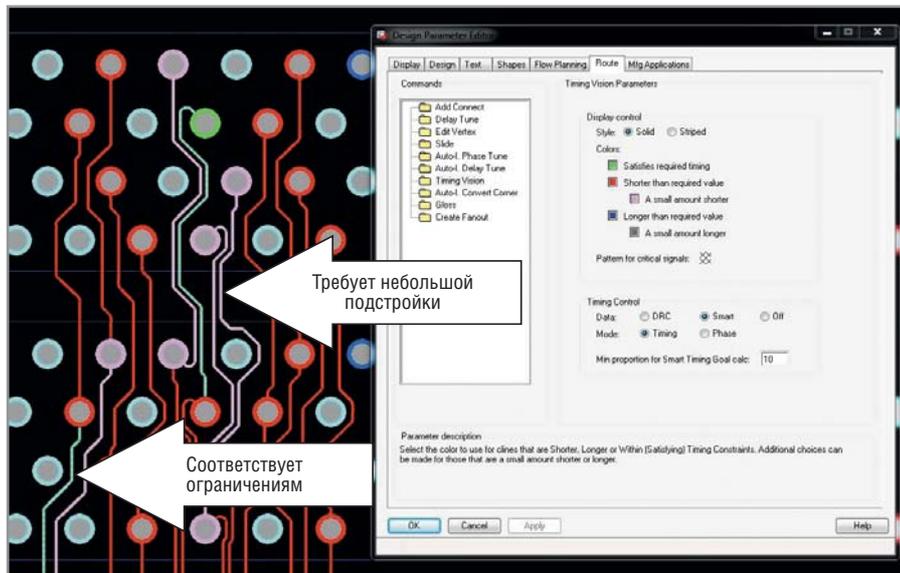


Рис. 4. Инструмент *Timing Vision* для визуального контроля длины трасс с учётом временной зависимости сигналов

Пользователь должен осуществлять непрерывный контроль за времязависимыми цепями на плате. Специально разработанная и встроенная в Allegro PCB Editor среда визуального контроля *Timing Vision* позволяет быстрее находить на печатной плате трассы, не соответствующие временным ограничениям. Данный инструмент снабжён средствами цветовой индикации, возможностью выбора специального узора для трасс и специальными всплывающими подсказками. В зависимости от заданных временных ограничений в *Constraint Manager*, трассы на плате будут подсвечены разным цветом, который выбирается в настройках (см. рис. 4).

ПРОЕКТИРОВАНИЕ С УЧЁТОМ ТЕХНОЛОГИЙ ПРОИЗВОДСТВА

Пакет программ Allegro PCB Editor поддерживает технологии проектирования с учётом тестопригодности

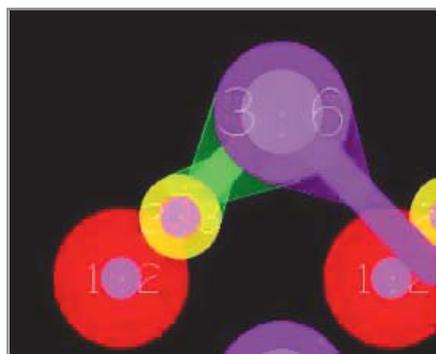


Рис. 5. Динамическое сопряжение контактных площадок и проводников при интерактивной трассировке значительно экономит время на этапе подготовки проекта к производству

(DFT), с учётом возможности изготовления (DFF) и с учётом технологичности сборки (DFA). Наряду с электрическими ограничениями эти важнейшие ограничения проверяются на этапе разработки топологии. Пользователи, например, могут выбирать количество тестовых точек и размеры их контактных площадок, определять зоны запрета для размещения тестовых точек и создавать отчёты для проверки степени готовности платы к тестированию.

В пакет Allegro PCB Editor включена специальная функция контроля правил DFA в режиме реального времени. С её помощью можно визуально отслеживать на плате любые нарушения, связанные с зазорами между компонентами. При опасном сближении компонентов программа автоматически выдаст предупреждение и «остановит» пользователя перед возможным нарушением правил.

Передача данных на производство

Пакет Allegro PCB Designer может генерировать полный набор файлов для производства и тестирования печатной платы, включая Gerber 274x, NC Drill, NC Route и т.д. Важно, что система Cadence поддерживает промышленную тенденцию перехода к «безгерберной» технологии производства с помощью нового универсального формата IPC-2581. Особенность данного формата заключается в том, что все данные, необходимые для производства, сборки, сверления, фрезеровки и тестирования платы, хранятся в одном

унифицированном файле. Пользователи могут выбирать данные для файла IPC-2581 с целью защиты своей интеллектуальной собственности. Программа Allegro PCB Editor позволяет просматривать файл IPC-2581 посредством импорта.

Управляемый ограничениями маршрут проектирования плат с технологией HDI

При использовании корпусов с шариковыми выводами (BGA) плотностью 1,0...0,8 мм и менее, вплоть до 0,3 мм, применяется технология монтажа с высокой плотностью соединений (high-density interconnect, HDI). Хотя миниатюризация не является главной целью во многих сегментах рынка, использование сложных корпусов BGA требует перехода на трассировку с тремя и более рядами выводов с каждой стороны.

Пакет Allegro PCB Design, оснащённый функцией миниатюризации (*Miniaturization Option*), обеспечивает сквозной маршрут проектирования с контролем полного набора правил и ограничений для различных стилей HDI-проектов – от гибридного наращивания/совмещения до полностью основанных на процессах наращивания, например, ALIVH.

Кроме того, программа Allegro PCB Editor включает автоматические средства использования технологии HDI в проектах для сокращения времени на разработку и последовательного улучшения конструкции (итеративный метод проектирования) (см. рис. 5).

Поддержка технологии встроенных компонентов

Уменьшение размеров конечного изделия может быть достигнуто различными путями. Один из них состоит в размещении корпусных элементов на внутренних слоях платы. Пакет Allegro PCB Designer, при наличии функции миниатюризации, предлагает управляемую ограничениями технологию трассировки для встроенных компонентов. Она поддерживает как традиционные технологии прямого и непрямого присоединения, так и новейшие технологии двухстороннего подключения для одного компонента, вертикальное расположение компонента и встроенные компоненты для двухсторонней платы. Функция миниатюризации позволяет разработчику создавать углубления

и управлять ими на слоях, выделенных под размещение встроенных компонентов.

СОЗДАНИЕ АНАЛОГОВЫХ ВЧ- И СВЧ-ПЛАТ

Пакет Allegro PCB Designer вместе с функцией проектирования аналоговых радиочастотных цепей *Analog/RF Design* предоставляет среду разработки для смешанных сигналов, – от создания схемы до планирования, с сохранением истории изменений. Это позволяет повысить производительность процесса проектирования радиочастотных изделий, создавать, объединять и дорабатывать аналоговые радиочастотные и микрополосковые схемы совместно с цифровыми и аналоговыми схемами в среде Allegro PCB Designer. Обладая развитыми возможностями планирования и мощными интерфейсами со средствами численного моделирования в радиочастотном диапазоне, эта функция позволяет начинать процесс проектирования радиочастотных схем из Allegro Design Authoring, Allegro PCB Designer или Agilent ADS.

ПАРАЛЛЕЛЬНАЯ КОЛЛЕКТИВНАЯ РАЗРАБОТКА

Для сокращения длительности цикла разработки всё чаще организуются географически разнесённые коллективы разработчиков. Традиционно применяемые при коллективной разработке процедуры ручной проверки и доводки очень длительны и связаны с риском внесения ошибок.

Технология *Allegro PCB Design Partitioning* реализует многопользовательскую параллельную методологию разработки для ускорения процесса и уменьшения времени планирования. С её помощью множество разработчиков могут работать одновременно, имея доступ к общей базе данных. Руководители проекта могут разделять процесс проектирования на ряд задач или областей, для которых будет производиться планирование и редактирование, и поручать их нескольким членам коллектива. Разработки могут разделяться вертикально (секции) с программно задаваемыми границами или горизонтально (слои). В результате каждый разработчик может видеть все секции, процесс создания конструкции в целом и результаты работы коллег. Это помогает значительно уменьшить длительность циклов раз-

работки и ускорить процесс проектирования.

ТЕХНОЛОГИЯ АВТОМАТИЧЕСКОЙ ТРАССИРОВКИ ПЕЧАТНЫХ ПЛАТ

Технологии трассировки печатных плат тесно связаны с редактором печатных плат *PCB editor*. Посредством интерфейса трассировщика *PCB Router* вся конструкторская информация и ограничивающие условия автоматически поступают из *PCB Editor*. По окончании трассировки вся информация автоматически передаётся обратно в *PCB Editor*.

Возросшая сложность проектов, высокая плотность размещения компонентов и наличие дополнительных ограничивающих условий для высокоскоростных схем затрудняют процесс ручной трассировки. Для решения задач трассировки сложных соединений требуется мощная автоматизированная технология. Надёжный и испытанный в производстве автоматический трассировщик имеет режим пакетной трассировки с расширенным управлением стратегией трассировки и встроенными стратегиями трассировки.

Автоматическая трассировка с учётом правил DFM

Средство оптимизации для производства (DFM, *Design For Manufacturing*), входящее в трассировщик *Allegro PCB Router*, значительно уменьшает объём брака при изготовлении плат. Его алгоритмы обеспечивают автоматическое разнесение проводников с использованием всего имеющегося свободного места. Оптимизация повышает технологичность посредством перемещения проводников для дополнительного увеличения зазоров между проводниками и выводами, между проводниками и контактными SMD-площадками и высвобождает место для проводящих полигонов. Пользователи могут корректировать допуски, установленные по умолчанию.

Во время трассировки могут быть заданы свободные углы и контрольные точки. Алгоритмы DFM автоматически делают оптимальные отступы, начиная с наибольших, и уменьшают их в доступных пределах. Средство создания контрольных точек автоматически вставляет на плате тестовые переходные отверстия или контактные площадки. Контрольные точки в виде

тестовых переходных отверстий могут располагаться как на верхней, так и на обратной стороне платы, что позволяет использовать односторонние или двухсторонние тестеры.

У разработчиков есть возможность выбора методологии вставки контрольных точек, соответствующей их производственным требованиям. Контрольные точки можно зафиксировать для сохранения тестовой оснастки. Ограничивающие условия для контрольных точек включают в себя форму поверхности тестовых зондов, размеры переходных отверстий, сеток и минимальные расстояния между центрами отверстий.

Управляемая ограничениями автоматическая трассировка для быстродействующих плат

Высокоскоростные ограничивающие условия и алгоритмы трассировки используют дифференциальные пары, сетевое планирование, временные параметры сигналов, уровень перекрёстных помех, трассировку набора слоёв и специальные требования к геометрии, предъявляемые к современным высокоскоростным цепям. Алгоритмы автоматической трассировки аккуратно выполняют трассировку с использованием переходных отверстий и вблизи них, а также автоматически поддерживают соответствие заданным временным или пространственным критериям.

Автоматическое сетевое планирование применяется для уменьшения уровня шума в цепях, чувствительных к помехам. К различным областям платы можно применять свои правила проектирования, например, задавать правило максимально плотного размещения в области проводников и менее строгие правила на остальной части платы.

ЗАКЛЮЧЕНИЕ

Разработка современной электроники должна быть обеспечена адекватными программными и аппаратными средствами проектирования. Пакет программ Allegro PCB Designer – это мощный инструмент в руках профессионала, занимающегося разработкой быстродействующих устройств высокой сложности. Последнее обновление – Update Release № 2, вышедшее в марте этого года, содержит большое число новых инструментов, которые были упомянуты в данной статье. ©