

Микроконтроллеры семейства LPC2000 (ARM7TDMI-S) от Philips – ещё один шаг к идеальной платформе для встраиваемых приложений

(часть 3)

Павел Редькин (г. Ульяновск)

В третьей части автор продолжает знакомить с 16/32-разрядными встраиваемыми микроконтроллерами семейства LPC2000 фирмы Philips Semiconductors. Завершено начатое в части 2 описание аппаратных узлов и регистров блока управления системой. Приведены описания модуля акселератора памяти и контроллера векторов прерываний.

Встроенная система ФАПЧ

МК семейства LPC2000 имеют встроенную систему ФАПЧ (PLL). Входной сигнал системы ФАПЧ может лежать в частотном диапазоне 10...25 МГц. Эта частота преобразуется, путём умножения на некоторую величину, в частоту $csclk$, лежащую в диапазоне 10...60 МГц, с использованием генератора, управляемого током (ССО). Множителем может быть целочисленное значение от 1 до 6. ССО работает в диапазоне 156...320 МГц, поэтому в составе системы ФАПЧ имеется дополнительный делитель, позволяющий ССО функционировать в заданном частотном диа-

пазоне, в то время как на выходе PLL получается частота $csclk$, лежащая в вышеуказанном диапазоне. Делитель выходной частоты может производить деление на 2, 4, 8 или 16.

Активация системы ФАПЧ производится через регистр PLLCON. Значения множителя ФАПЧ и выходного делителя задаются в регистре PLLCFG. Поскольку все операции, связанные с синхронизацией микроконтроллера, включая работу сторожевого таймера, зависят от ФАПЧ, любое случайное изменение параметров ФАПЧ может привести к непредсказуемому поведению устройства. Защита наст-

роек системы ФАПЧ обеспечивается необходимостью генерации специальной последовательности для доступа к ним.

По умолчанию после сброса МК, а также в режиме Power Down система ФАПЧ отключена, а её работа может быть разрешена программно. Программа должна сконфигурировать и активизировать ФАПЧ, дождаться замыкания петли ФАПЧ, а затем соединить выход ФАПЧ в качестве источника тактовой частоты МК.

Система ФАПЧ управляется нижеприведёнными регистрами.

Регистр управления ФАПЧ (PLLCON – 0xE01FC080). Битовая структура регистра PLLCON приведена в табл. 15. При включении ФАПЧ происходит замыкание её петли с текущими заданными значениями множителя и делителя. При подключении ФАПЧ к МК процессор и все встроенные функции начинают тактироваться выходными сигналами ФАПЧ. Изменения содержимого регистра PLLCON не вступают в силу, пока не будет выработана корректная последовательность ввода данных в ФАПЧ (см. описание регистра PLLFEED). Система ФАПЧ должна быть сконфигурирована и включена с замыканием петли обратной связи до того, как ФАПЧ станет использоваться в качестве источника синхронизации МК.

Регистр конфигурации ФАПЧ (PLLCFG – 0xE01FC084). Битовая структура регистра PLLCFG приведена в табл. 16. Изменения регистра PLLCFG не вступают в силу, пока не будет выработана корректная последовательность ввода данных в ФАПЧ (см. описание регистра PLLFEED).

Регистр состояния ФАПЧ (PLLSTAT – 0xE01FC088). Битовая структура регистра PLLSTAT приведена в табл. 17.

Таблица 15. Биты регистра управления ФАПЧ (PLLCON – 0xE01FC080)

Номер бита	Имя бита	Функция бита	Значение после сброса
0	PLLE	Бит включения ФАПЧ. Когда этот бит установлен и произведена выдача корректной последовательности ввода данных в ФАПЧ, активируется ФАПЧ и замыкается петля на требуемой частоте (см. описание регистра PLLSTAT)	0
1	PLLC	Бит подключения ФАПЧ к устройству. Когда биты PLLC и PLLE установлены и произведена выдача корректной последовательности ввода данных в ФАПЧ, система ФАПЧ подключается к МК и становится для него источником синхросигнала (см. описание регистра PLLSTAT)	0
7:2	Зарезервированы	Данные биты зарезервированы. Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA

Таблица 16. Биты регистра конфигурации ФАПЧ (PLLCFG – 0xE01FC084)

Номер бита	Имя бита	Функция бита	Значение после сброса
4:0	MSEL4:0	Значение множителя частоты системы ФАПЧ. Соответствует величине «М» в формулах вычисления частоты ФАПЧ	0
6:5	PSEL1:0	Значение делителя частоты системы ФАПЧ. Соответствует величине «Р» в формулах вычисления частоты ФАПЧ	0
7	Зарезервирован	Данный бит зарезервирован. Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA

Регистр PLLSTAT доступен только для чтения и при чтении возвращает фактические параметры ФАПЧ, которые являются действительными во время этого чтения, как и состояние ФАПЧ. Текущее прочитанное содержимое регистра PLLSTAT может не согласовываться со значениями, содержащимися в регистрах PLLCON и PLLCFG, потому что изменения содержимого этих регистров не вступают в силу, пока не будет выработана корректная последовательность ввода данных в ФАПЧ (см. описание регистра PLLFEED).

Бит PLOCK в регистре PLLSTAT связан с контроллером прерываний. Когда будет сгенерировано прерывание от ФАПЧ и автоматически установится бит PLOCK, программа может подключить ФАПЧ к МК и запретить прерывание от ФАПЧ. Возможные комбинации битов PLLE и PLLC, задающие режимы функционирования ФАПЧ, показаны в табл. 18.

Регистр подачи ФАПЧ (PLLFEED – 0xE01FC08C). Для вступления в силу модифицированных программой значений регистров PLLCON и PLLCFG должна быть выработана корректная последовательность ввода данных в ФАПЧ, которая должна быть записана в регистр PLLFEED:

- записать значение 0xAA в регистр PLLFEED;
- записать значение 0x55 в регистр PLLFEED.

Эти две процедуры записи должны следовать в указанной очередности и занимать последовательные шинные циклы VPB. На время проведения операции ввода данных в ФАПЧ все прерывания должны быть запрещены.

Формулы получения частоты системы ФАПЧ используют следующие параметры:

- F_{OSC} – частота стабилизированного кварцем генератора;
- F_{CCO} – частота генератора, управляемого током ФАПЧ;
- $cclk$ – выходная частота ФАПЧ, она же тактовая частота процессора;
- M – множитель, задаваемый значениями битов MSEL регистра PLLCFG;
- P – делитель, задаваемый значениями битов PSEL регистра PLLCFG.

Выходная частота ФАПЧ (когда ФАПЧ активна и подключена к МК) определяется по формуле $cclk = MF_{OSC}$ или $cclk = F_{CCO}/(2P)$.

Частота ССО может быть вычислена по формуле $F_{CCO} = 2Pcclk$ или $F_{CCO} = 2PMF_{OSC}$.

Входные сигналы и параметры настройки ФАПЧ должны удовлетворять следующим условиям:

- значение F_{OSC} должно находиться в диапазоне 10...25 МГц;
- значение $cclk$ должно находиться в диапазоне 10 МГц... F_{max} , где F_{max} – максимально допустимая тактовая частота для конкретного МК семейства LPC2000;
- значение F_{CCO} должно находиться в диапазоне 156...320 МГц.

Если конкретное приложение использует ФАПЧ, то её конфигурация может быть задана следующим образом:

- выбрать желаемую тактовую частоту процессора ($cclk$) исходя из требуемой производительности приложения;
- выбрать частоту генератора (F_{OSC}), причём частота $cclk$ должна нацело делиться на F_{OSC} ;
- вычислить значение M , с тем чтобы сконфигурировать биты MSEL в соответствии с формулой $M = cclk/F_{OSC}$. Значение M должно лежать в диапазоне 1...32. Значение, записываемое в биты MSEL регистра PLLCFG, определяется как $(M - 1)$;
- найти значение P , с тем чтобы сконфигурировать биты PSEL, причём оно должно быть таким, чтобы соответствующее ему значение

Таблица 17. Биты регистра состояния ФАПЧ (PLLSTAT – 0xE01FC088)

Номер бита	Имя бита	Функция бита	Значение после сброса
4:00	MSEL4:0	Считывание этого бита возвращает последнее записанное в ФАПЧ значение множителя. Это – значение, используемое ФАПЧ, на момент чтения	0
6:05	PSEL1:0	Считывание этого бита возвращает последнее записанное в ФАПЧ значение делителя. Это – значение, используемое ФАПЧ, на момент чтения	0
7	Зарезервирован	Данный бит зарезервирован. Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA
8	PLLE	Считывание этого бита возвращает последнее записанное в ФАПЧ значение бита включения. Когда считывается высокий уровень, то это значит, что система ФАПЧ на момент чтения активирована. Когда считывается низкий уровень, это значит, что система ФАПЧ выключена. Этот бит автоматически сбрасывается, когда МК переходит в режим Power Down	0
9	PLLC	Считывание этого бита возвращает последнее записанное в ФАПЧ значение бита подключения ФАПЧ к МК. Когда биты PLLC и PLLE считываются в высоком уровне, ФАПЧ является источником синхронизации для МК. Когда бит PLLC или бит PLLE считывается в низком уровне, ФАПЧ не участвует в синхронизации МК и синхроимпульсы поступают в обход ФАПЧ непосредственно в МК. Этот бит автоматически сбрасывается, когда устройство переходит в режим Power Down	0
10	PLOCK	Этот бит отражает текущее состояние петли ФАПЧ. Когда считывается низкий уровень, петля ФАПЧ не замкнута. Когда считывается высокий уровень, петля ФАПЧ замкнута на требуемой частоте	0
15:11	Зарезервированы	Данные биты зарезервированы. Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA

Таблица 18. Комбинации служебных битов ФАПЧ, задающих режим ФАПЧ

PLLC	PLLE	Функция
0	0	Система ФАПЧ выключена и отключена от МК. Синхронизация МК осуществляется непосредственно от входа синхронизации
0	1	Система ФАПЧ активна, но не подключена к МК. Система ФАПЧ может быть подключена к МК после того, как бит PLOCK установится
1	0	Случай, идентичный комбинации 00. Эта комбинация предотвращает возможность подключения ФАПЧ к МК, если она отключена
1	1	Система ФАПЧ активна и подключена к МК в качестве системного источника синхронизации

Таблица 19. Биты регистра управления потребляемой мощностью (PCON – 0xE01FC0C0)

Номер бита	Имя бита	Функция бита	Значение после сброса
0	IDL	МК переходит в режим Idle mode, когда этот бит установлен. Установка этого бита останавливает тактирование процессора, в то время как встроенные периферийные устройства остаются активными. Любое разрешённое прерывание от периферийного устройства или внешнее прерывание заставит процессор возобновить выполнение программы	0
1	PD	МК переходит в режим Power Down, когда этот бит установлен. Установка этого бита останавливает тактирование процессора и всех встроенных периферийных устройств. «Пробуждение» от внешнего прерывания перезапустит генератор, сбросит бит PD, и процессор возобновит выполнение программы	0
7:02	Зарезервированы	Данные биты зарезервированы. Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA

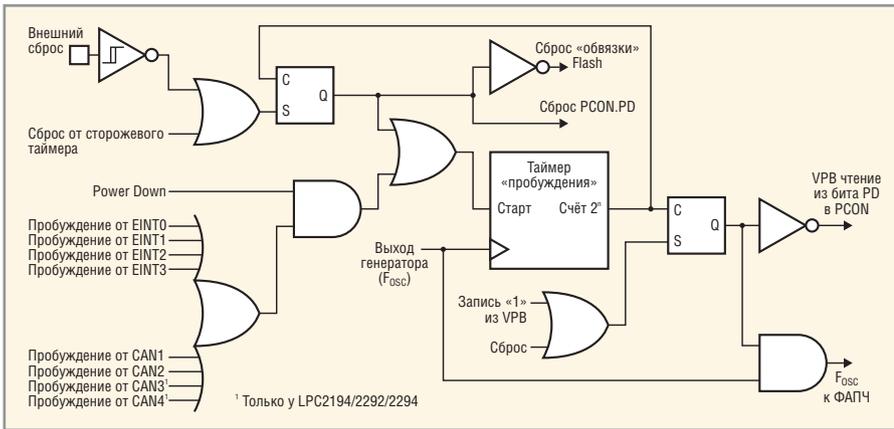


Рис. 11. Функциональная схема внутренней логики сброса

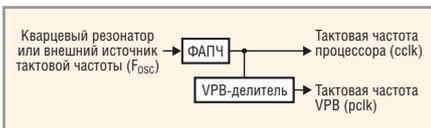


Рис. 12. Подключение делителя VPB к цепям тактирования процессора

F_{CCO} не выходило за пределы, указанные для F_{CCO} . Найденное значение P должно быть равно 1, 2, 4 или 8. Значение, записываемое в биты PSEL регистра PLLCFG, равно 00 для

$P = 1$, равно 01 для $P = 2$, равно 10 для $P = 4$ и равно 11 для $P = 8$.

Пусть для системы задано значение $F_{OSC} = 10$ МГц и требуется производительность процессора, соответствующая значению $cclk = 60$ МГц. Вычисляем $M = cclk/F_{OSC} = 60/10 = 6$. В биты PLLCFG 4:0 будет записано значение $(M - 1) = 5$. Значение P может быть получено как $P = F_{CCO}/(2cclk)$, учитывая требование, что значение F_{CCO} должно лежать в диапазоне 156...320 МГц. Для

Таблица 20. Биты регистра управления потребляемой мощностью периферийных модулей (PCONP – 0x01FC0C4)

Номер бита	Имя бита	Функция бита	Значение после сброса
0	Зарезервирован	Данный бит зарезервирован. Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	0
1	PCTIM0	Когда этот бит установлен, разрешается работа TIMER0. Когда этот бит сброшен, TIMER0 заблокирован и не потребляет мощности	1
2	PCTIM1	Когда этот бит установлен, разрешается работа TIMER1. Когда этот бит сброшен, TIMER1 заблокирован и не потребляет мощности	1
3	PCURT0	Когда этот бит установлен, разрешается работа UART0. Когда этот бит сброшен, UART0 заблокирован и не потребляет мощности	1
4	PCURT1	Когда этот бит установлен, разрешается работа UART1. Когда этот бит сброшен, UART1 заблокирован и не потребляет мощности	1
5	PCPWM0	Когда этот бит установлен, разрешается работа PWM0. Когда этот бит сброшен, PWM0 заблокирован и не потребляет мощности	1
6	Зарезервирован	Данный бит зарезервирован. Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	0
7	PCI2C	Когда этот бит установлен, разрешается работа интерфейса I ² C. Когда этот бит сброшен, интерфейс I ² C заблокирован и не потребляет мощности	1
8	PCSPI0	Когда этот бит установлен, разрешается работа интерфейса SPI0. Когда этот бит сброшен, интерфейс SPI0 заблокирован и не потребляет мощности	1
9	PCRTC	Когда этот бит установлен, разрешается работа модуля реального времени RTC. Когда этот бит сброшен, модуль RTC заблокирован и не потребляет мощности	1
10	PCSPI1	Когда этот бит установлен, разрешается работа интерфейса SPI1. Когда этот бит сброшен, интерфейс SPI1 заблокирован и не потребляет мощности	1
11	Зарезервирован	Данный бит зарезервирован. Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	1
12	PCAD	Когда этот бит установлен, разрешается работа модуля АЦП. Когда этот бит сброшен, модуль АЦП заблокирован и не потребляет мощности	1
13	PCCAN1	Когда этот бит установлен, разрешается работа контроллера CAN1. Когда этот бит сброшен, контроллер CAN1 заблокирован и не потребляет мощности	1
14	PCCAN2	Когда этот бит установлен, разрешается работа контроллера CAN2. Когда этот бит сброшен, контроллер CAN2 заблокирован и не потребляет мощности	1
7:15:00	Зарезервированы	Данные биты зарезервированы. Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA

самого низкого разрешённого значения $F_{CCO} = 156$ МГц имеем $P = 156 \text{ МГц} / (2 \times 60 \text{ МГц}) = 1,3$. Для самого высокого разрешённого значения F_{CCO} имеем $P = 320 \text{ МГц} / (2 \times 60 \text{ МГц}) = 2,67$. Единственное значение P , лежащее в полученном диапазоне, равно 2 (см. п. 4). В биты PLLCFG 6:5 будет записано значение $(P - 1) = 1$.

Управление потребляемой мощностью

МК семейства LPC2000 поддерживают два режима уменьшенной потребляемой мощности: режим Idle Mode и режим Power Down. В режиме Idle Mode выполнение команд приостановлено, однако сброс и прерывания происходят. Периферийные функции в режиме Idle Mode продолжают свои операции и могут генерировать прерывания, чтобы заставить процессор возобновить выполнение кода. Режим Idle Mode уменьшает до нуля мощность, используемую непосредственно процессором, а также системами памяти, связанными с ними контроллерами и внутренними шинами.

В режиме Power Down тактовый генератор остановлен и устройство не получает никаких сигналов синхронизации. Сохраняются неизменными состояние процессора, его регистров, периферийных регистров и содержимое памяти SRAM. Также сохраняются логические уровни на выводах МК. Выход из режима Power Down в режим нормального выполнения кода может быть произведён путём сброса или определённых прерываний, которые могут генерироваться в отсутствие сигнала синхронизации. Так как все динамические операции в устройстве приостановлены, режим Power Down уменьшает потребляемую МК мощность практически до нуля.

Управление потребляемой мощностью периферийных устройств МК LPC2000 организовано так, чтобы обеспечивать возможность индивидуального отключения периферийных устройств, если в них нет необходимости в данном приложении. Управление потребляемой мощностью осуществляется с помощью следующих двух регистров.

Регистр управления потребляемой мощностью (PCON – 0x01FC0C0). Битовая структура регистра PCON приведена в табл. 19. Если установлены оба значащих бита регистра

PCON, то МК находится в режиме Power Down.

Регистр управления потребляемой мощностью периферийных устройств (PCONP – 0xE01FC0C4). Битовая структура регистра PCONP приведена в табл. 20. Некоторые периферийные функции не могут быть отключены, в т.ч. сторожевой таймер, GPIO, блок коммутации выводов и блок управления системой.

Системный сброс

МК семейства LPC2000 имеют два источника сброса: вход внешнего сброса \overline{RESET} и сброс от сторожевого таймера. После сброса от любого из указанных источников сразу же запускается встроенный таймер «пробуждения». До окончания счёта этого таймера сигнал сброса должен удерживаться в активном уровне. Когда тактовый генератор выработает заданное количество тактовых импульсов подсчитанного таймером «пробуждения», сигнал сброса поступит в контроллер Flash-памяти, и будет произведена его инициализация. Функциональная схема внутренней логики сброса показана на рис. 11. Активный уровень сигнала сброса после включения питания устройства должен удерживаться на входе \overline{RESET} не менее 10 мс. Для всех после дующих сбросов без отключения питания минимальная требуемая длительность сигнала сброса составляет 300 нс. Когда процедура внутреннего сброса завершается, процессор начинает выполнять код с адреса 0, на который отображён вектор сброса в загрузочном блоке. В этот момент сам процессор и периферийные регистры инициализируются установленными по умолчанию значениями.

Процедуры внешнего и внутреннего сброса имеют некоторые небольшие различия. При внешнем сбросе функции некоторых выводов автоматически изменяют свою конфигурацию. При внутреннем сбросе этого не происходит, так как внешние цепи МК, отвечающие за сброс, не могут отслеживать наступления состояния сброса и производить в этот момент переконfigurирование функций выводов. При внешнем сбросе подвергаются переконfigurированию для различных целей следующие выходы: P1.20/TRACESYNC, P1.26/RTCK, BOOT1 и BOOT0. Вывод P0.14 используется для нужд встроенного загруз-

Таблица 21. Биты регистра делителя VPB (VPBDIV – 0xE01FC100)

Номер бита	Имя бита	Функция бита	Значение после сброса
1:0	VPBDIV	Частота синхросигнала VPB может принимать следующие значения, задаваемые этими битами: 00 – частота VPB равна одной четверти частоты тактового сигнала процессора; 01 – частота VPB равна частоте тактового сигнала процессора; 10 – частота VPB равна половине частоты тактового сигнала процессора; 11 – зарезервировано. Если это значение записывается в регистр VPBDIV, то это не производит никакого эффекта (предыдущее значение VPBDIV сохраняется)	0
3:2	Зарезервированы	Данные биты зарезервированы. Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	0
5:4	XCLKDIV	В МК, имеющих 144-выводной корпус, эти биты управляют синхросигналом, который может внутри МК подаваться на вывод A23/XCLK. Они имеют такой же порядок кодирования, что и биты VPBDIV. Бит регистра PINSEL2 определяет, имеет ли этот вывод функцию A23 или работает как выход синхросигнала XCLK	0
7:6	Зарезервированы	Данные биты зарезервированы. Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	0

чика при выполнении кода после завершения сброса.

Делитель VPB

VPB-делитель задаёт соотношение между тактовой частотой процессора (cclk) и частотой, используемой для тактирования периферийных устройств (pclk), как показано на рис. 12. Использование в МК VPB-делителя позволяет обеспечить периферийные устройства синхросигналом pclk требуемой частоты через шину VPB. Синхросигнал шины VPB может быть программно замедлен до значения одной половины или одной четверти тактовой частоты процессора. Заданное по умолчанию после сброса значение частоты синхросигнала шины VPB составляет одну четверть такто-

вой частоты процессора. Поскольку делитель VPB связан с выходом системы ФАПЧ, то система ФАПЧ должна оставаться активной (если она вообще используется) во время режима Idle mode.

Битовая структура регистра VPBDIV (VPBDIV – 0xE01FC100) приведена в табл. 21.

Модуль акселератора памяти (МAM)

Модуль акселератора памяти (МAM) введён производителем в состав МК семейства LPC2000 для ускорения выполнения программы в случае, если она выполняется во Flash-памяти. Модуль МAM обеспечивает возможность во время выполнения процессором программы произво-

DECA[®]
SwitchLab

ПЛАТАН
www.platan.ru

ЭЛЕКТРОННЫЕ КОМПОНЕНТЫ ОТ ВЕДУЩИХ ПРОИЗВОДИТЕЛЕЙ

Индикаторные лампы

Кнопки экстренного выключения

Кнопки со звуковым сигналом

Селекторные переключатели

Поворотные переключатели запираемые замком

Москва, ул. Ивана Франко, д. 40, стр. 2
Тел./факс: (495) 97-000-99

Почта: 121351, Москва, а/я 100
E-mail: platan@aha.ru

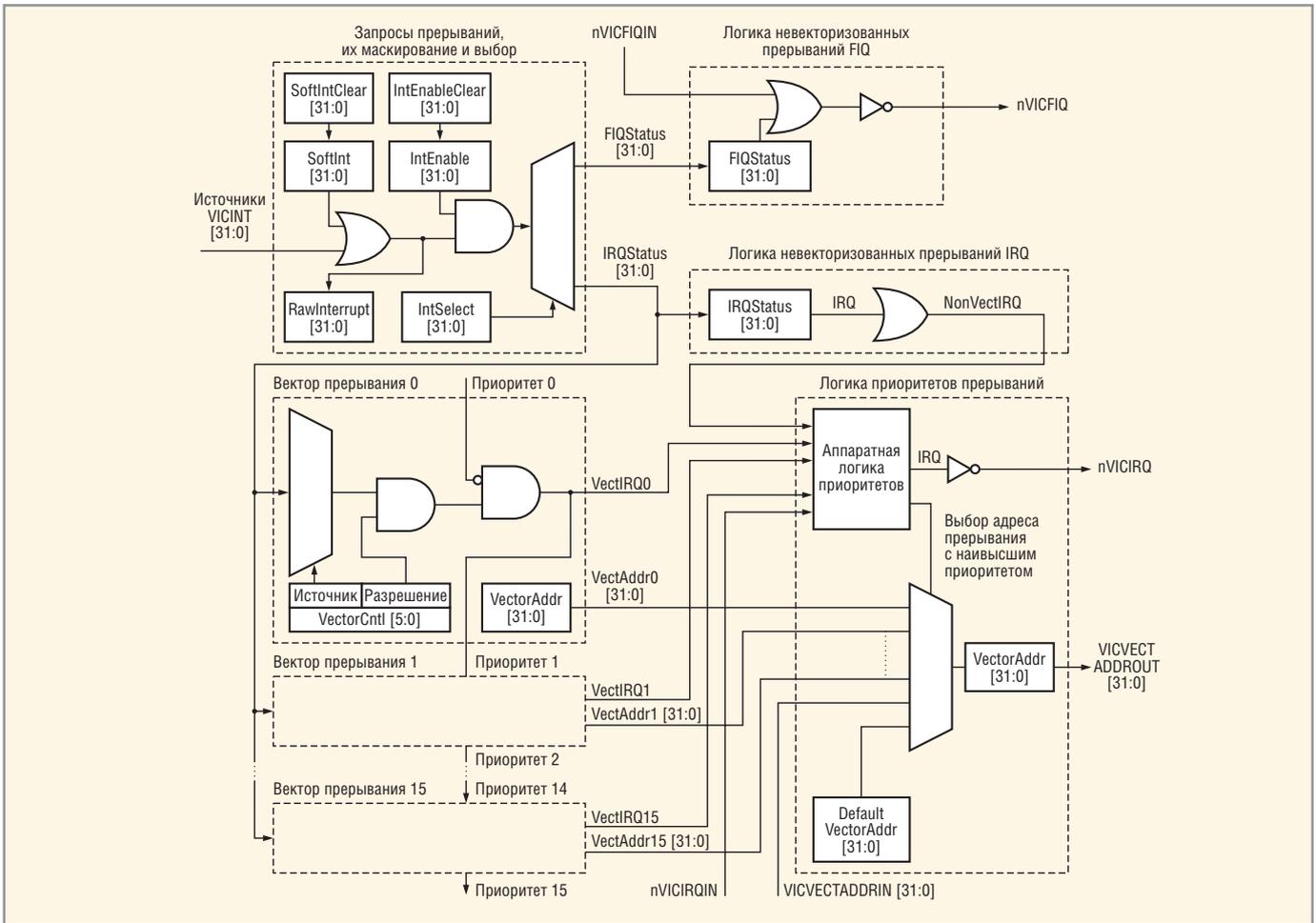


Рис. 13. Блок-схема контроллера векторов прерываний VIC

дить выборку следующей по порядку команды ARM при выполнении текущей команды. Используемый в MAM принцип состоит в применении бу-

феров (защёлок) выборки команды и буферов ветвления. Буферы ветвления захватывают небольшие порции кода из Flash-памяти, которые ис-

пользуются в случае, если выбранная команда не совпадает с содержимым ни одного буфера выборки, а является командой перехода. Операции доступа к коду и к данным обрабатываются модулем MAM отдельно.

MAM имеет три режима работы, различие между которыми заключается в степени предсказуемости модулем MAM поведения процессора ARM в плане его обращения к Flash-памяти. В режиме 0 MAM не используется. В режиме 1 MAM частично задействован. Последовательный доступ к командам выполняется через наборы защёлок, если эти команды в них имеются. Произвольный доступ к командам инициализирует операции чтения Flash-памяти. Это означает, что все ветвления программы вызывают выборки непосредственно из Flash-памяти. Все операции с данными вызывают чтение Flash-памяти.

В режиме 2 MAM полностью задействован. Любой запрос к памяти (кода или данных) для значения, которое содержится в одном из наборов защёлок, выполняется как чтение защёлки. Операции чтения Flash-памя-

Таблица 22. Биты регистра управления MAM (MAMCR – 0xE01FC000)

Номер бита	Имя бита	Функция бита	Значение после сброса
1:00	Управление режимом MAM	Эти биты определяют режим MAM следующим образом: 00 – MAM заблокирован; 01 – функции MAM частично реализуются; 10 – функции MAM полностью реализуются; 11 – зарезервировано	0
7:02	Зарезервированы	Данные биты зарезервированы. Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA

Таблица 23. Биты регистра управления тактированием MAM (MAMTIM – 0xE01FC004)

Номер бита	Имя бита	Функция бита	Значение после сброса
2:0	Управление длительности цикла MAM	Эти биты устанавливают продолжительность операций выборки из Flash-памяти для MAM следующим образом: 000 = 0 – зарезервировано; 001 = 1 – цикл выборки MAM длится 1 период тактовой частоты процессора (cclk); 010 = 2 – цикл выборки MAM длится 2 периода тактовой частоты процессора (cclk); 011 = 3 – цикл выборки MAM длится 3 периода тактовой частоты процессора (cclk); 100 = 4 – цикл выборки MAM длится 4 периода тактовой частоты процессора (cclk); 101 = 5 – цикл выборки MAM длится 5 периодов тактовой частоты процессора (cclk); 110 = 6 – цикл выборки MAM длится 6 периодов тактовой частоты процессора (cclk); 111 = 7 – цикл выборки MAM длится 7 периодов тактовой частоты процессора (cclk); Некорректная установка этого значения может привести к неправильным операциям устройства	0x07
7:3	Зарезервированы	Данные биты зарезервированы. Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA

Табл. 24. Описания регистров VIC и функции их битов

Имя регистра	Описание регистра	Вид доступа	Адрес регистра	Функции битов
VICIRQStatus	Регистр состояния запросов IRQ. При чтении этого регистра возвращается текущее состояние тех запросов прерываний, которые разрешены и классифицируются как запросы IRQ, причём они не дифференцируются на векторизованные и невекторизованные	RO	0xFFFF F000	1: запрос прерывания с этим разрядным номером разрешается, классифицируется как запрос IRQ и присутствует (имеет место)
VICFIQStatus	Регистр состояния запросов FIQ. При чтении этого регистра возвращается текущее состояние тех запросов прерываний, которые разрешены и классифицируются как запросы FIQ. Если более чем один запрос классифицирован как FIQ, то сервисная программа запросов FIQ может прочитать этот регистр, чтобы определить, какой из запросов является активным	RO	0xFFFF F004	1: запрос прерывания с этим разрядным номером разрешается, классифицируется как запрос FIQ и присутствует (имеет место)
VICRawIntr	Регистр состояния необработанных прерываний. При чтении этого регистра возвращается текущее состояние 32 запросов прерываний/программных прерываний вне зависимости от их разрешённости или их классификации	RO	0xFFFF F008	1 или 0: запрос на прерывание или программное прерывание с этим разрядным номером присутствует или отсутствует соответственно
VICIntSelect	Регистр выбора прерываний. Этот регистр классифицирует каждое из 32 запросов прерываний как запрос FIQ или запрос IRQ	R/W	0xFFFF F00C	1 или 0: запрос прерывания с этим разрядным номером назначен в категорию запросов FIQ или IRQ соответственно
VICIntEnable	Регистр разрешения прерываний. Этот регистр управляет разрешениями, которые даются каждому из 32 запросов прерываний и программным прерываниям как запросам FIQ или IRQ. При чтении или записи этого регистра единицы указывают, что соответствующие запросы прерывания или программные прерывания разрешены как запросы FIQ или IRQ	R/W	0xFFFF F010	Запись в этот регистр нулей не имеет никакого эффекта (для запрета прерываний см. описание регистра VICIntEnClear)
VICIntEnClr	Регистр разрешения сброса разрешённых прерываний. Этот регистр разрешает программному обеспечению сбрасывать один или более битов в регистре разрешения прерываний, если отсутствует необходимость чтения последнего	WO	0xFFFF F014	1: запись 1 сбрасывает соответствующий бит в регистре разрешения прерывания VICIntEnable, запрещая прерывание для этого запроса 0: запись 0 оставляет соответствующий бит в регистре VICIntEnable неизменным
VICSoftInt	Регистр программных прерываний. Содержимое этого регистра побитно объединяется по функции OR с сигналами 32 запросов прерываний от различных периферийных устройств и функций до того, как эти сигналы поступают на любую другую внутреннюю логику	R/W	0xFFFF F018	1 или 0: генерировать или не генерировать (соответственно) запрос прерывания с этим разрядным (порядковым) номером Запись нулей в биты регистра VICSoftInt не имеет никакого эффекта (см. описание регистра VICSoftIntClear)
VICSoftIntClear	Регистр сброса программных прерываний. Этот регистр разрешает программному обеспечению сбрасывать один или более битов в регистре программных прерываний VICSoftInt, если отсутствует необходимость чтения последнего	WO	0xFFFF F01C	1: запись 1 сбрасывает соответствующий бит в регистре программных прерываний VICSoftInt и таким образом производит сброс соответствующего запроса 0: запись 0 оставляет соответствующий бит в регистре VICSoftInt неизменным
VICProtection	Регистр разрешения защиты. Этот однобитовый регистр позволяет ограничивать доступ к регистрам VIC для программного обеспечения, выполняющегося в пользовательском режиме	R/W	0xFFFF F020	1 в бите 0: к регистрам VIC можно обращаться только в привилегированном режиме 0 в бите 0: к регистрам VIC можно обращаться в пользовательском или привилегированном режимах
VICVectAddr	Регистр адреса вектора. Когда происходит запрос IRQ, сервисная подпрограмма обслуживания запросов IRQ может прочитать этот регистр и передать управление по прочитанному значению адреса. Когда один или более запросов прерываний или программных прерываний разрешены, классифицированы как запросы IRQ, присутствуют (имеют место) и назначены на включённый векторный слот запроса IRQ, то чтение этого регистра возвратит значение адреса, хранящегося в регистре адреса вектора для слота с самым высоким приоритетом (самым меньшим по номеру). В ином случае чтение возвращает значение адреса, хранящегося в заданном по умолчанию регистре адреса вектора	R/W	0xFFFF F030	Запись в этот регистр не задаёт значение для его будущих чтений. В этот регистр должна быть произведена запись в конце сервисной подпрограммы обработки прерывания, с тем чтобы обновить состояние аппаратных средств VIC
VICDefVectAddr	Заданный по умолчанию регистр адреса вектора. Этот регистр содержит адрес для сервисной подпрограммы обработки прерываний (ISR), которая обрабатывает невекторизованные запросы прерываний	R/W	0xFFFF F034	Когда сервисная подпрограмма запроса IRQ читает регистр адреса вектора (VICVectAddr) и никакой слот IRQ не отвечает, чтение возвращает адрес, содержащийся в регистре VICDefVectAddr
VICVectAddr0-15	Регистры адреса векторов 0 – 15. Регистры адреса векторов 0 – 15 содержат адреса для сервисных подпрограмм обработки прерываний для 16-векторных слотов IRQ	R/W	0xFFFF F100-13C	Когда один или более запросов прерываний или программных прерываний разрешены, классифицированы как запросы IRQ, присутствуют (имеют место) и назначены на включённый векторный слот запроса IRQ, то в этом регистре сервисная подпрограмма обработки запросов IRQ для слота с самым высоким приоритетом прочитает адрес вектора (VICVectAddr)
VICVectAddr0	Регистр адреса вектора 0	R/W	0xFFFF F100	
VICVectAddr1	Регистр адреса вектора 1	R/W	0xFFFF F104	
VICVectAddr2	Регистр адреса вектора 2	R/W	0xFFFF F108	
VICVectAddr3	Регистр адреса вектора 3	R/W	0xFFFF F10C	
VICVectAddr4	Регистр адреса вектора 4	R/W	0xFFFF F110	
VICVectAddr5	Регистр адреса вектора 5	R/W	0xFFFF F114	
VICVectAddr6	Регистр адреса вектора 6	R/W	0xFFFF F118	
VICVectAddr7	Регистр адреса вектора 7	R/W	0xFFFF F11C	
VICVectAddr8	Регистр адреса вектора 8	R/W	0xFFFF F120	
VICVectAddr9	Регистр адреса вектора 9	R/W	0xFFFF F124	
VICVectAddr10	Регистр адреса вектора 10	R/W	0xFFFF F128	
VICVectAddr11	Регистр адреса вектора 11	R/W	0xFFFF F12C	
VICVectAddr12	Регистр адреса вектора 12	R/W	0xFFFF F130	
VICVectAddr13	Регистр адреса вектора 13	R/W	0xFFFF F134	
VICVectAddr14	Регистр адреса вектора 14	R/W	0xFFFF F138	
VICVectAddr15	Регистр адреса вектора 15	R/W	0xFFFF F13C	
VICVectCntl0-15	Регистры управления векторами 0 – 15. Каждый из регистров управления векторами 0 – 15 управляет одним из 16 векторных слотов IRQ. Слот 0 имеет самый высокий приоритет, а слот 15 – наиболее низкий. Отключение слота запроса IRQ в одном из регистров VICVectCntl не отключает соответствующее прерывание непосредственно, а просто приводит к замене его формы на невекторизованную	R/W	0xFFFF F200-23C	1 в бите 5: векторный слот запроса IRQ включен и может производить уникальный адрес сервисной подпрограммы обработки прерывания (ISR), когда разрешен назначенный запрос прерывания или программного прерывания, который классифицируется как запрос IRQ и присутствует (имеет место). В битах 4:0 номер запроса прерывания или программного прерывания, назначенного на этот векторный слот запроса IRQ
VICVectCntl0	Регистр управления вектором 0	R/W	0xFFFF F200	
VICVectCntl1	Регистр управления вектором 1	R/W	0xFFFF F204	
VICVectCntl2	Регистр управления вектором 2	R/W	0xFFFF F208	
VICVectCntl3	Регистр управления вектором 3	R/W	0xFFFF F20C	
VICVectCntl4	Регистр управления вектором 4	R/W	0xFFFF F210	
VICVectCntl5	Регистр управления вектором 5	R/W	0xFFFF F214	
VICVectCntl6	Регистр управления вектором 6	R/W	0xFFFF F218	
VICVectCntl7	Регистр управления вектором 7	R/W	0xFFFF F21C	
VICVectCntl8	Регистр управления вектором 8	R/W	0xFFFF F220	
VICVectCntl9	Регистр управления вектором 9	R/W	0xFFFF F224	
VICVectCntl10	Регистр управления вектором 10	R/W	0xFFFF F228	
VICVectCntl11	Регистр управления вектором 11	R/W	0xFFFF F22C	
VICVectCntl12	Регистр управления вектором 12	R/W	0xFFFF F230	
VICVectCntl13	Регистр управления вектором 13	R/W	0xFFFF F234	
VICVectCntl14	Регистр управления вектором 14	R/W	0xFFFF F238	
VICVectCntl15	Регистр управления вектором 15	R/W	0xFFFF F23C	

ти для доступа к коду или данным производится только в том случае, если при текущем содержимом наборов защёлок нельзя осуществить операции выборки кода или данных. После сброса по умолчанию модуль MAM отключен.

Регистр управления MAM (MAMCR – 0xE01FC000). Битовая структура регистра MAMCR приведена в табл. 22. Два бита конфигурации этого регист-

ра задают три возможных режима MAM, как показано в таблице.

Регистр управления тактирования MAM (MAMTIM – 0xE01FC004). Битовая структура регистра MAMTIM приведена в табл. 23.

Для системной тактовой частоты, меньшей 20 МГц, значение MAMTIM может быть равным 1. Для системной тактовой частоты, лежащей в диапазоне от 20 до 40 МГц, рекомендуется значение MAMTIM, равное 2 (2 периода cclk), а для системной тактовой частоты, большей 40 МГц, рекомендуется значение MAMTIM, равное 3 (3 периода cclk).

Таблица 25. Связь источников прерываний МК с контроллером векторов прерываний VIC

Блок	Флаги	Канал VIC #
WDT	Прерывание от сторожевого таймера (WDINT)	0
–	Зарезервирован только для программных прерываний	1
Ядро ARM	Встроенный ICE, DbgCommRx	2
	Встроенный ICE, DbgCommTx	3
TIMER0	Совпадение 0 – 3 (MR0, MR1, MR2, MR3)	4
	Захват 0 – 3 (CR0, CR1, CR2, CR3)	
TIMER1	Совпадение 0 – 3 (MR0, MR1, MR2, MR3)	5
	Захват 0 – 3 (CR0, CR1, CR2, CR3)	
UART0	Состояние линии Rx (RLS)	6
	Регистр передачи пуст (THRE)	
	Принятые данные доступны (RDA)	
	Индикатор тайм-аута (CTI)	
UART1	Состояние линии Rx (RLS)	7
	Регистр передачи пуст (THRE)	
	Принятые данные доступны (RDA)	
	Индикатор тайм-аута (CTI)	
	Прерывание по состоянию модема (MSI)	
PWM0	Совпадение 0 – 6 (MR0, MR1, MR2, MR3, MR4, MR5, MR6)	8
FC	SI (смена состояния)	9
SPI0	Флаг прерывания от SPI (SPIF)	10
	Режим ошибки (MODF)	
SPI1	Флаг прерывания от SPI (SPIF)	11
	Режим ошибки (MODF)	
PLL	Петля ФАПЧ замкнута (PLOCK)	12
RTC	Счетчик инкрементирован (RTCCIF)	13
	Тревога (RTCALF)	
Управление системой	Внешнее прерывание 0 (EINT0)	14
	Внешнее прерывание 1 (EINT1)	15
	Внешнее прерывание 2 (EINT2)	16
	Внешнее прерывание 3 (EINT3)	17
A/D	АЦП	18
CAN	CAN и фильтр приема	19
	CAN1 Tx	20
	CAN2 Tx	21
	CAN3 Tx*	22
	CAN4 Tx*	23
	Зарезервированы	24, 25
	CAN1 Rx	26
	CAN2 Rx	27
	CAN3 Rx*	28
	CAN4 Rx*	29
	Зарезервированы	30, 31

* Только у LPC2194/2292/2294, иначе зарезервирован.

КОНТРОЛЛЕР ВЕКТОРОВ ПРЕРЫВАНИЙ (VIC)

Входящий в состав всех устройств семейства LPC2000 контроллер векторов прерываний (VIC) имеет следующие особенности:

- архитектура ARM PrimeCell™;
- 32 входа запросов прерываний;
- 16 векторов прерываний (IRQ);
- 16 уровней приоритета, динамически назначаемых запросам прерываний;
- генерация программного прерывания.

Контроллер (VIC) обслуживает 32 входа запросов прерываний, которые он может назначать для обслуживания в трёх категориях: быстрый запрос прерывания (FIQ), векторизованный запрос прерывания (IRQ) и невекторизованный запрос прерывания (IRQ). Эти назначения могут быть запрограммированы. Это значит, что приоритеты прерываний от различных периферийных устройств могут динамически назначаться и корректироваться программно.

Запрос FIQ имеет самый высокий приоритет. Если в данный момент времени поступил более чем один запрос FIQ, то контроллер векторов прерываний подаёт на процессор ARM сигналы запросов FIQ, объединённые в соответствии с логической функцией OR. Если в текущий момент времени имеется более чем один запрос FIQ, то сервисная программа сначала читает слово из контроллера векторов прерываний, которое идентифицирует источники, запросившие прерывания.

Векторизованные запросы IRQ имеют средний приоритет. Только 16 из 32 возможных запросов могут быть назначены контроллером в

эту категорию. Любой из 32 запросов может быть назначен на любой из 16 слотов векторизованных запросов прерываний, среди которых слот 0 имеет самый высокий приоритет, а слот 15 – самый низкий. Невекторизованные запросы прерываний имеют самый низкий приоритет.

VIC объединяет в соответствии с логической функцией OR сигналы от всех векторизованных и невекторизованных запросов прерываний (IRQ) для их подачи на процессор ARM. Сервисная программа обслуживания запроса прерывания (IRQ) читает регистр из VIC и производит переход на требуемый вектор. Если поступает любой из векторизованных запросов прерывания, то VIC выделяет для него адрес с самым высоким приоритетом, соответствующий сервисной программе обслуживания запросов прерываний. В ином случае VIC по умолчанию выделяет для запроса адрес подпрограммы, которая обслуживает все невекторизованные запросы прерываний. Эта выделяемая по умолчанию подпрограмма читает другой регистр VIC, чтобы видеть, какие запросы прерываний в данный момент являются активными. Все регистры контроллера векторов прерываний имеют размер слова.

Блок-схема VIC приведена на рис. 13. Описания регистров VIC и функции их битов приведены в табл. 24. Все регистры (кроме VICProtection и VICVectCntl0) состоят из 32 битов, которые имеют одинаковые функции. Регистр VICProtection – однобитовый, а регистры VICVectCntl0 – VICVectCnt15 – 5-битовые. Значения всех битов регистров после сброса равны «0». Это значение относится к данным, содержащимся только в используемых битах, и не включает содержимое зарезервированных битов.

Источники прерываний

В табл. 25 приведён список источников прерываний для каждого периферийного устройства для МК LPC2119/2129/2194/2292/2294. К каждому периферийному устройству подключена одна линия прерывания, связанная с контроллером векторов прерываний. Кроме того, каждое периферийное устройство может иметь несколько внутренних флагов прерываний. Индивидуаль-

ные флаги прерываний могут представлять более одного источника прерываний.

Примечания к использованию VIC

Несмотря на то что в качестве генераторов запросов FIQ могут быть выбраны многие источники (VICIntSelect), для обслуживания всех доступных/существующих запросов FIQ должна быть выделена только одна сервисная подпрограмма обработки прерывания.

После завершения сервисной подпрограммы обработки прерывания сброс флага прерывания на уровне периферии сведётся к изменению состояний некоторого множества битов в регистрах VIC (VICRawIntr, VICFIQStatus и VICIRQStatus). Также прежде, чем может быть обслужено следующее прерывание, необходимо, что была выполнена запись в регистр VICVectAddr до возвращения из прерывания. Эта запись сбрасывает соответствующий флаг прерывания во внутренней аппаратной логике VIC.

Чтобы запретить прерывание в VIC, необходимо сбросить соответствующий бит в регистре VICIntEnClr, который, в свою очередь, сбрасывает связанный с ним бит в регистре VICIntEnable. Также производится обращение к регистрам VICSoftInt и VICSoftIntClear. Биты регистра VICSoftIntClear будут сбрасывать соответствующие им биты в регистре VICSoftInt. Например, если VICSoftInt = 0x0000 0005 и бит 0 должен быть сброшен, то значение регистра VICSoftIntClear = 0x0000 0001 выполнит эту задачу. Перед новой операцией сброса того же самого бита в регистре VICSoftInt, для проведения которой предназначен соответствующий бит регистра VICSoftIntClear, необходимо предварительно задать VICSoftIntClear = 0x0000 0000. Другими словами, запись 1 в любой бит регистра с суффиксом Clear будет иметь одноразовый эффект для соответствующего бита регистра, которым он управляет.

Если разрешено прерывание от сторожевого таймера при антипереполнении или недействительной (инва-

лидной) последовательности счёта, то нет никакого способа сбросить это прерывание. Единственный способ возврата из такого прерывания заключается в его запрещении в VIC.

ЛИТЕРАТУРА

1. Редькин П.П. Микроконтроллеры ARM7. Семейство LPC2000 компании Philips: полное руководство пользователя. М.: Додэка-XXI, 2006 (готовится к выпуску).
2. LPC2119/2129/2194/2292/2294 USER MANUAL. Feb. 2004. Philips Semiconductors (www.LPC2000.com).
3. ARM 7TDMI Data Sheet. Document Number: ARM DDI 0029E. August 1995. Copyright Advanced RISC Machines Ltd (ARM) 1995 (www.arm.com).
4. ARM7TDMI-S Technical Reference Manual (Rev 4) Copyright © ARM Limited. ARM DDI 0234A (www.arm.com).
5. ARM Instruction Set. Quick Reference Card (www.arm.com).
6. Thumb Instruction Set. Quick Reference Card (www.arm.com).



Продолжение следует

Новости мира News of the World Новости мира

Delta-Sigma АЦП для приложений измерительной техники

Cirrus Logic расширяет семейство продуктов CS5531/32/33/34 интегрированных Delta-Sigma АЦП новым элементом CS5530. Имея маломощный измерительный усилитель и разрешение 24 разряда, преобразователь является идеальным решением для научных-технических приложений, связанных с измерениями, и управления производственными процессами. АЦП имеет дифференциальный вход, фиксированный коэффициент усиления 64, шумы 12 нВ/Гц^{1/2}. Цифровое масштабирование обеспечивает дополнительное усиление со значением коэффициента до 40. Трёхпроводной SPI- и Microwire-совместимый последовательный интерфейс даёт возможность подключения к распространённым микроконтроллерам. CS5530 предлагается в 20-контактном корпусе TSSOP.

www.cirrus.com

8-разрядные микроконтроллеры с Flash-памятью и АЦП с разрешением 12 разрядов от Microchip

Microchip представляет семейство PIC18F4523, состоящее из четырёх 8-раз-

рядных микроконтроллеров с Flash-памятью и АЦП с разрешением 12 разрядов, содержащих до 13 каналов. PIC18F4523 и PIC18F4423 поставляются в 44-контактном корпусе QFN или TQFP и 40-контактном корпусе PDIP, PIC182523 и PIC18F2423 поставляются в 28-контактном корпусе QFN, SOIC и SPDIP и соответствуют директивам RoHS.

Характеристики семейства PIC18F4523:

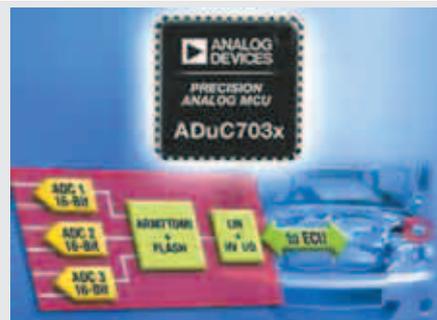
- производительность 10 MIPS;
- Flash-память программ 16 или 32 Кб;
- EEPROM-память данных 256 байт;
- 2 аналоговых компаратора с входным мультиплексором;
- 1 или 2 Capture/Compare/ШИМ-модуля;
- I²C- и SPI-модули связи;
- USART-модуль с поддержкой RS-485, RS-232 и LIN;
- один 8-разрядный и три 16-разрядных таймера;
- внутренний генератор 32 МГц.

Семейство PIC18F4523 поддерживается свободно предоставляемым матобеспечением.

www.microchip.com

Микросхема контроля автомобильных аккумуляторов

Фирма Analog Devices представляет ADuC703x, семейство микросхем конт-



роля автомобильных аккумуляторов. Представители семейства измеряют такие физические параметры аккумулятора, как напряжение, ток и температуру, и по этим значениям определяют степень заряда, а также общее состояние батареи. Микросхемы питаются непосредственно от автомобильного аккумулятора и содержат до трёх 16-разрядных АЦП, микроконтроллер типа ARM7, LIN-трансивер, Flash-память, PGA, дополнительные сопротивления для прямого измерения напряжения батареи, а также внешние или встроенные датчики температуры. Семейство обеспечивает непрерывное определение состояния батареи даже при выключенном двигателе, потребляет 300 мкА в Low-Power-режиме и менее 10 мА в нормальном режиме работы.

www.analog.com