

Практический курс сквозного проектирования цифровых устройств на основе ПЛИС фирмы Xilinx

(часть 17)

Валерий Зотов (Москва)

Семнадцатая часть курса знакомит с параметрами отчётов о выполнении процедуры анализа временных характеристик, который проводится после отображения логического описания проекта на физические ресурсы ПЛИС и после размещения и трассировки проектируемого устройства в кристалле, и параметрами полной временной модели разрабатываемого устройства. Рассматривается выполнение процесса реализации разрабатываемого устройства в ПЛИС с архитектурой FPGA. Приводятся необходимые сведения о структуре и содержании отчётов, формируемых на этом этапе.

КРАТКОЕ ОПИСАНИЕ ПАРАМЕТРОВ ОТЧЁТА О ВЫПОЛНЕНИИ ПРОЦЕДУРЫ АНАЛИЗА ВРЕМЕННЫХ ХАРАКТЕРИСТИК, ПРОВОДИМОГО ПОСЛЕ ОТОБРАЖЕНИЯ ЛОГИЧЕСКОГО ОПИСАНИЯ ПРОЕКТА НА ФИЗИЧЕСКИЕ РЕСУРСЫ КРИСТАЛЛА ПЛИС СЕМЕЙСТВ FPGA

Как уже упоминалось, отчёт проводится после отображения логического описания проекта на физические ресурсы кристалла ПЛИС семейств FPGA.

Параметр *Report Type* определяет уровень детализации отчёта, формируемого по результатам проведённого анализа временных характеристик проекта. Выпадающий список содержит два возможных значения: *Error Report* и *Verbose Report*. При использовании значения *Error Report*, установленного по умолчанию, отчёт содержит только сообщения об ошибках и данные задержек сигналов для соответствующих цепей. Значение *Verbose Report* предписывает включать в состав отчёта подробную информацию о задержках всех цепей проекта, для которых установлены временные ограничения.

Значение параметра *Number of Items in Error/Verbose Report (0 – 2 Billion)* указывает максимальное количество элементов, представленных в отчёте об ошибках. По умолчанию

этот параметр принимает значение «3». Для его изменения следует после активизации соответствующего поля редактирования воспользоваться клавиатурой или кнопками в правой части этого поля.

Параметр *Perform Advanced Analysis* предоставляет возможность проведения углублённого анализа выполнения всех временных ограничений, указанных в проекте. Значение «выключено», установленное по умолчанию, запрещает проведение расширенного анализа.

Параметр *Change Device Speed To* рекомендуется применять для исследования временных характеристик критических цепей проекта при изменении быстродействия кристалла, используемого для его реализации. Варьируя значение этого параметра, можно определить быстродействие ПЛИС, необходимое для удовлетворения всех временных ограничений проекта. Содержание выпадающего списка возможных значений этого параметра зависит от выбранного семейства и типа ПЛИС для реализации проектируемого устройства.

Значение параметра *Report Uncovered Paths (Number of Items)* указывает количество сообщений о цепях, которые не подвергались влиянию временных ограничений. По умолчанию информация об указанных цепях не включается в состав формируемого отчёта о результатах статического временного анализа, выпол-

няемого после отображения логического описания проекта на физические ресурсы кристалла.

С помощью параметра *Report Fastest Path(s) in Each Constraint* можно добавить в отчёт информацию о наиболее быстрых путях распространения сигналов, которая относится к заданным временным ограничениям, устанавливаемым выражениями *OFFSET OUT* и *FROM:TO*. Эта информация позволяет оценить имеющиеся ресурсы для выполнения указанных временных ограничений. При использовании значения «выключено», установленного по умолчанию, сведения о наиболее быстрых путях распространения сигналов не включаются в состав отчёта о выполнении процедуры анализа временных характеристик, проводимого после отображения логического описания проекта на физические ресурсы кристалла ПЛИС семейств FPGA.

КРАТКОЕ ОПИСАНИЕ ПАРАМЕТРОВ ОТЧЁТА О ВЫПОЛНЕНИИ ПРОЦЕДУРЫ АНАЛИЗА ВРЕМЕННЫХ ХАРАКТЕРИСТИК, ПРОВОДИМОГО ПОСЛЕ РАЗМЕЩЕНИЯ И ТРАССИРОВКИ ПРОЕКТА В КРИСТАЛЛ ПЛИС СЕМЕЙСТВ FPGA

Параметры *Report Type*, *Number of Items in Error/Verbose Report (0 – 2 Billion)*, *Perform Advanced Analysis*, *Change Device Speed To*, *Report Uncovered Paths (Number of Items)* и *Report Fastest Path(s) in Each Constraint* выполняют те же функции, что и одноименные опции, рассмотренные выше, но относятся к отчёту о результатах анализа временных характеристик, который осуществляется после выполнения размещения и трассировки проектируемого устройства в кристалле.

С помощью параметра *Stamp Timing Model Filename* можно указать названия файлов, которые описывают вре-

менную модель проекта и могут использоваться в процессе анализа результатов размещения и трассировки. Чтобы изменить значение этого параметра, нужно активизировать соответствующее поле редактирования, после чего воспользоваться клавиатурой или стандартной панелью выбора файла, доступ к которой открывает кнопка с пиктограммой в виде многоточия «...», появляющаяся в правой части поля.

Параметр *Timing Specification Interaction Report File* позволяет задать название файла отчёта со спецификацией взаимосвязей Timing Specification Interaction (TSI) и его расположение на диске. Для модификации этого параметра используются те же способы определения названия файлов, что и для предыдущего параметра.

КРАТКОЕ ОПИСАНИЕ ПАРАМЕТРОВ, ПРЕДНАЗНАЧЕННЫХ ДЛЯ УПРАВЛЕНИЯ ФОРМИРОВАНИЕМ ПОЛНОЙ ВРЕМЕННОЙ МОДЕЛИ ПРОЕКТИРУЕМЫХ УСТРОЙСТВ В КРИСТАЛЛАХ ПЛИС С АРХИТЕКТУРОЙ FPGA

Как и для проектов, разрабатываемых на базе ПЛИС семейств CPLD, таблица параметров формируемой полной временной модели разбита на три секции: *General Simulation Model Properties*, *VHDL Simulation Model Properties* и *Verilog Simulation Model Properties*. Однако состав параметров, представленных в этих секциях, отличается для устройств, реализуемых на основе кристаллов с архитектурой FPGA.

Параметры *Simulation Model Target*, *Generate Post-Fit Simulation Model*, *Bring Out Global Set/Reset Net as a Port*, *Global Set/Reset Port Name*, *Generate Testbench File*, *Rename Design Instance in Testbench File to* и *the NETGEN Command Line Options*, расположенные в первой части таблицы (*General Simulation Model Properties*), выполняют те же функции, что и при генерации полной временной модели проектируемых устройств, разрабатываемых на базе ПЛИС семейств CPLD. Эти функции были рассмотрены в тринадцатой части настоящего цикла публикаций.

Параметр *Device Speed Grade/Select ABS Minimum* позволяет при формировании полной временной модели

проектируемого устройства изменить быстродействие кристалла, выбранного для его реализации. Содержание выпадающего списка возможных значений данного параметра зависит от семейства и типа ПЛИС, указанных при создании проекта. Генерация полной модели разрабатываемого устройства для различных вариантов быстродействия ПЛИС, определяемых значением параметра *Device Speed Grade/Select ABS Minimum*, открывает возможность выбора оптимального класса быстродействия кристалла.

Значение параметра *Generate Multiple Hierarchical Netlist Files* определяет необходимость генерации файлов списков соединений (netlist) и описаний задержек (SDF) для каждого уровня иерархии проекта. Эта опция доступна только в том случае, если для параметра *Retain Hierarchy* указано значение «включено». По умолчанию для параметра *Generate Multiple Hierarchical Netlist Files* установлено значение «выключено», запрещающее формирование указанных файлов при создании полной временной модели проектируемого устройства.

С помощью параметра *Bring Out Global Tristate Net as a Port* предоставляется возможность включения глобальной цепи управления тристабильными выходами кристалла в описание интерфейса моделируемого объекта. Если данный параметр находится в состоянии «включено», то глобальный сигнал GTS, предназначенный для перевода всех выходов кристалла в состояние высокого импеданса, преобразуется в формат порта объекта, который представлен в описании верхнего уровня иерархии проекта. Значение «выключено», принятое по умолчанию, соответствует обычному представлению глобальной цепи управления тристабильными выходами ПЛИС. При этом соответствующий порт не включается в состав интерфейса объекта верхнего уровня иерархии проекта.

Значение параметра *Global Tristate Port Name* позволяет указать название порта, соответствующего глобальной цепи управления тристабильными выходами кристалла. По умолчанию название порта совпадает с идентификатором этой цепи – GTS_PORT. Новое значение этого параметра вводится с помощью клавиатуры после активизации соответствующего поля

редактирования. Эта опция доступна только в том случае, если параметр *Bring Out Global Tristate Net as a Port* установлен в состояние «включено».

Параметры *Rename Top Level Architecture To*, *Reset On Configuration Pulse Width*, *Generate Architecture Only (No Entry Declaration)*, представленные во второй секции таблицы (*VHDL Simulation Model Properties*), имеют то же назначение, что и в проектах, реализуемых на основе кристаллов семейств CPLD.

Значение параметра *Tristate On Configuration Pulse Width* определяет длительность импульса, необходимого для моделирования компонентов, осуществляющих инициализацию глобальных цепей управления состоянием тристабильных выходов кристалла в начальный момент времени (*Tristate on Configuration, TOC*). Эта опция доступна только в том случае, если глобальная цепь управления тристабильными выходами кристалла не используется в качестве порта объекта, который представлен в описании верхнего уровня иерархии проекта (когда параметр *Bring Out Global Tristate Net as a Port* установлен в состояние «выключено»).

Параметр *Output Extended Identifiers* используется для указания формы представления идентификаторов, которые заданы в исходных файлах в расширенном формате, в выходном VHDL-файле.

Информация о назначении параметров *Rename Top Level Module To*, *Include 'uselib Directive in Verilog File*, *Path Used in \$sdf_annotate*, *Do Not Escape Signal and Instance Names in Netlist*, которые находятся в третьей секции таблицы (*Verilog Simulation Model Properties*), приведена в тринадцатой части данного курса.

С помощью параметра *Include \$sdf_annotate function in Verilog File* определяется необходимость включения конструкции \$sdf_annotate в каждый формируемый файл списка соединений. Если в качестве средств моделирования выбрана программа ISE Simulator, то по умолчанию для этого параметра предлагается значение «выключено». Для всех других систем моделирования в качестве значения по умолчанию используется значение «включено».

Значение параметра *Include UNISIM Models in Verilog File* разрешает или запрещает включение модулей из уни-

фицированной библиотеки UNISIM в каждый файл списка соединений, формируемый при моделировании, которое выполняется после синтеза проектируемого устройства. Установка разрешающего значения этого параметра позволяет не указывать пути доступа к этим библиотечным модулям, но приводит к увеличению объёма создаваемых файлов и возрастанию времени компиляции. По умолчанию параметр *Include UNISIM Models in Verilog File* принимает значение «выключено», запрещающее присоединение библиотечных модулей UNISIM.

Параметр *Include SIMPRIM Models in Verilog File* применяется для управления включением модулей из унифицированной библиотеки SIMPRIM в каждый файл списка соединений, формируемый при моделировании, которое выполняется на различных фазах этапа реализации разрабатываемого устройства. При выборе разрешающего значения данного параметра можно не указывать пути доступа к библиотечным модулям SIMPRIM, но в этом случае возрастает размер формируемых файлов и длительность процесса компиляции. По умолчанию для параметра *Include SIMPRIM Models in Verilog File* предлагается значение «выключено», которое запрещает внедрение библиотечных модулей SIMPRIM в создаваемые файлы.

КРАТКОЕ ОПИСАНИЕ ПАРАМЕТРОВ ПРИМЕНЕНИЯ ТЕХНОЛОГИИ XPLORER В ПРОЦЕССЕ РЕАЛИЗАЦИИ ПРОЕКТИРУЕМОГО УСТРОЙСТВА

С помощью параметра *Xplorer Mode* выбирается требуемый результат, достигаемый при использовании технологии *Xplorer*. Выпадающий список возможных значений этого параметра содержит два варианта: *Timing Closure* и *Off*. При выборе варианта *Timing Closure* процесс размещения и трассировки проекта разрабатываемого устройства в кристалле выполняется несколько раз (максимальное число ограничивается значением параметра *Maximum Number of Iterations*) при различных сочетаниях значений параметров с целью выполнения всех временных ограничений, заданных в проекте. В случае использования значения *Off*, установленного по умолчанию, технология *Xplorer* на этапе реализации проектируемого устройства не применяется.

Опция *Turn Off Xplorer after Run Completes* предназначена для автоматического выбора значения параметра *Xplorer Mode* после завершения выполняемого цикла итераций технологии *Xplorer*. По умолчанию для данной опции используется значение «включено», при котором после окончания выполнения текущего цикла итераций для параметра *Xplorer Mode* устанавливается значение *Off*. Таким образом, для повторной активизации технологии *Xplorer* нужно вручную выбрать соответствующий вариант (*Timing Closure*) для параметра *Xplorer Mode*.

Значение параметра *Maximum Number of Iterations* определяет максимальное количество итераций выполнения процедур размещения и трассировки проектируемого устройства в кристалле, осуществляемых при активизации технологии *Xplorer*. Итерационный процесс прекращается в случае достижения результатов размещения и трассировки, которые соответствуют всем временным ограничениям, указанным в проекте, или при выполнении максимально допустимого количества повторений. Параметр *Maximum Number of Iterations* может принимать любые значения в диапазоне от 1 до 20. По умолчанию для этого параметра предлагается значение, равное 7.

Параметр *Enable Retiming* доступен только для проектов, реализуемых на базе ПЛИС семейств Virtex-4 и Virtex-5. Данный параметр разрешает или запрещает передвижение триггеров относительно комбинационной логики в процессе размещения и трассировки разрабатываемого устройства в кристалле. Такое перемещение позволяет добиться повышения максимального значения тактовой частоты проектируемого устройства. По умолчанию для параметра *Enable Retiming* предлагается значение «включено», разрешающее перемещение триггеров относительно комбинационной логики.

С помощью параметра *Macro Search Path* можно указать полное название каталога, в котором следует осуществлять дополнительный поиск описаний макросов, компонентов схем, определяемых с помощью атрибутов FILE, промежуточных файлов NGO, а также файлов NGC и EDIF. Название требуемого раздела может быть вве-

дено непосредственно с помощью клавиатуры после активизации поля редактирования значения этого параметра или выбрано при использовании стандартной диалоговой панели, которая открывается при нажатии кнопки с пиктограммой в виде многоточия «...». В строке значения параметра *Macro Search Path* можно указать названия нескольких каталогов, разделяя их символом «|».

Параметр *Other Xplorer Command Line Properties* предоставляет возможность указания дополнительных команд, которые должны выполняться при активизации технологии *Xplorer*.

ВЫПОЛНЕНИЕ ЭТАПА РЕАЛИЗАЦИИ ПРОЕКТИРУЕМЫХ УСТРОЙСТВ НА БАЗЕ ПЛИС СЕМЕЙСТВ FPGA ФИРМЫ XILINX

После установки требуемых значений параметров для всех процедур реализации проекта следует подтвердить их нажатием клавиши ОК в нижней части диалоговой панели. Далее следует активизировать процесс реализации (*Implementation*) или поочередно каждую его фазу. Активизация процесса в полном объёме осуществляется двойным щелчком левой кнопки мыши на строке *Implement Design* в окне процедур *Processes Window* управляющей оболочки Навигатора проекта (*Project Navigator*).

Информация о ходе его выполнения отображается в окне консольных сообщений и заносится в соответствующие отчёты. Завершение выполнения каждой фазы этого процесса отмечается соответствующей пиктограммой в строке с её названием и сопровождается формированием отчёта о полученных результатах. Чтобы оценить результаты выполнения этапа реализации, рекомендуется поочередно изучить каждый сформированный отчёт. Содержание всех информационных файлов, генерируемых в процессе выполнения этапа реализации, для наглядности рассматривается далее на примере отчётов о результатах трансляции, отображения логического описания проекта на физические ресурсы кристалла, размещения и трассировки проекта счётчика Джонсона, реализуемого на базе ПЛИС xc3s200a. Процесс синтеза этого устройства был рассмотрен в двенадцатой части данного курса.

СОДЕРЖАНИЕ ОТЧЁТА О ВЫПОЛНЕНИИ ПРОЦЕССА ТРАНСЛЯЦИИ СИНТЕЗИРОВАННОГО ОПИСАНИЯ ПРОЕКТИРУЕМОГО УСТРОЙСТВА

Для просмотра отчёта о выполнении трансляции синтезированного описания разрабатываемого устройства следует щёлкнуть левой кнопкой мыши на строке *Translation Report* во встроенной панели *FPGA Design Summary*, которая отображается в области расположения рабочих окон Навигатора проекта или дважды щёлкнуть на аналогичной строке в окне процессов *Processes Window*. При этом содержание данного отчёта отображается в новом рабочем окне встроенного редактора управляющей оболочки средств проектирования Xilinx ISE. Вариант отчёта о трансляции счётчика Джонсона выглядит следующим образом.

Command Line:

```
D:\Xilinx\bin\nt\ngdbuild.exe
-ise D:/Prj_n/jc2_vhd/jc2_vhd.ise
-intstyle ise -dd _ngo -nt time-
```

```
stamp -uc jc2_top.ucf -p -ft256-5
jc2_top.ngc jc2_top.ngd
Reading NGO file
"D:/Prj_n/jc2_vhd/jc2_top.ngc"
...
Applying constraints in
"jc2_top.ucf" to the design...
INFO:NgdBuild:738 - A case sensitive search for the INST, PAD, or NET element referred to by a constraint entry in 'jc2_top.ucf' that accompanies this design has failed, while a case insensitive search is in progress. The result of the case insensitive search will be used, but messages will accompany each and every use of a case insensitive result. Constraints are case sensitive with respect to user-specified identifiers, which includes names of logic elements in a design.
INFO:NgdBuild:740 - "jc2_top.ucf"
Line 2: Found case insensitive match for NET name 'left'. NET is 'LEFT'.
```

```
Checking timing specifications
...
Checking Partitions ...
Checking expanded design ...
Partition Implementation Status
-----
No Partitions were found in this design.
-----
NGDBUILD Design Results Summary:
Number of errors: 0
Number of warnings: 0
Total memory usage is 70444 kilobytes
Writing NGD file "jc2_top.ngd"
...
Writing NGDBUILD log file
"jc2_top.bld"...
```

Приведённый отчёт содержит информацию о каждом шаге трансляции (чтении исходного файла NGO, проверке временных спецификаций, верификации логической структуры проекта), а также об ошибках и предупреждениях. При успешном завершении этого процесса формируется основной файл в формате Xilinx NGD.

Продолжение следует

