

# Программное обеспечение для анализа схемотехнического проекта в базисах ПЛИС и БМК

Сергей Артёмов (Московская обл.)

В статье рассматривается программное обеспечение ConvChip, реализующее алгоритм анализа схемотехнических проектов, представленных одновременно в базисах ПЛИС и БМК. Этот алгоритм позволяет исследовать причины появления расхождений временных диаграмм при моделировании схемы в базисах ПЛИС и БМК.

## ВВЕДЕНИЕ

В настоящее время широкое распространение получили программируемые логические интегральные схемы (ПЛИС), которые позволяют специалисту создавать на одной или нескольких микросхемах сложные цифровые устройства, имеющие высокую степень интеграции. При этом весь технологический цикл проектирования ПЛИС (ПЛИС), начиная от разработки схемы, тестов ПЛИС (ТПЛИС) и заканчивая программированием, может выполнить один специалист.

Современные ПЛИС выпускаются как полностью готовые изделия. Пользователю не требуется обращаться к изготовителю для выполнения каких-либо завершающих операций, поскольку программирование ПЛИС можно осуществить при помощи компьютера, к которому подключен программатор. Сейчас ПЛИС широко используются на этапе создания опытных образцов, а также для выпуска мелкосерийных партий, к которым не предъявляются жёсткие требования. Однако ввиду невысоких параметров микросхем ПЛИС коммерческого исполнения, их применение в аппаратуре, работающей в жёстких климатических условиях, невозможно [1]. ПЛИС промышленного и космического исполнения обладают лучшими параметрами. Однако при среднесерийном производстве они обходятся значительно дороже полужаказных микросхем, выпускаемых на базовых матричных кристаллах (БМК). С другой стороны, в отличие

от ПЛИС, микросхемы на БМК невозможно программировать, что не позволяет использовать их для быстрого создания опытных образцов.

В итоге для ускорения разработки первоначально создаётся проект в базисе ПЛИС (БПЛИС), а после отладки и тестирования аппаратуры схему переводят в базис БМК (ББМК) для последующего выпуска партии микросхем.

## АЛГОРИТМ АНАЛИЗА СХЕМЫ

После выполнения перевода проекта из БПЛИС в ББМК в большинстве случаев происходит расхождение временных диаграмм (РВД) работы устройства. Естественно, что такие расхождения анализируются только в те моменты, когда схема находится в стабильном состоянии.

Преобладающей причиной появления РВД является неадекватная работа триггеров из-за различных динамических параметров элементов в базисах ПЛИС и БМК [2].

Программное обеспечение (ПО) ConvChip, рассматриваемое в данной статье, позволяет провести анализ причин появления таких РВД. Для этого ПО реализует алгоритм локализации РВД.

Алгоритм локализации РВД содержит комплекс мероприятий, целью которых является вычисление предположений о причинах появления РВД между ТПЛИС и тестом в базисе БМК (ТБМК).

Исходный тест представлен в системах автоматизированного проек-

тирования (САПР) в виде графических временных диаграмм (ВД), которые отражают все переходные процессы, протекающие в схеме. Таким образом, любое изменение входного воздействия (ВВ) может быть представлено несколькими тестовыми векторами (ТВ), но только последний из них для каждого ВВ содержит наименьшее количество переходных процессов [3]. Однако в качестве входных данных для ПО ConvChip используется тест после его экспорта в любой текстовый формат. Тест в экспортном формате представляет собой текстовую интерпретацию графических ВД. Такой тест содержит набор ТВ  $V_i$ , имеющих привязку к временной сетке  $T_i$ . Таким образом, ТПЛИС описывается как:

$$V = \bigcup_{i=1}^{|V_{TPI}|} M^i \quad \text{при}$$

$$M^i = \{V_{ir}^i, V_{pp1}^i, V_{pp2}^i, \dots, V_{ppQ}^i, V_{ow}^i\}. \quad (1)$$

Здесь  $M^i$  – множество ТВ, которые появляются при подаче  $v_{ir}^i$ , т.е.  $i$ -го ВВ.

Итак,  $M^i$  состоит из стандартного набора трёх типов ТВ:

*1-й тип:*  $v_{ir}^i$  –  $i$ -е ВВ. Этот ТВ показывает место в тесте, в котором происходит очередное изменение состояния входов схемы;

*2-й тип:*  $v_{pp1}^i, v_{pp2}^i, \dots, v_{ppQ}^i$  – ТВ, обозначающие переходные процессы, которые появляются после подачи  $i$ -го ВВ  $v_{ir}^i$ .

*3-й тип:*  $v_{ow}^i$  – оптимальный тестовый вектор (ОТВ), т.е. вектор, который появляется непосредственно перед подачей следующего ВВ  $v_{ir}^{i+1}$ . Иными словами, ОТВ измеряется в конце подачи  $i$ -го ВВ. Фактически ОТВ показывает место в тесте, когда схема находится в наиболее устойчивом состоянии.

Пусть  $V_{it}, V_{pp}, V_{otv}$  – множества ВВ, переходных процессов и ОТВ соответственно, тогда:

$$V_{im}^i \in V_{it}, V_{ppk}^i \in V_{pp}, V_{otv}^i \in V_{otv}. \quad (2)$$

Любой  $i$ -й ТВ состоит из множества сигналов:

$$S_{INP}^i = \{S_{INP1}^i, S_{INP2}^i, \dots, S_{INPQ}^i\}$$

и

$$S_{OUT}^i = \{S_{OUT1}^i, S_{OUT2}^i, \dots, S_{OUTq}^i\} \quad (3)$$

соответственно для входов и для выходов, т.е.

$$V_x^i = S_{INP}^i \cup S_{OUT}^i. \quad (4)$$

Для выполнения этого алгоритма схема представляется как направленный граф, вершины которого соответствуют элементам  $e \in E$ , а рёбра – связям между ними [4]. Причём каждому  $e \in E$  ставится в соответствие пара чисел  $s_i^k / S_i^k$ , где  $s_i^k$  – сигнал на выводе  $i$ -го элемента в ТБМК, а  $S_i^k$  – в ТПЛИС, на котором ОТВ  $V_{otv}^k$ . Таким образом, РВД на  $i$ -м выводе элемента, на котором ОТВ описывается как:

$$S_i^k \in V_{otv}^k, s_i^k \in v_{otv}^k \Rightarrow s_i^k \neq S_i^k. \quad (5)$$

Рассмотрим фрагмент графа на рис. 1.

Причиной любых различий ответных реакций на выводе схемы  $Y$  является наличие внутри схемы некоторого элемента  $H$  (см. рис. 1) на выводе, у которого тоже есть различия ответных реакций в ТПЛИС и ТБМК. Такой элемент  $H$  называют причиной появления РВД на выводе  $Y$ . В свою очередь, причиной появления различий в ответных реакциях на выводе элемента  $H$  является существование элемента  $E$ , выход которого является источником сигналов для элемента  $H$ . На элементе  $E$  также наблюдаются различия в ответных реакциях, т.е. РВД. Такой элемент  $E$  называют *причиной РВД* по отношению к элементу  $H$ . В свою очередь элемент  $H$  является *следствием РВД* для элемента  $E$  (и так далее, вплоть до элемента  $A$  внутри схемы, на котором впервые появляются РВД). Таким образом формируются схемотехнические предположения (СП), состоящие из цепочек взаимосвязанных причин и следствий: начиная с этого элемента  $A$  вплоть до выхода схемы  $Y$ , на котором наблюдаются

различия между исходным ТПЛИС и конечным ТБМК на ОТВ [5].

Обозначим символом « $\rightarrow$ » одно такое СП. Слева от этого символа находится причина, а справа – следствие СП.

Алгоритм локализации РВД для схемы, представленной в разных базисах, состоит из нескольких этапов, которые будут показаны на примере рис. 1.

### Этап 1. Создание СП

Пусть  $R$  – выход схемы, на котором наблюдается РВД между:  $V_{otv} = (V_{otv}^1, \dots, V_{otv}^x, \dots, V_{otv}^n)$  из ТПЛИС и  $V_{otv} = (V_{otv}^1, \dots, V_{otv}^x, \dots, V_{otv}^n)$  из ТБМК. Тогда с выходом  $R$  ассоциировано множество  $E^*$  связанных между собой элементов  $e$ , на выходах которых наблюдается РВД на  $V_{otv}^k$ . Для элементов из  $E^*$  следует, что  $\forall e_i \in E^* \Rightarrow S_i^k \in V_{otv}^k, s_i^k \in v_{otv}^k \Rightarrow$

$$s_i^k \neq S_i^k, \forall V_{otv}^k \in V_{otv}^*, \forall v_{otv}^k \in v_{otv}^*. \quad (6)$$

Аналогично записывается для выхода  $R$ :

$$S_R^k \in V_{otv}^k, s_R^k \in v_{otv}^k \Rightarrow s_R^k \neq S_R^k. \quad (7)$$

Формирование СП выполняется следующим образом:

1. Выбирается элемент  $e_i \in E^*$ , на выводе которого наблюдается РВД;
2. Выполняется поиск элемента  $e_k \in E^*$ , хотя бы один вход которого соединён с выходом  $e_i$ ;
3. Формируется СП  $e_i \rightarrow e_k$ , в котором  $e_i$  является причиной, а  $e_k$  – следствием.

Таким образом, в общем виде будут сформированы следующие СП:

$$1) e_1 \rightarrow e_2; 2) e_2 \rightarrow e_3; 3) e_3 \rightarrow \dots \rightarrow e_{q-1}; 4) e_{q-1} \rightarrow e_q \text{ где } \forall e_i \in E^*, q = |E^*|. \quad (8)$$

Здесь  $e_1$  – наиболее удалённый элемент от  $R$ , а  $e_q$  наоборот, – наиболее близко расположенный к  $R$ . Тогда  $E_1, E_0, E_Z$  – множества элементов  $e_i \in E^*$ , на выходах которых наблюдаются РМ соответственно  $S_i = 1, S_i = 0, S_i = Z, s_i \in V_{otv}^* \in V_{otv}^*$ , т.е.  $E^* = E_1 \cup E_0 \cup E_Z$ . Причём не принципиально, какие сигналы  $s_i \in V_{otv}^* \in V_{otv}^*$  в ТБМК имеют эти элементы  $e_i \in E^*$ . Для элементов, у которых выход связан со входом, СП не выдвигается, т.е.  $e_k \rightarrow e_i$  при  $I = k$  не формируется.

### Комментарии к примеру из рис. 1 для данного этапа

Для примера на рис. 1 следует, что вывод схемы  $R = Y$  и  $E^* = (A, B, E, H, Y, O)$ .

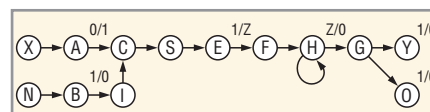


Рис. 1. Пример фрагмента схемы с РВД в виде графа

Сначала выдвигается предположение, что РВД на этом элементе (см. вершину  $A$ ) является СП для ближайшего РВД (см. вершину  $E$ ), которое появляется в схеме. Это ближайшее РВД является следствием для СП и т.д. вплоть до выхода  $Y$ . Из рисунка следует, что вершины  $X, N, I, F, G, C, S$  не участвуют в формировании СП (поскольку на них нет РВД), т.е.  $X, N, I, F, G, C, S \notin E^*$ . Рассуждая аналогично для РВД на выходе схемы  $R = O$ , получаем вместо (8) следующие СП:

$$1) A \rightarrow E, 2) B \rightarrow E, 3) E \rightarrow H, 4) H \rightarrow Y, 5) H \rightarrow O. \quad (9)$$

$H \rightarrow H$  не указывается в (9), хотя оно является правильным.

### Этап 2. Установка виртуальных модулей в схему

*Виртуальным модулем (ВМ)* называют подсхему, устанавливаемую на выход элемента, являющегося причиной, для проверки сформированных СП типа (8). ВМ предназначен для имитации сигнала на выходе причины СП при моделировании схемы в БМК. Объясним предназначение ВМ более подробно.

Пусть сигналы на выходе причины  $e_i$  в ТПЛИС и ТБМК при моделировании без ВМ будут соответственно  $S_i$  и  $s_i$ . Обозначим за  $s_i^k$  сигнал на выходе  $e_i$  после моделирования схемы в БМК с установленными ВМ. Если изначально реакция на выводе  $e_i$  не совпадала  $S_i \neq s_i$ , то при помощи ВМ выполняется имитация сигнала на выходе причины, так что в итоге  $S_i = s_i^k$ . Очевидно, что в схему в БПЛИС установка ВМ не выполняется.

Для конкретного  $e_i$  не имеет значения, какой сигнал  $s_i$  был в ТБМК. Значение имеет только тип сигнала  $S_i$  в ТПЛИС. Следовательно, все причины  $e_i$  для выражения (8) по типу сигнала  $S_i$  на выводе в ТПЛИС разделяются на три типа:

- 1) На выводе причины СП «логическая единица» в ТПЛИС, т.е.  $S_i = 1$ ;
- 2) На выводе причины СП «логический ноль» в ТПЛИС, т.е.  $S_i = 0$ ;
- 3) На выводе причины СП «высокоомное состояние» в ТПЛИС, т.е.  $S_i = Z$ .

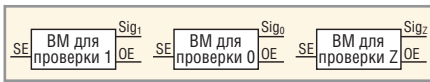


Рис. 2. Общий вид BM для имитации сигналов соответственно 1, 0 и Z

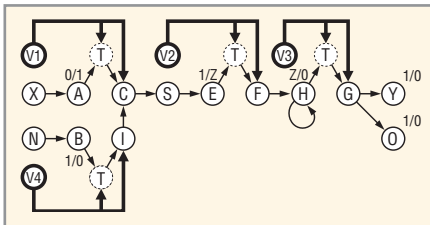


Рис. 3. Схема после подключения BM для проверки СП (9)

Для каждого из этих трёх типов существует BM, который подаёт необходимый тип сигнала  $S_i$  соответственно с выходов  $Sig_1, Sig_0, Sig_Z$ . На рис. 2 показан общий вид BM трёх этих типов.

В качестве BM может применяться любая стандартная схема BM из библиотеки или нестандартная схема BM, которая удовлетворяет следующим условиям:

1. Если  $SE = 1$ , то на выходах должны появляться сигналы  $Sig_1 = 1, Sig_0 = 0, Sig_Z = Z$ . Таким образом, при  $SE = 1$  вместо сигнала, предусмотренного работой схемы  $S_b$ , на выходе причины  $e_i \in E^*$  подаётся сигнал  $s_i$  с выхода  $Sig_1, Sig_0, Sig_Z$ ;
2. Если  $SE = 0$ , то на выходах будет сигнал  $Sig_1 = Z, Sig_0 = Z, Sig_Z = Z$ . Таким образом, при  $SE = 0$  вместо сигнала  $s_i$  с выводов  $Sig_1, Sig_0, Sig_Z$ , на выход причины  $e_i$  подаётся сигнал  $S_b$ , предусмотренный работой схемы в БМК;
3. Если  $OE = 1$ , то элемент Т пропускает сигнал  $S_i$  со своего входа на выход. Выход OE предназначен для управления элементом Т с третьим

состоянием, устанавливаемый на выход каждого  $e_i \in E^*$ ;

4. Если  $OE = 0$ , то элемент Т не пропускает сигнал  $S_i$  со своего входа на выход. При  $OE = 0$  сигнал на выход причины поступает с выхода  $Sig_1, Sig_0, Sig_Z$ .

Итак, на данном этапе алгоритма выполняется следующее:

1. Выбирается схема для BM в соответствии с этими условиями;
2. Выполняется установка BM на выходы всех причин  $e_i \in E^*$ , входящих в СП из выражения (8);
3. Управляющие входы SE всех BM устанавливаются как внешние выводы схемы. Именно с помощью SE осуществляется имитация переходных процессов  $S_{pp1}^i, S_{pp2}^i, \dots, S_{pp Qb}^i$ , которые появляются на  $i$ -м такте  $v_{tr}^i$ , в конце которого наблюдается РВД на  $v_{otr}^i$ .

**Комментарии к примеру из рис. 1 для данного этапа**

На рис. 3 показан способ подключения BM для рис. 1, т.е. для проверки сформированных СП (9).

Здесь Т – элемент в БМК с третьим состоянием, который управляется BM. Причём V1, V2, V3, V4 – BM, которые подают на элементы значения  $Sig_1 = 1, Sig_Z = Z, Sig_0 = 0$  и  $Sig_0 = 0$  соответственно. Таким образом, для анализа (9) используются следующие BM: 1) V1 для  $A \rightarrow E$ , 2) V2 для  $E \rightarrow H$ , 3) V3 для  $H \rightarrow Y$  и  $H \rightarrow O$ , 4) V4 для  $B \rightarrow E$ .

На рис. 4 показаны подсхемы, которые были выбраны для BM V1, V2, V3, V4 в соответствии с рис. 2. Символами на рисунке обозначены следующие элементы:

- Т – элементы с третьим состоянием, управляемые BM;

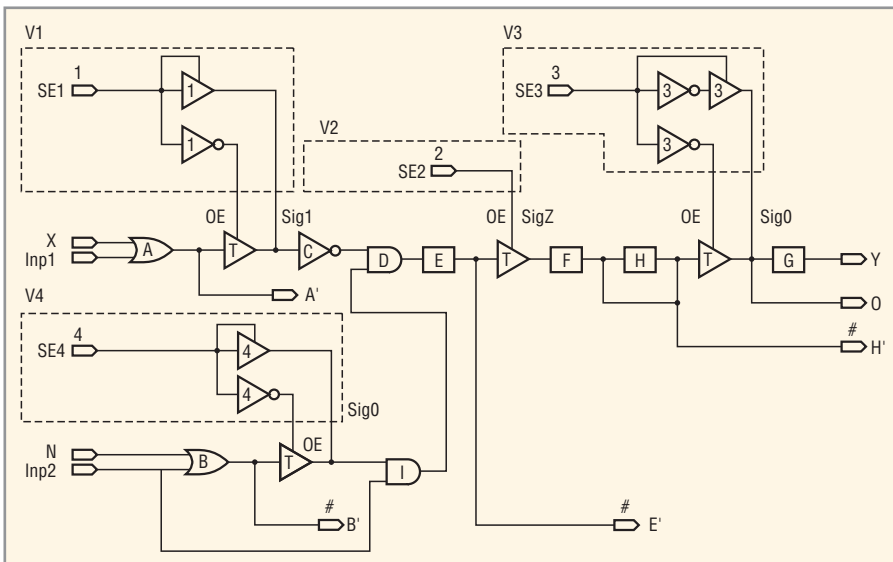


Рис. 4. Типовые структуры BM для проверки СП (9)

- 1, 2, 3, 4 – элементы, входящие в состав BM V1, V2, V3, V4 соответственно (границы BM показаны пунктиром);
- Y, O, X, N – выводы схемы;
- A', B', H', E – выходы элементов  $e_i \in E^*$ , на которых проверяются СП, т.е. это BBC, устанавливаемые для снятия РМ с выходов элементов A, B, E, H соответственно;
- Inp1, Inp2 – произвольные входы схемы в БМК.

Все остальные символы обозначают элементы из примера на рис. 1.

Например, целью установки V1 является проверка истинности СП  $A \rightarrow E$  с помощью имитации необходимого сигнала  $s_A^i$  на выходе элемента А, являющегося причиной СП по отношению к E. Иными словами, если до установки BM на выходе А было в ТПЛИС  $S_A = 0$  и в ТБМК  $s_A = 1, S_A \neq s_A$ , то после установки V1 в ТБМК будет  $s_A^i = 0$  и  $S_A = s_A^i$ , т.е. выполнится имитация сигнала на выходе А. Фактически при  $SE_1 = 1$  сигнал  $s_A^i = 1$  с выхода  $Sig_1$  BM V2 попадёт на выход А, а при  $SE_1 = 0$  попадёт сигнал со схемы  $s_A$ . Естественно, чтобы не было конфликтов сигналов  $s_A^i$  и  $s_A$ , элемент Т и BM работают в противофазе, т.е. при  $SE_1 = 1$  на элемент Т подаётся  $OE = 0$ , а при  $SE_1 = 0$  наоборот,  $OE = 1$ .

**Этап 3. Формирование управляющих сигналов для входов SE в ТБМК**

В соответствии с выдвинутыми СП выполняется ранжирование следствий СП. Ранжирование необходимо для того, чтобы во время моделирования установить порядок включения ( $SE = 1$ ) BM для проверки СП из (8). Ранг № 1 соответствует следствию СП, наиболее близко стоящему ко входу схемы (например, А и В на рис. 1), а максимальный ранг № N соответствует следствию СП на выходе схемы (например, О и Y на рис. 1). Таким образом, множество СП разделяются по номеру ранга  $j$  указанного в них следствия на отдельные группы. Пусть  $(e_1, e_2, \dots, e_k) \in E^*$  – множество элементов, участвующих в СП и имеющих следствие  $e$  одинакового ранга  $j \in [1, N]$ . Тогда имеем СП в количестве  $K$  штук, входящих в одну группу:  $e_1 \rightarrow e, e_2 \rightarrow e, \dots, e_1 \rightarrow e, \dots, e_k \rightarrow e$ . Обозначим за символ «+» объединение нескольких разных причин, имеющих одно одинаковое следствие  $e$ . Тогда запишем более компактную форму этого СП:  $e_1 + e_2 + \dots + e_i + \dots + e_k \rightarrow e$ .

Поскольку  $e$  является следствием ранга  $j$  для всех  $e_p$ , то назовём это выражение СП ранга  $j$ . Необходимо проверить не только СП  $e_i \rightarrow e, \forall i \in [1, k]$ , но и их комбинации. Следовательно, необходимо проверить  $2^k - 1$  таких комбинаций. Это необходимо, поскольку из  $\forall i, j \in [1, k]: e_i \rightarrow e, e_k \rightarrow e$  не следует  $e_i + e_k \rightarrow e$ . Иными словами, при *поочерёдном* включении ВМ (SE = 1) на  $e_p, e_k$  состояние выхода на  $e$  может отличаться от состояния при одновременном включении ВМ на  $e_p, e_k$ . Для формирования этих комбинаций осуществляется последовательный перебор причин  $e_k$  через операцию «+». Рассмотрим эти  $2^k - 1$  комбинаций: (1)  $e_1 \rightarrow e$ ; (2)  $e_2 \rightarrow e$ ; ..., (i)  $e_i \rightarrow e$ ; ..., (k)  $e_k \rightarrow e$ ; (k + 1)  $e_1 + e_2 \rightarrow e$ ; (k + 2)  $e_1 + e_2 + e_3 \rightarrow e$ ; ...; (2<sup>k</sup> - 2)  $e_1 + e_2 + \dots + e_{k-1} \rightarrow e$ ; (2<sup>k</sup> - 1)  $e_1 + e_2 + \dots + e_{k-1} + e_k \rightarrow e$ .

Все эти комбинации для удобства записываются через операцию #, т.е. выражение

$$e_1 \# e_2 \# \dots \# e_k \rightarrow e. \quad (10)$$

Для (10) необходим перебор  $2^k - 1$  комбинаций, которые для удобства записываются одним СП через операцию #. Обозначим за операцию \* объединение нескольких разных следствий  $e \rightarrow e_p, e \rightarrow e_k$ , имеющих одну общую причину, т.е. СП  $e \rightarrow e_i^* e_k$ . В тех СП, где стоит операция «\*», необходимости в переборе  $2^k - 1$  комбинаций нет, поскольку для проверки  $e \rightarrow e_p, e \rightarrow e_k$  достаточно проверить только вариант  $e \rightarrow e_i^* e_k$ , а необходимость проверки  $e \rightarrow e_i$  и  $e \rightarrow e_k$  по отдельности отпадает.

Для проверки этих  $2^k - 1$  комбинаций, образуемых СП из (10) на одном  $V_{OTV}^X \in V_{OTV}^*$ , формируются ОТВ ( $V_{OTV1}^X, \dots, V_{OTV(2^k-1)}^X$ ) в количестве  $2^k - 1$  штук. Напомним, что  $V_{OTV}^*$  – множество ОТВ, на которых наблюдаются РВД. Каждому ставится в соответствие множество  $V_{OTV}^{**}$ , которое проверяет все СП типа (8), имеющие следствия всех рангов  $j \in [1, N]$  для РВД, появляющихся на конкретном  $V_{OTV}^X \in V_{OTV}^*$ . Аналогично (10) для проверки СП  $e_1' \rightarrow e', e_2' \rightarrow e', \dots, e_i' \rightarrow e', \dots, e_u' \rightarrow e'$  для причин  $(e_1', e_2', \dots, e_u') \in E^*$ , имеющих ранг  $j$  и следствие в виде  $e' \neq e$ , формируются другие  $2^u - 1$  штук ОТВ ( $V_{OTV1}^X, \dots, V_{OTV(2^u-1)}^X$ ), а следовательно:

$$e_1' \# e_2' \# \dots \# e_i' \# \dots \# e_u' \rightarrow e'. \quad (11)$$

Все множества ОТВ, которые описывают СП ранга  $j$ , объединяются в

множество  $V_{OTVj}^{**}$ . Например, для выражений (10) и (11) это множество:

$$V_{OTVj}^{**} = \left( V_{OTV1}^X, \dots, V_{OTV(2^k-1)}^X \right) \cup \left( V_{OTV1}^X, \dots, V_{OTV(2^u-1)}^X \right).$$

В общем виде для одного ранга  $j$  и конкретного  $V_{OTV}^X \in V_{OTV}^*$  получается множество ОТВ:

$$V_{OTVj}^{**} = \bigcup_{i=1}^{|C_j|} \left\{ V_{OTV1}^X, \dots, V_{OTV f(C_j)}^X \right\}, \quad (12)$$

где  $C_j$  – множество следствий ранга  $j$ , входящих в СП. Причём  $2^{f(C_j)}$  – количество ОТВ, формируемых для проверки  $i$ -го следствия СП,  $i \in [1, C_j]$ .

Здесь  $f(C_j)$  – функция, вычисляющая количество различных следствий, причём все следствия, описанные через операцию \*, не учитываются. Например, для (10) и (11) получим  $C_j = \{e, e'\}$ , причём при различных следствиях  $e \neq e'$  будет равно 2, а при  $e = e'$  – единице.

В свою очередь, такие  $V_{OTVj}^{**}$  из (12) объединяются в множество  $V_{OTV}^{**}$  ОТВ, формируемых для всех СП, состоящих из элементов  $E^*$ , т.е.:

$$V_{OTV}^{**} = \bigcup_{j=1}^N V_{OTVj}^{**}. \quad (13)$$

На каждом ОТВ из множества  $V_{OTVj}^{**}$  проверяется одна из  $2^k - 1$  комбинаций. Например, для выражения (10) при  $k = 3$  множество  $V_{OTVj}^{**}$  будет иметь  $|V_{OTVj}^{**}| = 8 - 1 = 7$ . Иными словами, из (10) получим  $e_1 \# e_2 \# e_3 \rightarrow e$ , которые проверяются ОТВ в количестве  $2^3 - 1 = 7$ :

- 1) SE<sub>1</sub> = 0, SE<sub>2</sub> = 0, SE<sub>3</sub> = 1, проверяется  $e_3 \rightarrow e$ ;
- 2) SE<sub>1</sub> = 0, SE<sub>2</sub> = 1, SE<sub>3</sub> = 0, проверяется  $e_2 \rightarrow e$ ;
- 3) SE<sub>1</sub> = 0, SE<sub>2</sub> = 1, SE<sub>3</sub> = 1, проверяется  $e_2 + e_3 \rightarrow e$ ;
- 4) SE<sub>1</sub> = 1, SE<sub>2</sub> = 0, SE<sub>3</sub> = 0, проверяется  $e_1 \rightarrow e$ ;
- 5) SE<sub>1</sub> = 1, SE<sub>2</sub> = 0, SE<sub>3</sub> = 1, проверяется  $e_1 + e_3 \rightarrow e$ ;
- 6) SE<sub>1</sub> = 1, SE<sub>2</sub> = 1, SE<sub>3</sub> = 0, проверяется  $e_1 + e_2 \rightarrow e$ ;
- 7) SE<sub>1</sub> = 1, SE<sub>2</sub> = 1, SE<sub>3</sub> = 1, проверяется  $e_1 + e_2 + e_3 \rightarrow e$ .

Если бы все семь этих комбинаций СП были бы доказаны, то вместо них для более компактной записи возможно написать  $e_1 \# e_2 \# e_3 \rightarrow e$ . Если хотя бы одна комбинация из 7 оказалась *опровергнутой*, то СП через операцию # записывать *нельзя*.

Итак, для каждого ОТВ из  $V_{OTV}^*$ , на котором наблюдаются РВД, для эле-

ментов  $E^*$  ставится в соответствие множество ОТВ  $V_{OTV}^{**}$  типа (13). Такие множества формируются для всех предположений (8), для каждого  $V_{OTV}^X \in V_{OTV}^*$ , на котором наблюдается РВД.

**Комментарии к примеру из рис. 1 для данного этапа**

Рассмотрим формирование  $V_{OTV}^{**}$  для СП (9). Выполняется ранжирование следствий СП: 1-й ранг для Е; 2-й ранг для Н и 3-й ранг – для У, О. Выражение (11) запишется как:

- 1)  $A + B \rightarrow E$ , поэтому  $|V_{OTV1}^{**}| = 2^2 - 1 = 3$ , т.е.  $f(C_1) = 1$  и  $C_1 = (E)$ ;
- 2)  $E \rightarrow H$ , поэтому  $|V_{OTV2}^{**}| = 2^1 - 1 = 1$ , т.е.  $f(C_2) = 1$  и  $C_2 = (H)$ ;
- 3)  $H \rightarrow Y^*O$ , поэтому  $|V_{OTV3}^{**}| = 2^1 - 1 = 1$ , т.е.  $f(C_3) = 1$  и  $C_3 = (Y, O)$ .

Выход элемента О входит в множество  $C_3 = (Y, O)$ , поскольку О и У принадлежат к одному СП ранга 3. Однако они записаны через операцию \*, а следовательно, осуществить проверку СП для О и У можно на одних и тех же ОТВ, поэтому вместо  $f(C_3) = 2$  запишется  $f(C_3) = 1$ . Иными словами, для СП, описанных через операцию \*, перебирать все комбинации не требуется, а для операции «+» – необходимо. Итак, количество следствий  $C_j$  для ранга  $j \in [1, 3]$  везде одинаково  $f(C_j) = 1$ . Из (12) следует, что для проверки (9) на одном  $V_{OTV}^X$  из множества  $V_{OTV}^*$  необходимы следующие множества ОТВ:

$$1) V_{OTV1}^{**} = \bigcup_{i=1}^1 \left\{ V_{OTV1}^X, V_{OTV2}^X, V_{OTV3}^X \right\}$$

для  $B \rightarrow E, A \rightarrow E, A + B \rightarrow E$ ; (14)

$$2) V_{OTV2}^{**} = \bigcup_{i=1}^1 \left\{ V_{OTV1}^X \right\}$$

для проверки  $E \rightarrow H$ ; (15)

$$3) V_{OTV3}^{**} = \bigcup_{i=1}^1 \left\{ V_{OTV1}^X \right\}$$

для проверки  $H \rightarrow O^*Y$ . (16)

Из (13) следует, что  $V_{OTV}^{**} = V_{OTV1}^{**} \cup V_{OTV2}^{**} \cup V_{OTV3}^{**}$ .

**Этап 4. Доказательство и опровержение СП**

После установки входов SE в ТБМК для сформированных ОТВ из (13) выполняются следующие действия:

1. Выполняется моделирование схемы с установленными ВМ. Для проверки всех СП на конкретном  $V_{OTV}^X$  необходимо включить ВМ, т.е. имитировать подачу сигнала  $S_i = s_i'$  на выходе каждой причины СП. Для этой имитации в начале каждого ВВ  $V_{in}^X$  на

выходы элементов, у которых сигнал  $S_i = 1$ , подаётся  $Sig_i = s'_i = 1$ . Аналогично для  $S_i = 0$  и  $S_i = Z$  подаются сигналы  $Sig_0 = s'_i = 1$  и  $Sig_Z = s'_i = 1$ . При необходимости при помощи  $Sig$  выполняется имитация всех переходных процессов  $S_{pp1}^x, S_{pp2}^x, \dots, S_{ppQx}^x$  которые появляются между  $V_n^x$  и  $V_{on}^x$ , т.е. ВМ реализует  $S_{pp1}^x = S_{pp1}^x, S_{pp2}^x = S_{pp2}^x, \dots, S_{ppQx}^x = S_{ppQx}^x$ .

2. Выполняется анализ доказательства и опровержения стандартного СП:  $\forall e_j, e_i: e_i \rightarrow e_j$  где  $s_i \neq s_j, s_j \neq s_i$  и  $S_i = s'_i$ :

- если  $s'_j = s_j$ , то СП будет *доказано*. Иными словами, СП  $e_i \rightarrow e_j$  считается доказанным, если после установки ВМ на выход причины  $e_i$  на следствии  $e_j$  РВД исчезло, т.е.  $s'_j = s_j$ . Обозначим символом «!» доказательство такого СП;
- если  $s'_j \neq s_j$ , то СП будет *опровергнуто*. Иными словами, СП считается опровергнутым, если РВД *не исчезло*, т.е.  $s'_j \neq s_j$ , хотя изменения сигнала  $s_j \neq s'_j$  допустимы. Обозначим символом «?» опровержение СП.

3. Среди СП отыскиваются следствия  $e_a$  ранга  $j$ , т.е.  $e_i^j \rightarrow e_a$ , которые являются причинами для СП ранга  $(j + 1)$ , т.е.  $e_a^j \rightarrow e_c$ . После этого такие СП объединяются:  $e_i^j \rightarrow e_a^j \rightarrow e_c$ .

4. Множества СП записываются более компактно, через операции  $+$ ,  $*$ ,  $\#$ . Например:  $e_k + e_i^j \rightarrow \dots \rightarrow e_x^* \dots e_a^j \rightarrow e_j \# e_c \dots \rightarrow \dots$

Очевидно, что перечисленные действия выполняются отдельно для каждого ОТВ  $V_{on}^x \in V_{on}^*$ , на котором наблюдаются РВД.

**Комментарии к примеру из рис. 1 для данного этапа**

Проведём описанные действия для выражения (9) на  $V_{on}^x$  при  $X = 3$ :

- 1. Рассмотрим моделирование схемы в БМК после установки ВМ V1, V2, V3, V4 для анализа (9) на  $V_{on}^3 \in V_{on}^*$  и  $R = Y$ . Здесь:  $A \in E_1; B, H \in E_0; E \in E_Z$ .
- на ВВ  $V_n^1$  и  $V_n^2$  ВМ будет отключён, т.е. на элементы С, F, G, I будут подаваться сигналы Z, а элементы А, В, Н, Е будут работать, как предусмотрено схемой.
- для проверки  $A + B \rightarrow E$  из (9) в начале  $V_n^3$  с ВМ V1, V4 поступит сигнал  $OE = 0$  на вход элементов Т, т.е. «отключит»

элементы А, В от сигнала  $s_j$  со схемы. После этого на вход элементов I и С подадутся сигналы соответственно  $s'_i = 0$  и  $s'_c = 1$ . Если на ОТВ  $V_{on}^3$  на выходе следствия Е сигналы совпадут, т.е.  $S_E = s'_c$ , то предположение  $A + B \rightarrow E$  доказано, иначе СП будет опровергнуто. Иными словами, если в  $V_{on}^3$  на выходе элемента Е вместо  $1/Z$  будет  $Z/Z$ , то  $A + B \rightarrow E$  – верно. Этому СП соответствует ОТВ  $V_{on1}^3 \in V_{on1}^3 \in V_{on1}^{**}$  из выражения (14);

- аналогично проверяются  $A \rightarrow E$  и  $B \rightarrow E$  путём включения V1 и V4. Однако в отличие от  $A + B \rightarrow E$ , здесь включение  $SE_1 = 1$  и  $SE_4 = 1$  будет выполняться не одновременно, а поочередно. Этим СП соответствует ОТВ  $V_{on2}^3, V_{on3}^3 \in V_{on}^{**}$ , из выражения (14);
- далее повторяется ВВ  $V_n^3$ , но ВМ с помощью элемента Т «отключает» только элемент Е и подаёт на вход элемента F сигнал Z. Если в  $V_{on}^3$  на выходе элемента Н сигналы совпадут, т.е. вместо  $Z/0$  будет  $0/0$ , то СП  $E \rightarrow H$  верно. Если будет наблюдаться вместо  $Z/0$ , например,  $1/0$  или  $X/0$ , то  $E \rightarrow H$  будет опровергнуто. Этому СП соответствует ОТВ  $V_{on1}^3 \in V_{on2}^{**}$  из выражения (15);
- и, наконец, ВВ  $V_n^3$  повторяется ещё раз, но ВМ «отключает» только элемент Н, и на вход элемента G подаётся 0. Если на Y и O в  $V_{on}^3$  значения в ТБМК и ТПЛИС совпадут, то СП  $H \rightarrow Y^*O$  верно. Этому СП соответствует ОТВ  $V_{on1}^3 \in V_{on3}^{**}$  из выражения (16). Аналогичным образом ВМ используются не только на ОТВ  $V_{on}^3$ , но и на всех остальных ОТВ  $V_{on}^3 \in V_{on}^*$ .

2. СП (9) соответствуют РВД, показанные на рис. 3. В таблице показаны все ОТВ, необходимые для анализа (9) на конкретном ОТВ  $V_{on}^x$  при  $x = 3$  из  $V_{on}^{**}$ . В таблице подчёркнуты сигналы  $s'_p$  на выходе следствия, которые используются для доказательства СП (9), а курсивом выделены сигналы  $s'_i$  на выходе причины. В графе «СП» указан результат анализа СП (9) после моделирования. Из таблицы следует, что после моделирования СП  $E \rightarrow H$  опровергнуто, а остальные доказаны.

**Фрагмент ТБМК с установленными выводами SE для (9)**

SE1	SE2	SE3	SE4	X	N	Y	O	A'	B'	E'	H'	СП	Предположения
1	0	0	0	0	0	1	1	1	1	Z	Z	!	Проверка $A \rightarrow E$
0	0	0	1	0	0	1	1	0	0	Z	Z	!	Проверка $B \rightarrow E$
1	0	0	1	0	0	1	1	1	0	Z	Z	!	Проверка $A + B \rightarrow E$
0	1	0	0	0	0	1	1	0	1	Z	1	?	Проверка $E \rightarrow H$
0	0	1	0	0	0	0	0	0	1	1	0	!	Проверка $H \rightarrow O^*Y$

3. Среди доказанных СП найдено следствие Н ранга 2, т.е.  $E \rightarrow H$ , которое является причиной для СП ранга 3, т.е.  $H \rightarrow O$ . Поэтому выполняется объединение  $E? \rightarrow H! \rightarrow O$ . Тогда получаем: (1)  $B! \rightarrow E$ ; (2)  $A! \rightarrow E? \rightarrow H! \rightarrow O$ ; (3)  $H! \rightarrow Y$ ; (4)  $A + B! \rightarrow E$ .

4. Множества СП записываются более компактно, через операции  $+$ ,  $*$ ,  $\#$ :

$$1) A^*B! \rightarrow E? \rightarrow H! \rightarrow Y^*O. \quad (17)$$

Аналогично (17) получаем СП для других ОТВ:

- 1)  $A + B! \rightarrow E! \rightarrow H! \rightarrow Y^*O$  на ОТВ  $V_{on}^3$  с РВД;
- 2)  $A? \rightarrow E? \rightarrow H, B! \rightarrow E, H! \rightarrow Y^*O$  на ОТВ  $V_{on}^3$  с РВД;
- 3)  $A + B? \rightarrow E? \rightarrow H? \rightarrow Y, H! \rightarrow O$  на ОТВ  $V_{on}^3$  с РВД.

В общем виде одни и те же СП могут быть одновременно опровергнуты и доказаны на одних и тех же РВД, но в разные моменты тестового времени. Например, для  $V_{on}^3$  СП  $E! \rightarrow H$  доказано, а для  $V_{on}^3$   $E? \rightarrow H$  – опровергнуто.

**ЗАКЛЮЧЕНИЕ**

Итак, было рассмотрено ПО ConvChip, позволяющее анализировать причины появления РВД. Существуют и другие методы и алгоритмы, которые реализует данное ПО, в частности – алгоритм для сохранения временных соотношений, а также методы для анализа и модификации схемы и тестов [6].

**ЛИТЕРАТУРА**

1. *Стещенко В.Б.* ПЛИС фирмы Altera: проектирование устройств обработки сигналов. М.: ДОДЭКА, 2000.
2. *Бойко В.И.* Схемотехника электронных систем. Цифровые устройства. СПб.: БХВ – Петербург, 2004.
3. *Шелестов И.П., Семёнов Б.Ю.* Путеводитель в мир электроники. Книга 1. М.: СОЛОН-Пресс, 2004.
4. *Оре О.* Теория графов. 2-е изд. М.: Наука, 1980.
5. *Шитулин С.Н., Губанов Д.А., Стещенко В.Б., Храпов В.Ю.* Тенденции развития ПЛИС и их применение для цифровой обработки сигналов. Электронные компоненты. 1999.
6. *Артёмов С.А.* Методы модификации структуры ПЛИУ, при конвертировании проектов. Сетевой электронный научный журнал. Системотехника, 2005. Вып. № 3. [www.systech.miem.edu.ru/2005/n3/Artemov.doc](http://www.systech.miem.edu.ru/2005/n3/Artemov.doc).



# Электронные компоненты для систем отображения и обработки видеоинформации



Электронный каталог продукции Sharp Microelectronics представлен на сайте: [www.sharp-sme.com](http://www.sharp-sme.com)

По вопросам:

- приобретения продукции Sharp Microelectronics
- заказа образцов
- предоставления конструкторской документации
- получение технической поддержки

обращайтесь [info@prochip.ru](mailto:info@prochip.ru)

**PROSOFT**<sup>®</sup>

ПРОСОФТ — АКТИВНЫЙ КОМПОНЕНТ ВАШЕГО БИЗНЕСА

Телефон: (495) 234-0636 • E-mail: [info@prochip.ru](mailto:info@prochip.ru) • Web: [www.prochip.ru](http://www.prochip.ru)