

# Как тестировать цифровую электронику?

Алексей Иванов (Москва)

Для цифровой техники давно существует метод периферийного сканирования JTAG, но не все инженеры знакомы с тем, как он работает.

Так сложилось, что в нашей стране почти вся сложная цифровая электроника относится к военной, авиакосмической или другой специальной технике. От надёжности её узлов зависит жизнь людей и безопасность государства, поэтому у производителей нет права на ошибку. Как тестируется начинка, например, сложных бортовых вычислителей? Функциональный метод не подходит для данных целей, – он не выявляет всех возможных дефектов и даёт лишь один ответ – работает блок или нет. И если при монтаже платы образовалось короткое замыкание (КЗ) или обрыв, которые скажутся только в определённом (например, нештатном) режиме работы, то функциональный тест на заводе-изготовителе пройдёт успешно. Из личной практики могу привести много примеров, когда даже пробное тестирование плат с помощью периферийного сканирования или внутрисхемного теста выявляло дефекты (КЗ, отсутствие компонентов и пр.) на платах ответственного применения, прошедших все функциональные проверки.

Так ли сложно периферийное сканирование, как кажется? Главная проблема в том, что руководители предприятий и инженеры не понимают, как оно работает. Принцип работы систем периферийного сканирования подобен работе других машин для тестирования и локализации дефектов – ICT-тестеров, установок Flying Probe, и, что удивительно, – он даже проще.

Возможно, читателю известно, что периферийное сканирование основано на применении производителями микросхем стандарта IEEE 1149.1, Standard Test Access Port and Boundary-Scan Architecture. Этот стандарт добавляет ИС дополнительный порт (известный как JTAG, Joint Test Action Group) и специальную тестовую логику для того, чтобы с помощью внешнего оборудования и программного обеспечения управлять выводами ИС для тестирования связей платы.

Задача тестовой системы – автоматическое управление данной логикой по интерфейсу JTAG и создание необходимых тестовых последова-

тельностью, полученных в результате анализа схемы изделия. Сегодня данный процесс настолько автоматизирован, что пользователю необходимо лишь загрузить список соединений, полученный из САПР, в программу для создания тестов. Если используется программная платформа JTAG ProVision, это означает, что вместе со средой разработки на ПК установлена обширная библиотека функциональных моделей всевозможных компонентов: ОЗУ, ПЗУ, логики, интерфейсных и пассивных элементов. Поэтому среда проектирования тестов не только обладает информацией о связях платы (полученной из САПР), но и сведениями о функциональности узлов. Этой информации достаточно, чтобы выполнить расчёт максимально достижимого тестового покрытия для всех цепей, компонентов и паяных соединений, а также автоматически создать тесты межсоединений, логических узлов, шин памяти и многого другого (см. рис. 1).

Как показывает практика, уже через пару часов проект готов, – можно подсоединять тестируемую плату и проводить контроль и программирование её компонентов. Анализируя схему изделия, программа автоматически создаёт проект даже с несколькими каналами сканирования, если

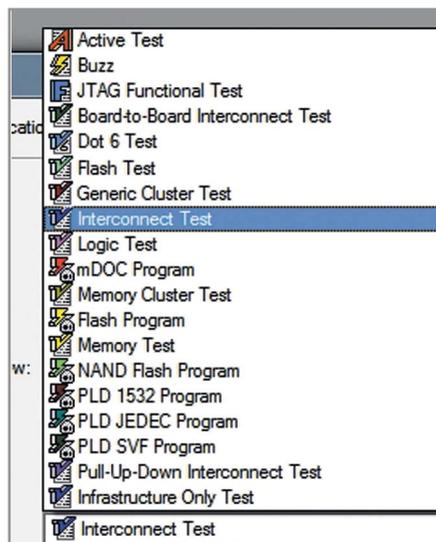


Рис. 1. Виды приложений, генерируемых в автоматической среде JTAG ProVision



Рис. 2. Контроллер периферийного сканирования JT37x7 с 4 портами JTAG в исполнении USB/Ethernet и PCI

JTAG-компонентов на плате несколько и их JTAG-сигналы выведены на отдельные разъёмы. Разработчики, привыкшие работать с одноканальными JTAG-программаторами, зададут естественный вопрос: как программа справится с несколькими каналами JTAG? Ответ прост: самый популярный контроллер JT37x7 позволяет работать сразу с 4 портами TAP (см. рис. 2).

Не следует думать, что система периферийного сканирования ограничивается лишь программным обеспечением и контроллером, существует масса дополнительных модулей ввода/вывода, например, для тестирования внешних интерфейсов (см. рис. 3). А модуль JT2149/DAF дополняет цифровой тест измерением аналоговых напряжений и частот в выбранных точках. Таким образом, можно построить полноценный испытательный комплекс не только для проверки связей компонентов, поддерживающих периферийное сканирование, но и окружающих их узлов и внешних разъёмов с измерением требуемых аналоговых величин. Все созданные тесты и приложения для программирования затем сводятся в последовательность, часто называемую «тестовым планом», и запускаются нажатием кнопки. При обнаружении неисправности система выдаёт текстовое сообщение с указанием типа дефекта (КЗ, обрыв и др.) и, по требованию, показывает дефектные элементы на рисунке платы или схеме изделия (см. рис. 4).

Таким образом, подготовка тестов периферийного сканирования имеет гораздо меньшую трудоёмкость, чем разработка функциональных методов контроля, которые подразумевают детальное знакомство со спецификой работы платы или блока. Функциональный контроль не указывает на дефектные цепи, паяные соединения или компоненты, предоставляя лишь информацию об отказе какой-либо из функций. При этом некоторые дефекты вообще не попадают в поле зрения функционального тестирования.

Все мировые производители сложных цифровых ИС поддерживают стандарт IEEE 1149.1 – это требование современной электронной промышленности. Вполне возможно, что ваша разработка уже готова к периферийному сканированию, т.к. производи-



Рис. 3. Внешние модули DIOS с цифровыми каналами ввода/вывода

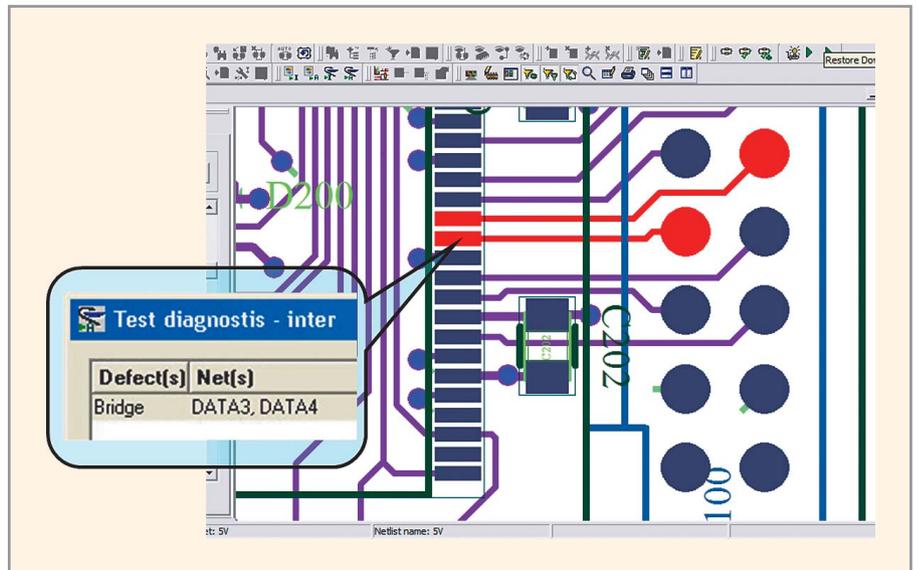


Рис. 4. Локализация дефектов при использовании периферийного сканирования

тель уже заложил в ИС избыточную тестовую логику. Если нет, то изделие придётся проверять функциональным тестом и надеяться на то, что при его изготовлении не появились скрытые дефекты.

Если стратегия развития предприятия всё же предусматривает переход на структурное тестирование, то следует позаботиться о доработке изделия с учётом теста JTAG. Конечно, можно использовать и внутрисхемный тест при помощи игольчатого адаптера или летающих пробников, однако здесь можно столкнуться с проблемой высокой плотности цепей, присущей цифровой технике, и отсутствием доступа к проводникам, скрытым, например, под корпусами типа BGA. Периферийное

сканирование данную проблему решает, поскольку использует не пробники, а внутренние регистры самих микросхем.

Можно начать использовать периферийное сканирование для отладки опытных образцов уже сегодня, и совершенно бесплатно. Компания JTAG Technologies предлагает загрузить с [www.jtaglive.ru](http://www.jtaglive.ru) программу Buzz, выполняющую элементарную проверку связей между выводами JTAG-совместимых микросхем.

Подробную информацию о программах и аппаратных средствах для периферийного сканирования можно найти на основной интернет-странице компании JTAG Technologies [www.jtag-technologies.ru](http://www.jtag-technologies.ru).