

Практический курс сквозного проектирования цифровых устройств на основе ПЛИС фирмы Xilinx

(часть 14)

Валерий Зотов (Москва)

Четырнадцатая часть курса знакомит с содержанием этапа реализации (implementation) проектируемых устройств в кристаллах ПЛИС семейств CPLD. Рассмотрен этап реализации разрабатываемого устройства в кристаллах с архитектурой CPLD. Приводится краткое описание структуры отчётов о выполнении этапа размещения и трассировки и результатов статического временного анализа.

Выполнение этапа реализации проектируемых устройств, разрабатываемых на основе ПЛИС семейств CPLD

Активизация всех процедур этапа реализации проектируемого устройства осуществляется двойным щелчком левой кнопки мыши на строке Implement Design в окне процессов (*Processes Window*) Навигатора проекта (*Project Navigator*). Информация о ходе его выполнения отображается в окне консольных сообщений *Transcript Window*. Завершение выполнения каждой фазы этого процесса отмечается соответствующей пиктограммой в строке с её названием и сопровождается отчётом о полученных результатах. Для просмотра отчёта о выполнении трансляции следует дважды щёлкнуть левой кнопкой мыши на строке *Translation Report*, которая появляется в окне процессов *Processes Window* после переключения в развёрнутое состояние строки *Translation*. При этом открывается новое рабочее окно в HDL-редакторе, в котором отображается выбранный отчёт. В качестве примера ниже приведён отчёт о выполнении трансляции проекта счётчика Джонсона, синтез которого был рассмотрен в предыдущей части статьи. Отчёт содержит информацию о каждом шаге трансляции (преобразовании EDIF-описаний в формат Xilinx NGD, проверке

временных спецификаций, верификации логической структуры проекта), а также об ошибках и предупреждениях.

```
Command Line:
D:\Xilinx92i\bin\nt\ngdbuild.exe
-ise
D:/PRJ/jc2vh/jc2_vhd/jc2_vhd.ise
-intstyle ise -dd _ngo -uc
jc2_top.ucf -p xbr
jc2_top.ngc jc2_top.ngd
-----
Reading NGO file
"D:/PRJ/jc2vh/jc2_vhd/jc2_top.ngc"
...
Applying constraints in
"jc2_top.ucf" to the design...
-----
Checking timing specifications
...
Checking Partitions ...
Checking expanded design ...
-----
Partition Implementation Status
-----
No Partitions were found in this
design.
-----
NGDBUILD Design Results Summary:
Number of errors: 0
Number of warnings: 0
-----
Total memory usage is 67184
kilobytes
Writing NGD file "jc2_top.ngd"
...
Writing NGDBUILD log file
"jc2_top.bld"...
```

СОДЕРЖАНИЕ ОТЧЁТА О ВЫПОЛНЕНИИ ЭТАПА РЕАЛИЗАЦИИ ПРОЕКТИРУЕМЫХ УСТРОЙСТВ, РАЗРАБАТЫВАЕМЫХ НА ОСНОВЕ ПЛИС С АРХИТЕКТУРОЙ CPLD

Чтобы открыть отчёт с результатами выполнения размещения и трассировки, следует дважды щёлкнуть левой кнопкой мыши на строке *Fitter Report*, после чего текст отчёта отображается в новом окне встроенного HDL-редактора. Этот отчёт может быть представлен в HTML- или текстовом формате, по выбору пользователя. Структура отчёта о ходе и результатах процесса размещения и трассировки рассматривается далее на примере сокращённого варианта отчёта о выполнении этапа реализации проекта счётчика Джонсона.

Отчёт содержит шесть основных разделов, в начале каждого из которых указано его название. В разделе *Mapped Resource Summary* приведена общая информация о ресурсах ПЛИС и их использовании для реализации проектируемого устройства. В начале этого раздела указаны данные об общем количестве и числе используемых макроячеек, термов, регистров, выводов и функциональных блоков кристалла. Далее приводится общая статистическая информация о сигналах, выводах, макроячейках, глобальных ресурсах и режиме потребления макроячеек. Текст раздела приведён на сайте журнала.

Раздел *Summary of Mapped Logic* содержит подробную информацию обо всех интерфейсных сигналах (цепях) проектируемого устройства. Здесь приведены сведения о типе выводов ПЛИС, к которым подключаются внешние цепи разрабатываемого устройства, режимах работы и используемых стандартах ввода/вывода. Для каждого входного, выходного и двунаправлен-

ного порта указан номер функционального блока, в котором формируется соответствующий сигнал.

```
*****
Summary of Mapped Logic
*****

** 4 Outputs **
Signal Total Total Loc Pin Pin
Pin I/O I/O Slew Reg Reg Init
Name Pts Inps No. Type Use STD
Style Rate Use State
Q[0] 3 5 FB1_3 E1 I/O O LVCMOS18
FAST DFF RESET
Q[1] 3 5 FB1_9 D1 GTS/I/O O LVC-
MOS18 FAST DFF RESET
Q[2] 3 5 FB1_10 C1 GTS/I/O O
LVCMOS18 FAST DFF RESET
Q[3] 3 5 FB1_11 A3 GTS/I/O O
LVCMOS18 FAST DFF RESET

** 4 Buried Nodes **
Signal Total Total Loc Reg Reg
Init
Name Pts Inps Use State
DIR 1 1 FB1_1 DEFF RESET
RUN 1 1 FB1_2 DEFF RESET
N_PZ_35 1 3 FB1_8
N_PZ_34 1 2 FB1_16
```

```
** 4 Inputs **
Signal Loc Pin Pin Pin I/O I/O
Name No. Type Use STD Style
RIGHT FB1_1 F1 I/O I LVCMOS18
KPR
STOP FB1_2 E3 I/O I LVCMOS18 KPR
LEFT FB1_12 A2 GTS/I/O I LVC-
MOS18 KPR
CLK FB2_7 J1 GCK/I/O GCK LVC-
MOS18 KPR
Legend:
Pin No. - ~ - User Assigned
I/O Style - OD - OpenDrain
- PU - Pullup
- KPR - Keeper
- S - SchmittTrigger
- DG - DataGate
Reg Use - LATCH - Transparent
latch
- DFF - D-flip-flop
- DEFF - D-flip-flop with clock
enable
- TFF - T-flip-flop
- TDFF - Dual-edge-triggered T-
flip-flop
- DDFF - Dual-edge-triggered
flip-flop
- DDEFF - Dual-edge-triggered
flip-flop with clock enable
```

```
/S (after any above flop/latch
type) indicates initial state is
Set
```

В третьем разделе отчёта *Function Block Details* содержится подробная информация об использовании ресурсов каждого функционального блока ПЛИС. Этот раздел включает в себя *N* самостоятельных, одинаковых по составу, секций с названиями *FB1 – FBN*, где *N* – количество функциональных блоков в используемом кристалле. На сайте журнала приводится текст первой секции данного раздела отчёта, в которой приведены подробные данные об использовании ресурсов функционального блока *FBI*.

В разделе *Implemented Equations* содержатся итоговые выражения, описывающие проектируемое устройство на этапе его реализации. Текст данного раздела представлен на языке HDL, который был выбран с помощью параметра *HDL Equations Style*.

```
*****
Equations Mapped Logic
*****
```

```
FDCPE_DIR: FDCPE port map
(DIR,RIGHT,CLK,'0','0',NOT
N_PZ_34);
N_PZ_34 <= (RIGHT AND LEFT);
N_PZ_35 <= (RIGHT AND LEFT AND
STOP);
FDCPE_Q[0]: FDCPE port map
(Q[0],Q[0]_D,CLK,'0','0','1');
Q[0]_D <= ((Q[0] AND NOT RUN)
OR (DIR AND RUN AND NOT
Q[3])
OR (NOT DIR AND RUN AND
Q[1]));
FDCPE_Q[1]: FDCPE port map
(Q[1],Q[1]_D,CLK,'0','0','1');
Q[1]_D <= ((NOT RUN AND Q[1])
OR (Q[0] AND DIR AND RUN)
OR (NOT DIR AND RUN AND
Q[2]));
FDCPE_Q[2]: FDCPE port map
(Q[2],Q[2]_D,CLK,'0','0','1');
Q[2]_D <= ((NOT RUN AND Q[2])
OR (DIR AND RUN AND Q[1])
OR (NOT DIR AND RUN AND
Q[3]));
FDCPE_Q[3]: FDCPE port map
(Q[3],Q[3]_D,CLK,'0','0','1');
Q[3]_D <= ((NOT RUN AND Q[3])
OR (NOT Q[0] AND NOT DIR
AND RUN)
OR (DIR AND RUN AND
Q[2]));
FDCPE_RUN: FDCPE port map
(RUN,STOP,CLK,'0','0',NOT
N_PZ_35);
Register Legend:
FDCPE (Q,D,C,CLR,PRE,CE);
FDDCPE (Q,D,C,CLR,PRE,CE);
FTCPE (Q,D,C,CLR,PRE,CE);
FTDCPE (Q,D,C,CLR,PRE,CE);
LDCP (Q,D,G,CLR,PRE);
```

Раздел *Device Pin Out*, приведённый на сайте журнала, в наглядной форме отражает информацию о назначении всех выводов кристалла ПЛИС после загрузки конфигурационных данных проектируемого устройства. В начале этого раздела приведено условное графическое изображение топологии выводов для выбранного типа корпуса ПЛИС. Далее в форме таблицы представлено функциональное назначение каждого вывода кристалла после завершения процесса конфигурирования ПЛИС. Расшифровка условных обозначений типов выводов ПЛИС, используемых в таблице, приведена в заключительной части рассматриваемого раздела. В заключительном разделе отчёта Compiler Options приведены сведе-

ния об установленных значениях основных параметров процесса размещения и трассировки:

```
*****
Compiler Options
*****
Following is a list of all global compiler options used by the fitter run.
Device(s) Specified : xc2c64a-5-CP56
Optimization Method : DENSITY
Multi-Level Logic Optimization : ON
Ignore Timing Specifications : OFF
Default Register Power Up Value : LOW
Keep User Location Constraints : ON
What-You-See-Is-What-You-Get : OFF
Exhaustive Fitting : OFF
Keep Unused Inputs : OFF
Slew Rate : FAST
Set Unused I/O Pin Termination : KEEPER
Global Clock Optimization : ON
Global Set/Reset Optimization : ON
Global Output Enable Optimization : ON
Enable Input Registers : ON
Function Block Fan-in Limit : 38
Use DATA_GATE Attribute : ON
Set Tristate Outputs to Termination Mode : KEEPER
Default Voltage Standard for All Outputs : LVCMOS18
Input Limit : 32
Pterm Limit : 28
```

СОДЕРЖАНИЕ ОТЧЁТА С РЕЗУЛЬТАТАМИ СТАТИЧЕСКОГО ВРЕМЕННОГО АНАЛИЗА, ВЫПОЛНЯЕМОГО НА ЭТАПЕ РЕАЛИЗАЦИИ ПРОЕКТИРУЕМЫХ УСТРОЙСТВ, РАЗРАБАТЫВАЕМЫХ НА ОСНОВЕ ПЛИС СЕМЕЙСТВ CPLD

Для просмотра временных характеристик распространения сигналов внутри кристалла следует открыть отчёт с результатами выполнения этапа реализации проектируемого устройства в HTML-формате, поместить курсор на строку *Timing Report*, расположенную в верхней части этого отчёта, и щёлкнуть левой кнопкой мыши. Степень детализации содер-

жания отчёта определяется выбранным значением параметра *Timing Report Format*, рассмотренного выше. Как обобщённая, так и подробная форма отчёта включает в себя семь разделов. Содержание каждого раздела отчёта с результатами статического временного анализа рассматривается далее на примере проекта счётчика Джонсона. В начале отчёта приводятся основные сведения об анализируемом проекте, времени и дате создания отчёта:

```
Timing Report
Design Name jc2_top
Device, Speed (SpeedFile Version) {XC2C64A}, -5 (14.0 Advance Product Specification)
Date Created Sun Mar 23 21:39:42 2008
Created By Timing Report Generator: version J.38
Copyright Copyright (c) 1995-2007 Xilinx, Inc. All rights reserved.
```

В разделе *Performance Summary* указаны значения временных характеристик распространения сигналов в кристалле для различных маршрутов, соответствующие наихудшему случаю. В начале этого раздела отображается минимальное значение периода и максимальная частота внутреннего сигнала синхронизации. Далее приводится информация о времени распространения сигнала по цепям, включенным между двумя триггерами или регистрами (управляемыми одним сигналом синхронизации), о времени установления сигналов на входах данных по отношению к такому сигналу и значении задержки сигналов на выходных контактах по отношению к такому сигналу.

```
Summary
Performance Summary
Min. Clock Period 4.200 ns.
Max. Clock Frequency {(fSYSTEM)} 238.095 MHz.
Limited by Cycle Time for CLK
Clock to Setup {(tCYC)} 4.200 ns.
Setup to Clock at the Pad {(tSU)} 5.500 ns.
Clock Pad to Output Pad Delay {(tCO)} 3.900 ns.
```

В разделе *Timing Constraints* приводится информация о выполнении

временных ограничений, заданных в проекте. В начале этого раздела отображаются сведения о требуемых и полученных значениях временных параметров сигналов, для которых установлены соответствующие ограничения. Завершает раздел информация о временных ограничениях, которые не удалось выполнить при реализации проектируемого устройства.

Timing Constraints

Constraint Name	Requirement (ns)	Delay (ns)	Paths	Paths Failing
{TS_CLK}	20.0	4.2	20	0
Constraint: TS_CLK				
Description:				
PERIOD:CLK:20.000ns;HIGH:10.000ns				
Path	Requirement (ns)	Delay (ns)	Slack (ns)	
{DIR.Q to Q[0].D}	20.000	4.200	15.800	
{DIR.Q to Q[1].D}	20.000	4.200	15.800	
{DIR.Q to Q[2].D}	20.000	4.200	15.800	
{DIR.Q to Q[3].D}	20.000	4.200	15.800	
{Q[0].Q to Q[0].D}	20.000	4.200	15.800	
{Q[0].Q to Q[1].D}	20.000	4.200	15.800	
{Q[0].Q to Q[3].D}	20.000	4.200	15.800	
{Q[1].Q to Q[0].D}	20.000	4.200	15.800	
{Q[1].Q to Q[1].D}	20.000	4.200	15.800	
{Q[1].Q to Q[2].D}	20.000	4.200	15.800	
{Q[2].Q to Q[1].D}	20.000	4.200	15.800	
{Q[2].Q to Q[2].D}	20.000	4.200	15.800	
{Q[2].Q to Q[3].D}	20.000	4.200	15.800	
{Q[3].Q to Q[0].D}	20.000	4.200	15.800	
{Q[3].Q to Q[2].D}	20.000	4.200	15.800	

{Q[3].Q to Q[3].D}	20.000	4.200	15.800
{RUN.Q to Q[0].D}	20.000	4.200	15.800
{RUN.Q to Q[1].D}	20.000	4.200	15.800
{RUN.Q to Q[2].D}	20.000	4.200	15.800
{RUN.Q to Q[3].D}	20.000	4.200	15.800
Number of constraints not met: 0			

Раздел *Data Sheet Report* содержит значения основных временных характеристик, относящихся к внешним интерфейсным цепям (сигналам) разрабатываемого устройства:

Data Sheet Report

Maximum External Clock Speeds	
Clock fEXT (MHz)	Reason
CLK 238.095	Limited by Cycle Time for CLK
Setup/Hold Times for Clocks	
Setup/Hold Times for Clock CLK	
Source Pad Setup to clk (edge)	
Hold to clk (edge)	
LEFT 5.500	0.000
RIGHT 5.500	0.000
STOP 5.500	0.000

В разделе *Clock Pad to Output Pad (tCO)* отражена информация о значениях задержек сигналов на всех выходных контактах ПЛИС, используемых в проекте, по отношению к сигналу синхронизации:

Clock to Pad Timing	
Clock CLK to Pad	
Destination Pad Clock (edge) to Pad	
Q[0]	3.900
Q[1]	3.900
Q[2]	3.900
Q[3]	3.900


В разделе *Clock to Setup Times for Clocks* представлены значения времени распространения сигнала для

всех цепей, включенных между двумя триггерами или регистрами, управляемыми одним сигналом синхронизации:

Clock to Setup Times for Clocks			
Clock to Setup for clock CLK			
Source	Destination	Delay	
DIR.Q	Q[0].D	4.200	
DIR.Q	Q[1].D	4.200	
DIR.Q	Q[2].D	4.200	
DIR.Q	Q[3].D	4.200	
Q[0].Q	Q[0].D	4.200	
Q[0].Q	Q[1].D	4.200	
Q[0].Q	Q[3].D	4.200	
Q[1].Q	Q[0].D	4.200	
Q[1].Q	Q[1].D	4.200	
Q[1].Q	Q[2].D	4.200	
Q[2].Q	Q[1].D	4.200	
Q[2].Q	Q[2].D	4.200	
Q[2].Q	Q[3].D	4.200	
Q[3].Q	Q[0].D	4.200	
Q[3].Q	Q[2].D	4.200	
Q[3].Q	Q[3].D	4.200	
RUN.Q	Q[0].D	4.200	
RUN.Q	Q[1].D	4.200	
RUN.Q	Q[2].D	4.200	
RUN.Q	Q[3].D	4.200	
Pad to Pad List			
Source Pad	Destination Pad	Delay	

Завершает отчет с результатами статического временного анализа информация о количестве проанализированных путей распространения сигналов и числе обнаруженных ошибок:

Number of paths analyzed:	20
Number of Timing errors:	0
Analysis Completed:	Sun Mar 23 21:39:42 2008

При получении успешных результатов размещения и трассировки можно перейти к следующим этапам разработки проектируемого устройства. 

Продолжение следует.

Новости мира News of the World Новости мира

ОК! распознаёт лица пользователей

Японская компания Oki Electric Industry разработала аппаратное решение для опознавания лица пользователя. Напомним, что ранее данная фирма уже предложила межплатформенное программное обеспечение FSE (Face Sensing Engine), решающее ту же задачу. Благодаря но-

вой разработке данную функцию можно внедрять и в аппараты со слабым процессором.

В данный момент ОК! поставляет FSE только для мобильных телефонов и цифровых камер среднего и высокого класса (в частности, для улучшения автофокуса). При этом от производителей и клиентов уже поступали предложения увеличить

скорость распознавания и улучшить удобство работы. Для этого необходимо использовать более совершенные микросхемы, которые, в свою очередь, требуют больше энергии.

Менеджеры ОК! полагают, что новое предложение поможет начать использовать FSE в недорогих устройствах.

biz.yahoo.com