

# ПЛИС Achronix – опыт освоения

**Владимир Викулин (Санкт-Петербург)**

**В статье описывается процесс освоения ПЛИС Speedster22i HD1000 компании Achronix на примере счётчика с выводом старших разрядов на светодиодные индикаторы.**

## ВВЕДЕНИЕ

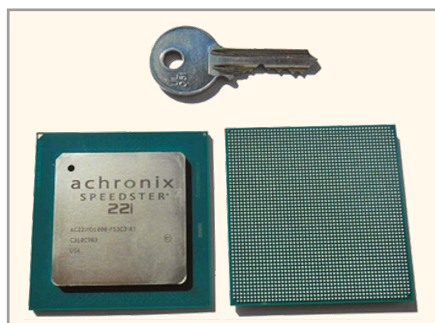
За более чем десятилетний срок работы с ПЛИС автор ознакомился с продукцией четырёх производителей. При таком разнообразии невольно обращается внимание как на общие черты процесса разработки, так и на особенности, присущие изделиям той или иной компании.

Недавно представилась возможность познакомиться с новым семейством ПЛИС Speedster22i HD1000 [1], производимым небольшой фирмой из Калифорнии – Achronix [2]. С момента своего создания в 2004 году она смогла разработать ПЛИС с оригинальной архитектурой и уникальными характеристиками. Более того, компания первой среди всех производителей ПЛИС заключила соглашение с корпорацией Intel и с тех пор производит свои микросхемы (см. рис. 1) на самой совершенной технологической базе Intel в США.

Сегодня серия Speedster выпускается по технологии 3D Tri-Gate 22 нм, но программа развития серии предусматривает переход на 14-нм и 10-нм технологические процессы (по мере их освоения заводами Intel).

## АППАРАТУРА И СРЕДСТВА РАЗРАБОТКИ

Единственный на сегодняшний день способ оценить работу ПЛИС Speedster22i – это приобрести или арендовать отладочный набор Speedster22i HD1000 Development Kit [3], что и было сделано. Одновременно был закуплен



**Рис. 1. ПЛИС серии Speedster22i в корпусе FBGA2597 (52,5 × 52,5 мм)**

мощный компьютер с водяным охлаждением и двумя мониторами.

Чтобы получить средства разработки, необходимо зарегистрироваться на интернет-странице компании Achronix ([www.achronix.com/company/contact-us.html](http://www.achronix.com/company/contact-us.html)) и создать учётную запись пользователя. После этого открывается доступ к ресурсам, содержащим необходимое для работы программное обеспечение, а также демонстрационные и ссылочные проекты. Разница между ними в том, что ссылочные проекты (Reference Designs) поставляются с исходными кодами для ПЛИС, в то время как демонстрационные проекты (Demodesigns), как правило, содержат только загрузочные файлы для ПЛИС.

Подтверждение регистрации занимает пару дней и завершается получением письма, содержащим имя пользователя и пароль. После этого появляется возможность скачать необходимые для начала работы программы – собственную оболочку компании Achronix под названием ACE и синтезатор Synplify.

Чтобы эти программы заработали, требуются файлы лицензий. Для этого необходимо заполнить ещё одну форму на сайте Achronix и указать MAC-адрес сетевой карты своего компьютера. Файлы лицензий также присылаются по электронной почте. Их подключение не вызывает никаких проблем, поскольку этот процесс подробно описан в документации. На компьютере автора установлена ОС Windows, но средства разработки имеются и для Red Hat Linux. Оставшееся до прибытия платы время было посвящено изучению архитектуры ПЛИС Speedster22i HD1000, освоению программ и написанию простого проекта.

ПЛИС Speedster22i отличается от изделий других компаний аппаратными IP-ядрами, ориентированными на высокоскоростные коммуникационные задачи. По наборам таких ядер ПЛИС Achronix до сих пор вне конкуренции: DDR-3 – 6 шт., PCI Express

Gen1/2/3 x1, x4, x8 – 2 шт., Ethernet MAC до 100G – 2 шт., Interlaken – 2 шт. При этом обеспечивается суммарная пропускная способность портов свыше 400 Гбит/с, что позволяет отнести ПЛИС серии Speedster22i к категории «HI-END».

В остальном рассматриваемые ПЛИС по своей структуре (см. рис. 2) мало отличаются от продукции других производителей: они состоят из логических кластеров (на основе 4-входовых LUT), блочной и распределённой памяти, а также из арифметических блоков, включающих 56-битные умножители. Всё это имеется в достаточных количествах для достижения самой сложной функциональности. Скоростные характеристики (см. таблицу) также впечатляют. Память, например, имеет максимальную рабочую частоту 750 МГц. Загрузка ПЛИС осуществляется стандартным способом.

Минимально необходимый набор средств разработки включает в себя две программы – оболочку ACE и синтезатор Synplify. Собственная разработка компании – оболочка ACE – содержит средства размещения и разводки, конфигурирования ядер, загрузки и отладки.

В качестве синтезатора используется программа Synplify от Synopsys. Подход, заключающийся в использовании набора отдельных программ вместо единой интегрированной среды, характерен для небольших компаний. Он менее удобен для начинающих разработчиков, но даёт опытным инженерам большую гибкость и обеспечивает лучшее качество выполнения каждого этапа.

Если же необходима более глубокая интеграция, программные средства можно объединить, например, посредством оболочки HDL-designer от Mentor Graphics. К оболочке ACE и синтезатору Synplify желательно добавить какую-либо программу-симулятор. Пакет Achronix содержит библиотеки для самых популярных программ-симуляторов, но сами программы в комплект поставки не входят.

С внешним видом полученной платы можно ознакомиться на рисунке 3. Следует обратить внимание на толщину платы (см. рис. 4), указывающую на

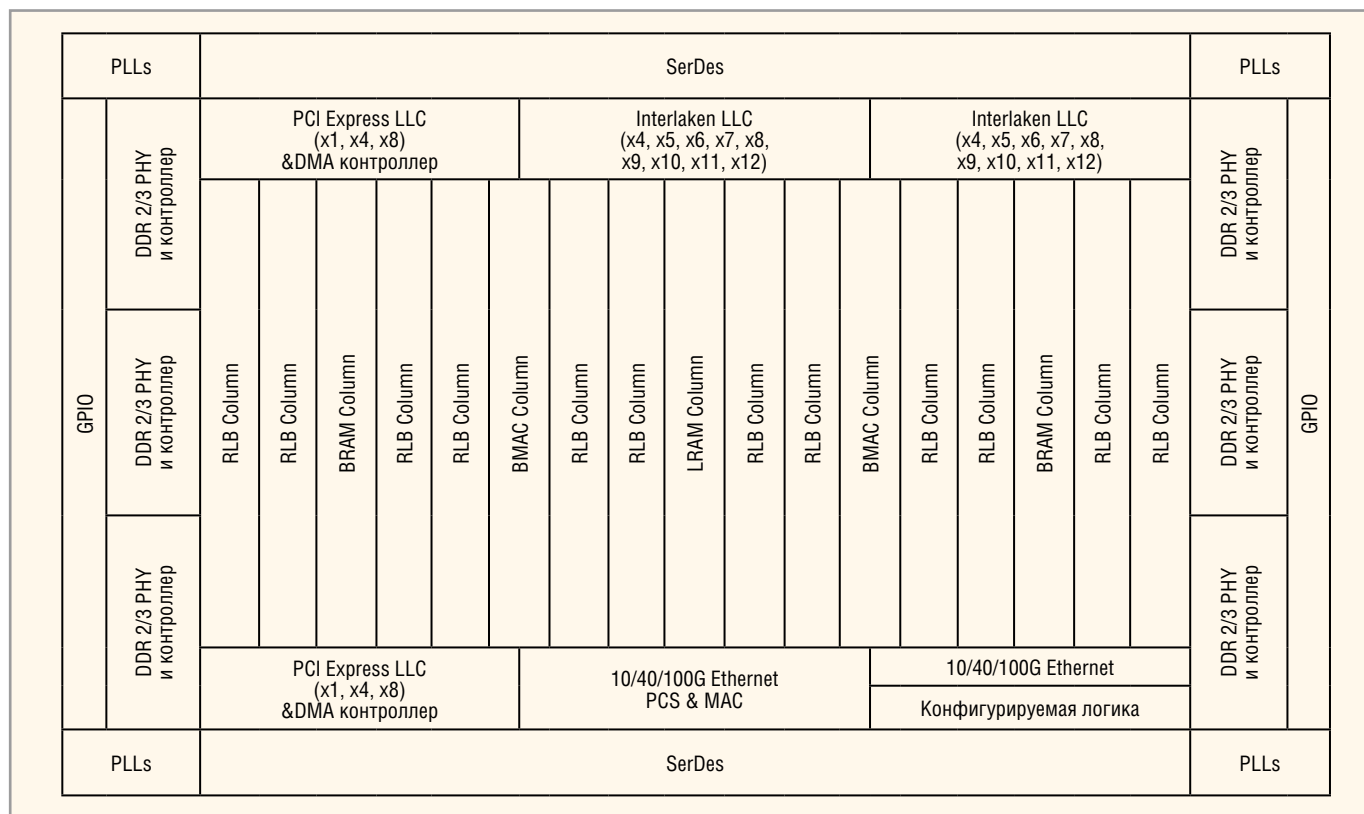


Рис. 2. Структурная схема ПЛИС серии Speedster

**Характеристики ПЛИС серии Speedster22i HD**

Параметры	HD680	HD1000	HD1500
Объём логики, включая аппаратные контроллеры (эффективных ячеек LUT)	660000	1045000	1725000
Объём программируемой логики (в LUT)	400000	700000	1100000
Количество модулей BRAM	600	1026	1728
Количество модулей LRAM	4320	6156	10368
Объём 80-килобитных BRAM (всего, кбит)	48000	82080	138240
Объём 640-битных LRAM (всего, кбит)	2765	3940	6636
Количество умножителей/MACs (28 × 28)	240	756	864
Количество линий SerDes 12,75 Гбит/с	40	64	48
Количество линий SerDes 28 Гбит/с	–	–	16
Количество аппаратных контроллеров Ethernet (уровень MAC) 10/40/100 Гбит/с	2	2	4
Количество контроллеров Interlaken LLC	1	2	4
Количество контроллеров PCI Express LLC	1	2	2
Количество контроллеров DDR2/DDR3	4	6	6
Количество блоков PLL	16	16	16
FBGA2601, 52,5 × 52,5 <sup>1</sup> (12G, 28G, GPIO) <sup>2</sup>		64, 0, 960	48, 16, 960
FBGA1936, 45 × 451 (12G, 28G, GPIO) <sup>2</sup>	40, 0, 684	40, 0, 684	20, 4, 684
FBGA1520, 40 × 401 (12G, 28G, GPIO) <sup>2</sup>	18, 0, 684		

<sup>1</sup> Размеры корпуса указаны в миллиметрах, шаг шариковых выводов составляет 1 мм.

<sup>2</sup> Количество ресурсов ввода/вывода для каждого корпуса указано через запятую: линий SerDes 12,75 Гбит/с, линий SerDes 28 Гбит/с, выводов общего назначения (General Purpose I/O).

большое количество слоёв. Как видно, сама плата представляет собой сложное и многофункциональное изделие. Одна только электрическая схема [4] занимает 90 страниц. Неудивительно, что плата позволяет разрабатывать и отлаживать уникальные проекты, например, создавать оборудование для сетей Ethernet 100G, для чего имеется разъём CFP. Два интерфейса Interlaken выведены на разъёмы AirMax. Плата также оснащена разъёмом PCI-express (Gen 3 x8, 64 Гбит/с) и может работать в качестве периферийного устройства в составе компьютера (см. рис. 5).

В комплект поставки входит кабель JTAG, выполняющий функции загрузчика и отладчика. Особенностью этого кабеля является возможность работать через порт USB, либо через порт Ethernet. В последнем случае можно организовать удалённый доступ

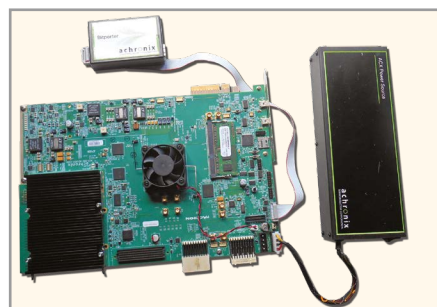


Рис. 3. Плата, источник питания и кабель JTAG

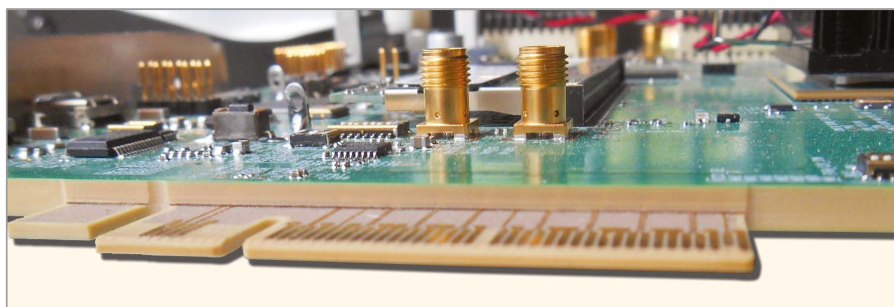


Рис. 4. Разъём PCIe из-за толщины платы требует выфрезеровки



Рис. 5. Плата, вставленная во внутренний разъем PCIe

к устройству. При работе через порт Ethernet требуется внешний источник питания (входит в комплект поставки). Также в комплекте поставки есть мощный источник питания для самой платы и модуль ОЗУ DDR-3 на 2 Гб.

### ПРОВЕРКА РАБОТСПОСОБНОСТИ

Проверить работу платы можно при помощи теста, встроенного в оболочку ACE (см. рис. 6). Тестовая прошивка загружается одним нажатием кнопки. После этого плата «оживает», и можно «поиграть» переключателями, включая и выключая светодиоды, и протестировать блоки внутренней памяти. Плата при этом должна быть соединена кабелем USB с компьютером.

### РАЗРАБОТКА

В качестве простого тестового проекта, чтобы изучить базовую функциональность средств разработки, применяемых для работы с ПЛИС Achronix, и освоить маршрут проектирования, был выбран счётчик с выводом старших разрядов на светодиоды.

### СТРУКТУРА ПРОЕКТА

Каждый проект находится в отдельном каталоге, содержащем, как минимум, 3 подкаталога:

- Src – для исходных текстов;
- Syn – для синтеза;
- TR – для реализации.

Практика показала, что в каталоге Syn лучше ничего лишнего не держать, так как размещённые там файлы синтезатор может затереть. Поэтому исходные тексты на языке Verilog находятся в каталоге Src, а все сценарии – в каталоге TR.

### Исходные тексты

Вся требуемая функциональность уместилась в одном файле, состоящем из 76 строк текста на языке Verilog. Исходные тексты и другие необходимые для имплементации файлы доступ-

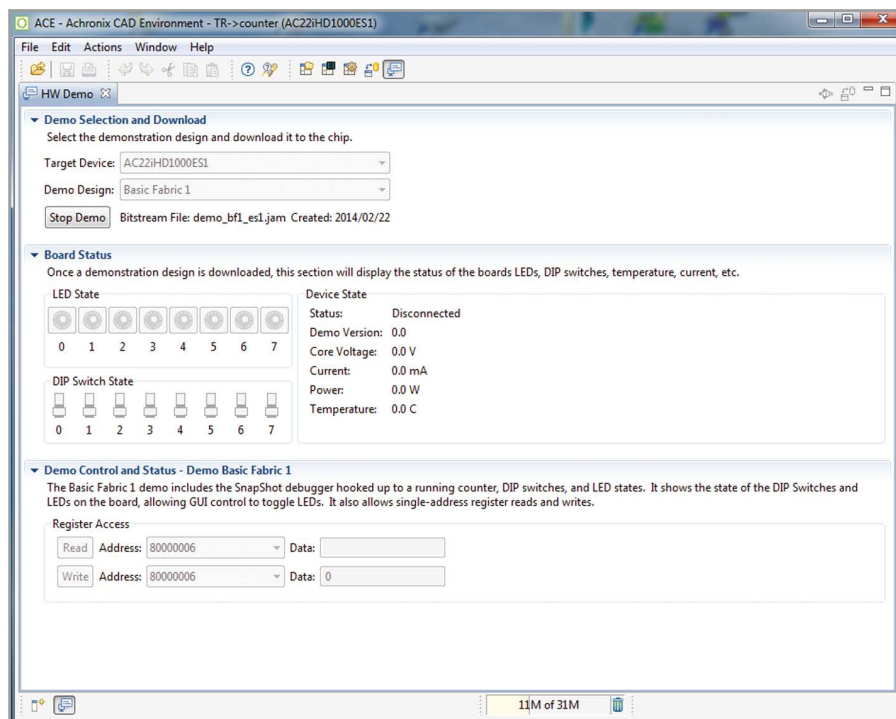


Рис. 6. Оболочка ACE: экран проверки платы

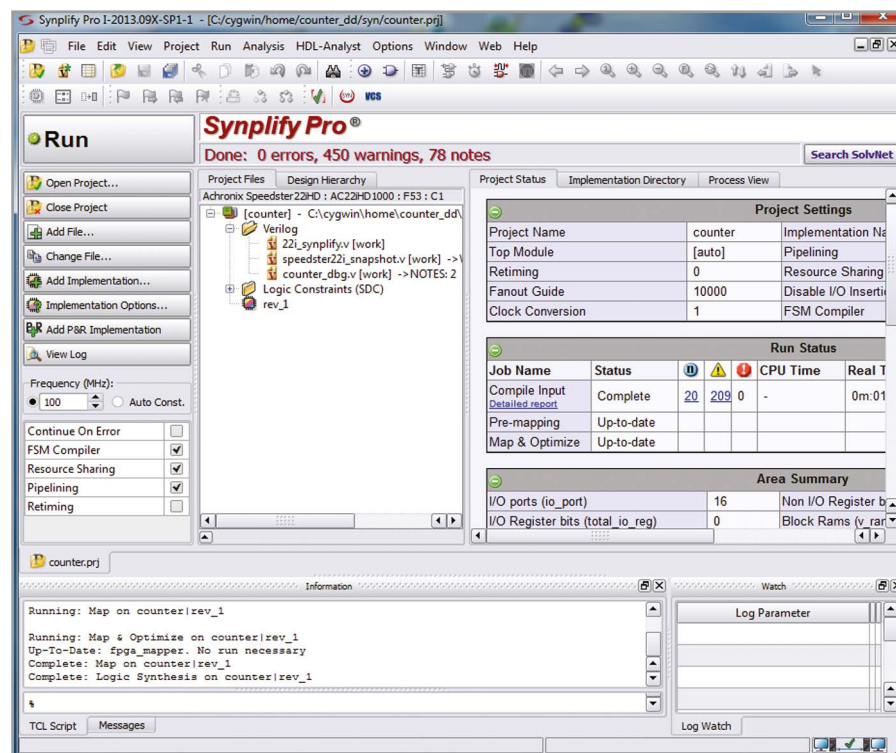


Рис. 7. Этап синтеза осуществляется программой Synplify

ны в дополнительных материалах к статье, размещённых на интернет-странице журнала ([www.soel.ru](http://www.soel.ru)).

В модуле используются два библиотечных компонента – тактовый буфер с дифференциальным входом и внутренний анализатор сигналов SnapShot [5]. В отличие от ПЛИС конкурентов, компонент SnapShot должен быть явно описан в проекте. На первых порах это может вызывать неудобство, но позже преимущество такого подхо-

да, которое заключается в полном контроле и гибкости настройки триггеров для регистрации отслеживаемых событий, становится очевидным.

### СИНТЕЗ

Этап синтеза осуществляется с помощью синтезатора Synplify от компании Synopsys (см. рис. 7). Кроме исходных текстов и ссылок на библиотеку элементов, для синтеза требуется файл констрейнтов (ограничений), имею-



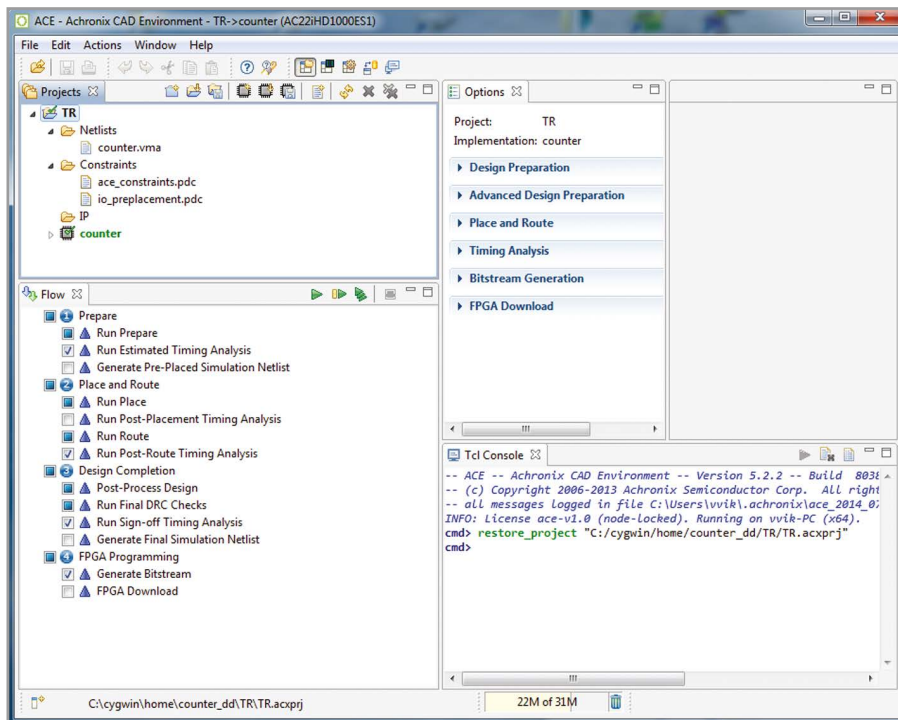


Рис. 8. Этап реализации проекта для ACE

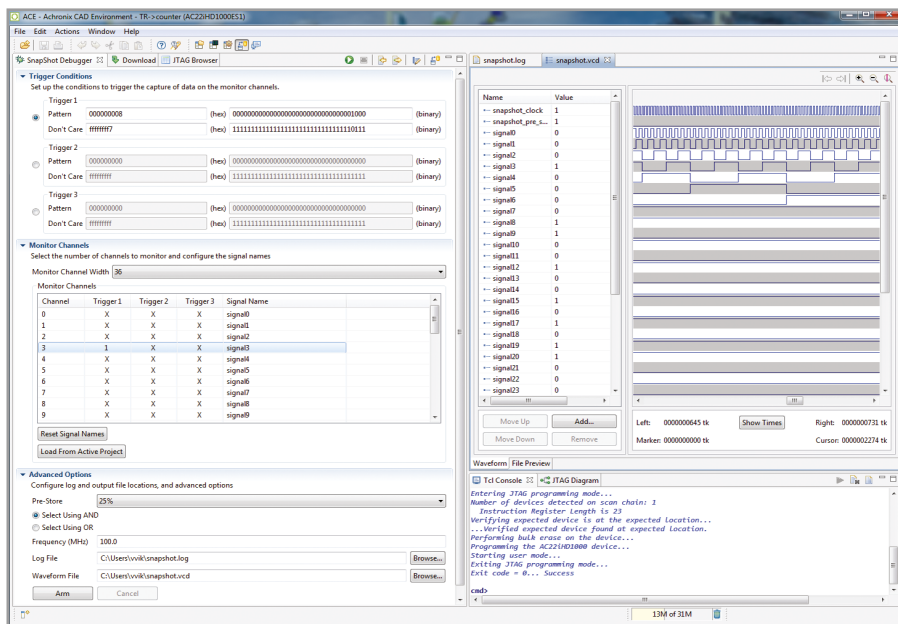


Рис. 9. Встроенный анализатор сигналов SnapShot

щий, как правило, расширение *.sdc*. Хотя для такого простого проекта он и не является обязательным, его лучше указать. В рассматриваемом примере – это названия тактовых сигналов и их параметры:

```
# synplify_constraints.sdc
set_hierarchy_separator {}
create_clock clk_p -period 10
create_clock tck -period 40
set_clock_groups -asynchronous
-group { tck } -group { clk_p }
```

Далее необходимо создать проект для Synplify, указать требуемые

для синтеза файлы и библиотеки и запустить процесс. Если всё сделано правильно, то получится выходной файл с расширением *.vma*. Известно, что основным выходным форматом Synplify является *.edif*, но программа ACE принимает только списки соединений Verilog, которые имеют расширение *.vma*.

**РЕАЛИЗАЦИЯ**

Процесс реализации является стандартным (см. рис. 8):

- создаётся проект для ACE;
- указывается в проекте файл результатов синтеза (с расширением *.vma*);

- задаются констрейнты (необходимо подготовить два файла – для задания тактовых частот и для задания выводов (см. далее);
- запускается процесс реализации;
- получается файл для загрузки в ПЛИС.

**ЗАГРУЗКА ПРОЕКТА И ОТЛАДКА**

Чтобы загрузить файл прошивки, созданный на предыдущем этапе, надо перейти в окно Download, нажать на кнопку Run Program и подождать пару минут. ПЛИС начинает работать сразу после окончания загрузки, о чём свидетельствует перемигивание светодиодов на плате.

Для просмотра внутренних сигналов, подключённых к модулю SnapShot, требуется открыть окно Snapshot Debugger. Здесь можно настроить режимы триггера захвата и другие параметры. Анализ запускается кнопкой Arm, после чего начинается отслеживание состояния триггера. После установки триггера на экране (с небольшой задержкой) появляется временная диаграмма регистрируемых сигналов (см. рис. 9).

**ЗАКЛЮЧЕНИЕ**

За короткий срок компании Achronix [6] удалось создать интересные, конкурентоспособные ПЛИС и средства разработки для них. Технология работы с ПЛИС Achronix доступна специалистам любой квалификации. Поставки и техническую поддержку ПЛИС в России осуществляет официальное представительство компании Achronix в РФ и на Украине [7].

**ЛИТЕРАТУРА**

1. Семейство Speedster22i® HD, техническое описание. [http://www.achronix.com/wp-content/uploads/docs/Speedster22iHD\\_FPGA\\_Family\\_DS004.pdf](http://www.achronix.com/wp-content/uploads/docs/Speedster22iHD_FPGA_Family_DS004.pdf).
2. <http://ru.wikipedia.org/wiki/Achronix>.
3. Руководство пользователя комплекта разработчика: Speedster22i HD1000 Development Kit User Guide. [http://www.achronix.com/wp-content/uploads/docs/Speedster22i\\_DevelopmentKit\\_User\\_Guide\\_UG034.pdf](http://www.achronix.com/wp-content/uploads/docs/Speedster22i_DevelopmentKit_User_Guide_UG034.pdf).
4. Схема электрическая принципиальная отладочной платы. 22iHD1000\_Development\_Board\_Schematic.pdf.
5. Руководство пользователя отладчика SnapShot. [http://www.achronix.com/wp-content/uploads/docs/Speedster22i\\_Snapshot\\_User\\_Guide\\_UG016.pdf](http://www.achronix.com/wp-content/uploads/docs/Speedster22i_Snapshot_User_Guide_UG016.pdf).
6. [www.achronix.com](http://www.achronix.com).
7. [www.achronix.ru](http://www.achronix.ru).

