

Методы загрузки конфигурационных данных в программируемые аналоговые интегральные схемы Anadigm®

Александр Полищук (Москва)

В предыдущих номерах журнала (№ 2, 2004; № 1, 2005) мы рассказывали о новом продукте на российском рынке электронных компонентов – программируемых аналоговых интегральных схемах (ПАИС). В этой статье мы подробно рассмотрим способы загрузки конфигурационных данных в ПАИС, а также структуру конфигурационного интерфейса.

НАЗНАЧЕНИЕ И СТРУКТУРА КОНФИГУРАЦИОННОГО ИНТЕРФЕЙСА

Отличительной особенностью ПАИС Anadigm® является развитый конфигурационный интерфейс, позволяющий максимально упростить и ускорить процесс загрузки данных в микросхему, а также открыть возможность для использования широкой номенклатуры источников данных – от стандартных ПЗУ до микропроцессоров.

Конфигурационный интерфейс предназначен для загрузки данных аналоговой структуры в конфигурационное ОЗУ. Он поддерживает автоматическую загрузку конфигурации из внешней Serial EEPROM, а также из микроконтроллера (МК) через стандартный интерфейс SPI или SSI или через типовую микропроцессорную шину данных. Выбор варианта загрузки данных осуществляется выдачей соответствующего сигнала на вывод MODE.

Оба варианта загрузки данных доступны как для статических, так и для динамических ПАИС. Динамически перепрограммируемые микросхемы дополнительно имеют возможность смены конфигурации при управлении от внешнего МК в режиме реального времени.

После загрузки данные хранятся в конфигурационном ОЗУ. В динамически перепрограммируемых микросхемах имеется дополнительное теневое ОЗУ. Данные из внешнего источника загружаются в теневое ОЗУ и затем с приходом очередного такта

синхронизации копируются в конфигурационное ОЗУ. Этот метод позволяет загружать данные в работающем устройстве и при необходимости изменять аналоговую структуру без перезагрузки системы.

Поскольку ПАИС допускает много различных вариантов конфигурирования, рассмотрим назначение основных выводов конфигурационного интерфейса. По функциональному назначению их можно разбить на три основные группы: выводы управления, синхронизации и контроля ошибок.

Выводы синхронизации

К данной группе относятся выводы DCLK, DOUTCLK, ACLK/SPIP и OUTCLK/SPIMEM.

DCLK – основной вход для синхронизации ПАИС, максимальная частота – 40 МГц. Положительный перепад на нём используется для управления конфигурационной логикой. Если при включении питания сигнал на этом входе отсутствует, микросхема не перейдет в активное состояние. На вход DCLK можно подавать внешний сигнал с логическими уровнями или подключать кварцевый резонатор, второй вывод которого должен быть соединён с выводом DVCC. Встроенный генератор автоматически обнаруживает подключенный резонатор и переходит в режим осциллятора. В этом случае частота может выбираться в диапазоне 12...24 МГц; оптимальным считается значение 16 МГц.

DOUTCLK – буферизированный выход сигнала DCLK. Он доступен по-

сле загрузки данных в ПАИС и может быть полезен при параллельной работе нескольких микросхем, когда вход DCLK одной из них используется для подключения кварцевого резонатора. Если этот вывод не используется, он должен оставаться в неподключенном состоянии.

ACLK/SPIP может выполнять две функции в зависимости от значения управляющего сигнала MODE (см. ниже).

OUTCLK/SPIMEM предназначен для передачи последовательного потока данных для установки SPI EPROM в режим считывания. При включении питания на нём формируется 16-рядный стартовый адрес. После завершения конфигурирования этот вывод может быть подключен к любому из четырёх встроенных аналоговых генераторов.

Выводы управления

К данной группе относятся выводы MODE, PORb, ACTIVATE, LCCb, CFGFLGb, DIN, CS1b, CS2b.

MODE – вывод для управления режимами работы системных генераторов.

Логический уровень на этом входе устанавливает конфигурацию выводов встроенного генератора, как показано на рисунках 1 и 2. В режиме MODE = 0 вывод ACLK/SPIP выполняет функцию аналогового входа и может использоваться как основной источник аналоговой синхронизации внутри ПАИС (рисунок 1). В режиме MODE = 1 ACLK/SPIP является выходом, на котором присутствует результат от деления частоты DCLK на 16 (см. рис. 2). Он используется как источник сигнала синхронизации последовательного интерфейса SPI или Serial EPROM.

PORb (Power On Reset) – вывод для перезапуска ПАИС. Когда на него выдётся сигнал лог. 0, внутренний узел

перезапускает микросхему. При использовании его в качестве управляющего сигнала на вывод PORb должен выдаваться перепад напряжения. Если на нём длительное время присутствует лог. 0, микросхема будет находиться в состоянии сброса. При первом же положительном перепаде произойдёт перезапуск ПАИС так, как будто на неё впервые подано напряжение питания.

ACTIVATE – вывод, на котором формируется сигнал, указывающий на проведение процесса инициализации ПАИС. К нему может быть подключен встроенный подтягивающий резистор на шину +5 В путём задания значения соответствующего бита в байте управления. В течение процесса инициализации и конфигурирования ПАИС на выводе ACTIVATE присутствует лог. 0. После завершения конфигурирования вывод переходит в высокоимпедансное состояние, и при подключенном подтягивающем резисторе на нём появляется лог. 1. При использовании системы нескольких ПАИС все выводы ACTIVATE должны быть соединены вместе, чтобы гарантировать одновременное завершение процесса конфигурирования. Сигнал ACTIVATE также может быть использован для блокировки стандартной FPGA Serial EPROM до завершения процесса конфигурирования.

LCCb (Local Configuration Complete) – вывод, на котором формируется сигнал, указывающий на завершение процесса первичной конфигурации ПАИС. При включении питания на нём присутствует лог. 1, которая сохраняется до тех пор, пока не завершится процесс загрузки первичной конфигурации. После этого на выходе LCCb устанавливается лог. 0. В системе с несколькими ПАИС этот вывод должен быть соединён с входом CS1b следующей микросхемы для организации конфигурационной цепочки, что необходимо для одновременного завершения процесса загрузки первичной конфигурации.

CFGFLGb (Configuration Flag) – вывод сигнала «флага» конфигурации. В отличие от LCCb, наличие лог. 0 на CFGFLGb свидетельствует о течении процесса конфигурирования, в то время как ноль на LCCb показывает на завершение этого процесса. В момент включения питания на выводе CFGFLGb устанавливается лог. 0, ко-

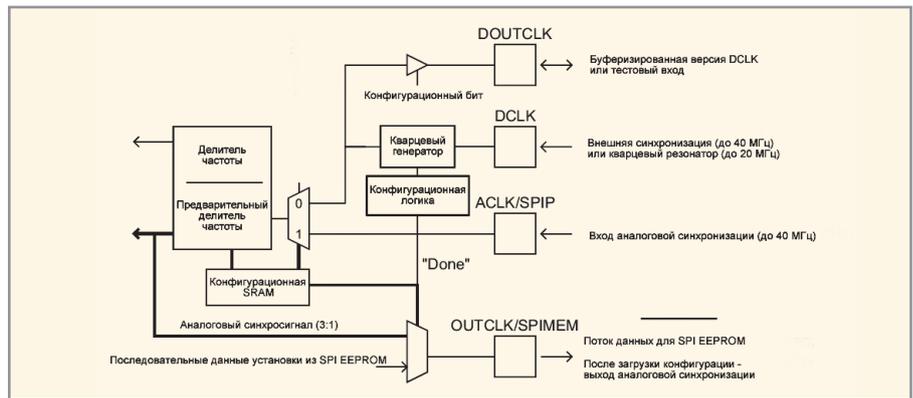


Рис. 1. Режим работы системных генераторов при MODE=0

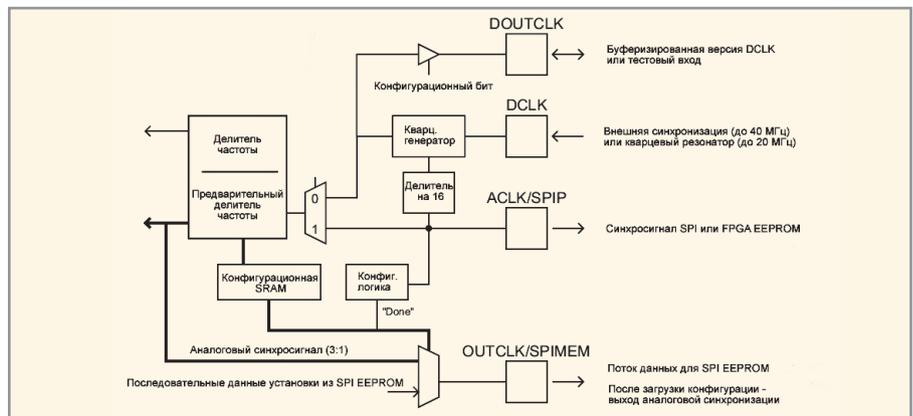


Рис. 2. Режим работы системных генераторов при MODE=1

торый сохраняется до тех пор, пока не завершится процесс загрузки первичной конфигурации. После завершения процесса вывод переходит в высокоимпедансное состояние, и на нём, благодаря наличию внутреннего или внешнего подтягивающего резистора, появляется лог. 1. Аналогичное состояние флаг конфигурации принимает при каждом последующем переконфигурировании системы. При использовании системы нескольких ПАИС все выводы CFGFLGb должны быть соединены вместе. В этом случае все микросхемы, для которых не были предназначены данные при переконфигурировании, будут их игнорировать, пока на соответствующих выводах CFGFLGb присутствует лог. 1. Кроме того, сигнал на выводе CFGFLGb может использоваться для инициализации SPI EPROM, которая требует отрицательного перепада на выводе выбора кристалла (Chip Select). Этот перепад появляется на CFGFLGb в процессе инициализации ПАИС при включении питания, после чего на выводе OUTCLK/SPIMEM появляется поток данных инструкции и адреса, что позволяет инициализировать SPI EPROM синхронно с сигналом флага конфигурации.

Внутренний подтягивающий резистор может быть подключен программно заданием значения соответствующего бита в байте управления и будет мгновенно активирован после его загрузки.

DIN (Data In) – вывод последовательного входа загрузки данных в ПАИС. При включении питания в течение процесса инициализации сигналы на нём игнорируются. К нему подключен внутренний подтягивающий резистор, необходимый при совместной работе с Serial EPROM, выход которой переходит в высокоимпедансное состояние после загрузки.

CS1b, CS2b (Chip Select 1,2) – выводы выбора кристалла ПАИС с низким активным логическим уровнем. В процессе загрузки первичной конфигурации на входы CS1b, CS2b должны быть выданы сигналы лог. 0, а сигнал DCLK используется для синхронизации конфигурационной логики. После завершения загрузки сигнал CS1b задерживается ещё в течение 8 тактов и затем выдаётся на вывод LCCb. CS2b соединён с CS1b по схеме ИЛИ-НЕ, выход которой используется для запрета или разрешения выдачи сигнала синхронизации на конфигурационную логику. Когда оба сигнала CS

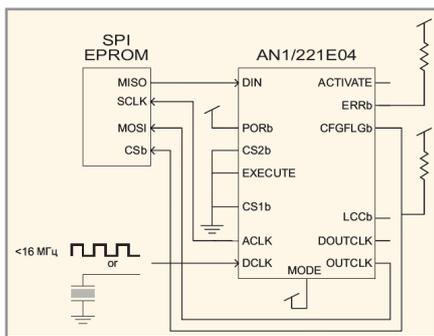


Рис. 3. Загрузка данных из SPI EPROM

имеют низкий уровень, выдача синхросигнала разрешена. Необходимо отметить, что во время загрузки данных из Serial EPROM на CS2b должен быть выдан низкий уровень, иначе входящие данные не будут синхронизироваться в ПАИС. После завершения загрузки конфигурации пользователь может выдать на CS2b высокий уровень и перевести ПАИС в неактивное состояние с пониженным энергопотреблением.

Вывод контроля ошибок ERRb

Это вывод может использоваться в режиме входа или выхода с открытым стоком. В обоих случаях к нему необходимо подключить подтягивающий резистор на шину +5 В (типичное значение – 10 кОм). Во время инициализации ПАИС при включении питания вывод ERRb используется в режиме выхода, и до завершения этого процесса на нём присутствует лог. 0. После завершения конфигурирования вывод освобождается (переходит в высокоимпедансное состояние), и благодаря наличию подтягивающего резистора на нём присутствует сигнал лог. 1. При использовании системы параллельно включенных ПАИС все выводы ERRb должны быть соединены вместе. Это связано с тем, что различные ПАИС могут иметь различное время инициализации. В этом случае будет осуществляться синхронное конфигурирование всех микросхем, так как наличие на выводе ERRb низкого уровня после завершения инициализации удерживает ПАИС в состоянии сброса. Система начнёт функционировать, когда на выводах ERRb всех микросхем будет присутствовать лог. 1. Пользователь может вручную задержать начало конфигурирования, подав на вывод ERRb лог. 0 при включении питания. Начало конфигурирования можно также задержать, подав на вход CS2b лог. 1 при включении пита-

ния. При этом ERRb будет находиться в состоянии лог. 0 до тех пор, пока на CS2b не придёт лог. 0. После завершения конфигурирования на выводе ERRb всегда присутствует высокий уровень, если в системе не происходит ошибки. Каждый раз при возникновении ошибки ERRb переходит в состояние лог. 0. Длительность сигнала ошибки может быть установлена программно в одной из двух реализаций: «длинный» импульс (15 периодов тактовой синхронизации) и «короткий» импульс (1 период тактовой синхронизации). Короткий импульс будет проигнорирован всеми изделиями в системе, а микросхема, сгенерировавшая такой импульс, будет перезагружена. Длинный импульс будет восприниматься всеми ПАИС, что приведёт к перезагрузке системы в целом в режиме первичной конфигурации. Вывод ERRb может использоваться для принудительного перевода ПАИС в режим первичной конфигурации. Для этого после завершения инициализации и конфигурирования ПАИС необходимо подать на этот вход сигнал лог. 0 длительностью не менее 15 периодов тактовой частоты. Это приведёт к перезагрузке устройства в режиме первичной конфигурации, после чего на выводе ERRb вновь установится лог. 1.

ЗАГРУЗКА ДАННЫХ ИЗ ВНЕШНЕГО ПЗУ

Наиболее простой способ конфигурирования ПАИС – загрузка данных конфигурации непосредственно из внешнего ПЗУ. ПАИС напрямую совместимы с 25-й серией SPI EPROM и 17-й серией Serial EPROM (в том числе FPGA EPROM).

После подачи питания микросхема автоматически генерирует внутренний импульс сброса, который перезагружает конфигурационную память и запускает процесс инициализации ПАИС. Если при этом на входах CS1b и CS2b присутствует лог. 0, микросхема формирует необходимые сигналы для чтения данных из ПЗУ соответствующего типа. После завершения загрузки данных ПАИС автоматически активирует аналоговую структуру.

Типовая схема подключения стандартной SPI EPROM 25-й серии (Atmel AT25080, Microchip 25AA160 и т.п.) показана на рисунке 3.

После включения питания и завершения процесса инициализации ПАИС на выводе CFGFLGb появляется

лог. 0 (активный уровень), который передаётся на вход CS (Chip Select) SPI EPROM. На выводе OUTCLK/SPIMEM появляется последовательный поток данных (16-разрядный стартовый адрес, значение всегда 0x0000), предназначенный для установки SPI EPROM в режим считывания. Через определённый интервал времени ПАИС переходит в режим приёма данных конфигурации по входу DIN, которые начинают загружаться в ОЗУ после приёма байта синхронизации. Таким образом, устройство обеспечивает стандартный протокол считывания данных из SPI EPROM.

В первый момент после подачи питания выводы ACLK, CFGFLGb и OUTCLK/SPIMEM находятся в неопределённом состоянии, пока не сгенерируется внутренний импульс сброса и не переведет их в стартовое состояние (типичное время – около 30 мс). Время выхода на режим тактового генератора не превышает 10 мс. Данные, приходящие на вход DIN, записываются в ОЗУ по заднему фронту синхросигнала ACLK.

После загрузки последнего (незначущего) конфигурационного байта данных флаг конфигурации снимается (вывод CFGFLGb переходит в третье состояние). Через один период синхросигнала ACLK выход OUTCLK/SPIMEM будет подключен к одному из четырёх внутренних аналоговых генераторов или к выходу одного из компараторов, в зависимости от его программной конфигурации. Если этот вывод программно не используется, он перейдёт в состояние лог. 0.

Загрузка данных в ПАИС может быть осуществлена из Serial EPROM 17-й серии (Xilinx XC1700E, Atmel AT17xx, Altera ECP1, ECP2 и т.п.), которая обычно используется в качестве конфигурационной памяти ПЛИС. В отличие от SPI EPROM, этот тип памяти не требует передачи стартового адреса, поэтому вывод OUTCLK/SPIMEM к ней не подключается. Типовая схема подключения Serial EPROM показана на рисунке 4.

Аналогично предыдущему случаю, после генерации внутреннего импульса сброса на выводе ACTIVATE присутствует лог. 0, а ERRb переходит в высокоимпедансное состояние, после чего осуществляется потактовая загрузка данных конфигурации в ПАИС.

Программируемые аналоговые интегральные схемы (FPAА)

ana digm™



На одном кристалле FPAА содержится:

- Дифференциальные компараторы
- Операционные и инструментальные усилители
- Инструментальные усилители
- Фильтры
- Источники образцового напряжения
- Усилители-ограничители
- Мультиплексор
- Выпрямители с ФНЧ
- Генераторы синусоидального сигнала
- Генераторы периодических сигналов специальной формы
- АЦП последовательного приближения
- Программируемые усилители

Области применения

- Системы сбора данных
- Медицинское оборудование
- Автоэлектроника
- Промышленная автоматика
- Аудиотехника
- Прецизионные измерительные системы и т.п.

ПРЕИМУЩЕСТВА ИСПОЛЬЗОВАНИЯ FPAА

- Продление жизненного цикла изделия
- Упрощение настройки и регулировки
- Повышение надёжности
- Снижение стоимости
- Статическая и динамическая конфигурация структуры
- Однокристалльные системы аналоговой обработки
- Программное изменение характеристик системы
- Автоматически перестраиваемые и адаптируемые схемы

Основные достоинства Anadigm Designer 2

- Удобная среда разработки, интуитивно понятная разработчику
- Отладка схемы в реальном времени
- Цифровой осциллограф, вольтметр, частотомер
- Быстрое программирование ИС через стандартный порт RS232 непосредственно из среды разработки
- Тестирование прошивки непосредственно на кристалле или в системе
- Динамическое перепрограммирование структуры

ANADIGM — ПРОДЛЕНИЕ ЖИЗНЕННОГО ЦИКЛА ВАШИХ ИЗДЕЛИЙ!

Узнайте подробности в компании ПРОСОФТ

Телефон: (095) 234-0636 • Web: www.prochip.ru

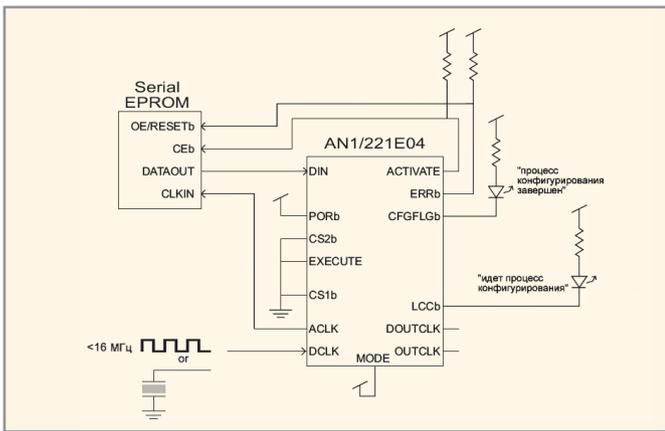


Рис. 4. Загрузка данных из Serial EPROM

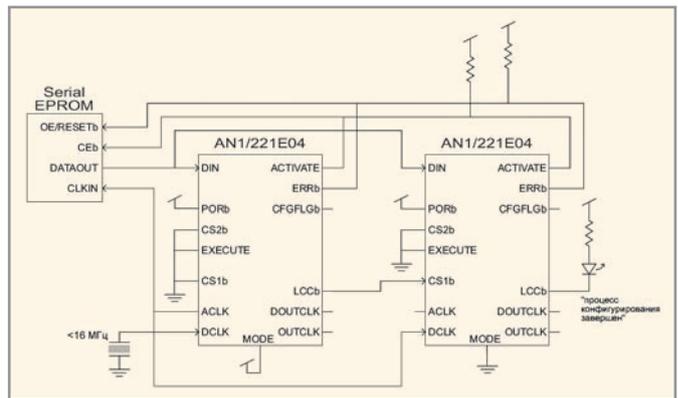


Рис. 5. Загрузка данных из общей Serial EPROM при параллельной работе двух ПАИС

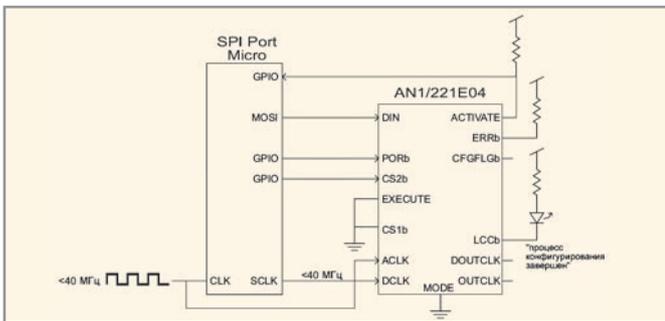


Рис. 6. Загрузка данных через SPI-интерфейс

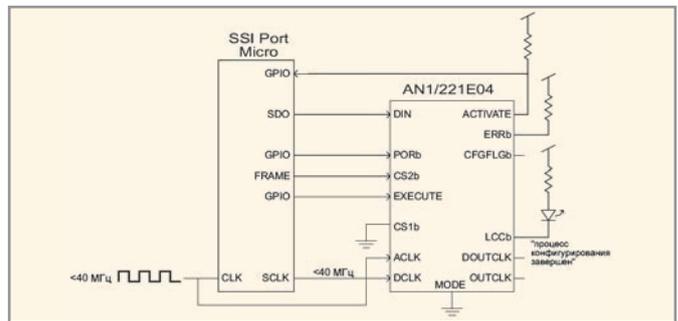


Рис. 7. Загрузка данных через SSI-интерфейс

При использовании FPGA EPROM основное отличие от SPI EPROM заключается в том, что формируемый ПАИС 16-разрядный стартовый адрес в этом случае не используется, а данные из внешней памяти в ПАИС начинают поступать раньше, чем она готова их принять. Поэтому конфигурационные данные должны иметь префикс из четырёх незначащих байтов перед байтом синхронизации и значащей информацией. САПР AnadigmDesigner[®]2 автоматически добавляет требуемый префикс к данным конфигурации. Как было указано выше, процесс конфигурирования завершается через несколько тактов синхронизации после загрузки последнего (незначащего) байта, который также добавляется к конфигурационным данным автоматически при верификации проекта.

Загрузка конфигурации в систему нескольких ПАИС может осуществляться из общей внешней памяти (FPGA или SPI EPROM). На рисунке 5 показано типовое включение цепочки из двух микросхем. На выводы CS1b и CS2b первой ПАИС в цепочке всегда выдаётся лог. 0, поэтому после включения питания она сразу же начинает процесс конфигурирования. Остальные микросхемы в этот момент находятся в режиме ожидания, поскольку на их входах CS1b присутствует лог. 1.

После того как первая ПАИС закончит загрузку конфигурации, её выход LCCb перейдёт в состояние лог. 0, разрешающее начало конфигурирования следующей микросхеме. Аналогично будут последовательно сконфигурированы все ПАИС в цепи.

Соединение вместе всех двунаправленных выводов ERRb гарантирует, что если хотя бы одна из микросхем в процессе конфигурирования обнаружит ошибку и прервёт загрузку, все ПАИС в цепи будут перезагружены в режиме первичной конфигурации и процесс повторится заново.

Все двунаправленные выходы с открытым стоком ACTIVATE также должны быть соединены вместе. Пока процесс конфигурирования каждой из микросхем не завершён, на ACTIVATE присутствует лог. 0. После того как последняя ПАИС завершит загрузку данных, все выходы ACTIVATE окажутся в высокоимпедансном состоянии, и с приходом очередного такта синхронизации будут одновременно активированы аналоговые структуры всех микросхем.

ЗАГРУЗКА ДАННЫХ ИЗ МИКРОКОНТРОЛЛЕРОВ И МИКРОПРОЦЕССОРОВ

В приложениях, требующих динамического переконфигурирования

аналоговой структуры, необходимо использовать внешний контроллер, позволяющий выполнять вычисления новых значений схемы, собирать эти значения в блок конфигурационных данных и передавать его в ПАИС. Гибкий конфигурационный интерфейс устройства разработан так, чтобы принимать данные как от последовательных ПЗУ, так и от любого из трёх основных типов интерфейсов микроконтроллеров и микропроцессоров: синхронного последовательного интерфейса (SSI), последовательного периферийного интерфейса (SPI) или традиционной внешней периферийной процессорной шины данных.

Загрузка данных через интерфейсы SPI и SSI

С точки зрения загрузки данных в ПАИС интерфейсы SPI и SSI эквивалентны. Они содержат сигнал, индицирующий поступление данных, непосредственно сами данные и данные синхронизации. Единственное отличие SSI от SPI состоит в названии различных хостов, определяющих эти сигналы, а также частотах, на которых хост может получить доступ к ним. Функционально подключение обоих интерфейсов идентично (см. рис. 6, 7).

Микроконтроллеры с портами SPI немного более распространены, чем

