

Микроконтроллеры семейства LPC2000 (ARM7TDMI-S) от Philips – ещё один шаг к идеальной платформе для встраиваемых приложений

(часть 5)

Павел Редькин (г. Ульяновск)

Автор продолжает знакомить с 16/32-разрядными встраиваемыми микроконтроллерами семейства LPC2000 фирмы Philips Semiconductors. В этой части статьи рассматриваются построение и логика работы коммуникационных интерфейсов МК: I²C, SPI.

Режим ведущего передатчика

В этом режиме данные передаются от ведущего к ведомому. Прежде чем активировать режим ведущего передатчика, регистр установок управления I²C (I2CONSET) должен быть инициализирован значением, показанным в табл. 42.

Первый передаваемый ведущим байт содержит адрес ведомого приёмника (7 битов) и бит направления последующей передачи данных. В режиме ведущего передатчика бит направления (R/W) должен быть сброшен, что указывает на запись (W). Затем ведущий побайтно передаёт данные. После того как ведущий передаёт каждый байт данных, он принимает от ведомого бит «подтверждение» (ACK). Условия START и STOP генерируются ведущим, чтобы указать начало и конец последовательной передачи.

Интерфейс I²C переходит в режим ведущего передатчика, когда про-

грамма устанавливает бит STA. После этого логика I²C генерирует условие START, как только видит, что шина свободна, т.е. не подтянута к низкому уровню другими подключенными к ней устройствами. После того как условие START передано, аппаратно устанавливается бит SI и в регистре состояния интерфейса I²C (I2STAT) возвращается код состояния, равный 08h. Этот код состояния должен использоваться вектором и подпрограммой обработки прерывания, которая должна загрузить адрес ведомого и бит записи в регистр данных интерфейса I²C (I2DAT), а затем сбросить бит SI. Бит SI сбрасывается путём записи «1» в бит SIC регистра I2CONCLR.

Когда адрес ведомого и бит R/W переданы ведомому и бит «подтверждение» от него получен, бит SI устанавливается снова и в регистре состояния I2STAT вновь возвращается некоторый код состояния. Действия, которые должны быть предприняты пользовательской программой в соответствии со значением этого кода, показаны в табл. 43 и 44. Для получения более подробной информации об операциях интерфейса I²C рекомендуется обратиться к [7]. Формат обмена по шине I²C для режима ведущего передатчика показан на рис. 18, где A – подтверждение (SDA низкий), /A – не подтверждение (SDA высокий), S – условие START, P – условие STOP (на рисунках 19 – 22 обозначения аналогичны).

Таблица 42. Инициализация регистра I2CONSET для режима ведущего

Номер бита	Имя бита	Значение бита
0	–	–
1	–	–
2	AA	0
3	SI	0
4	STO	0
5	STA	0
6	I2EN	1
7	–	–

Режим ведущего приёмника

В режиме ведущего приёмника данные принимаются от ведомого передатчика. Передача инициализируется тем же самым способом, что и в режиме ведущего передатчика. После генерации ведущим условия START подпрограмма обработки прерывания должна загрузить адрес ведомого и бит направления в регистр данных I²C (I2DAT), а затем сбросить бит SI. В этом режиме бит направления должен быть установлен, что указывает на чтение (R). После передачи ведущим адреса ведомого и бита направления и получения от ведомого бита «подтверждение» устанавливается бит SI и в регистре состояния I²C (I2STAT) возвращается код состояния. Действия, которые должны быть предприняты программой в соответствии со значением возвращённого кода состояния, показаны в табл. 45.

Формат обмена по шине I²C для режима ведущего приёмника показан на рис. 19. На рис. 20 показан формат обмена по шине I²C при переключении интерфейса I²C микроконтроллера из режима ведущего приёмника в режим ведущего передатчика после генерации условия повторный START (на рисунках 20 и 21 это условие обозначено как RS).

Режим ведомого приёмника

В режиме ведомого приёмника байты данных принимаются от ведущего передатчика. Чтобы инициализировать режим ведомого приёмника, пользователь должен инициализировать регистр адреса ведомого (I2ADR) выбранным значением адреса ведомого, а также регистр установок управления I²C (I2CONSET) значением, показанными в табл. 46. После

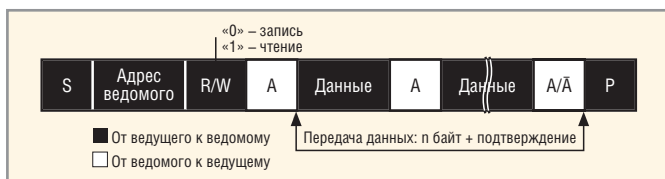


Рис. 18. Формат обмена данными по шине I²C для режима ведущего передатчика

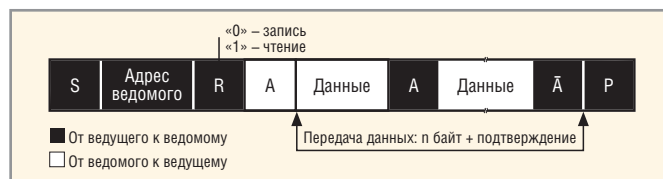


Рис. 19. Формат обмена данными по шине I²C для режима ведущего приёмника

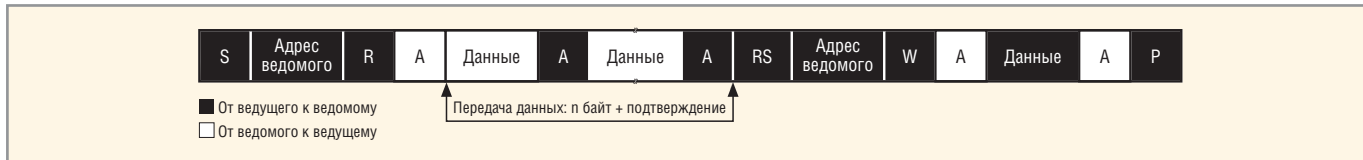


Рис. 20. Формат обмена данными по шине I²C для режима ведущего приёмника, а затем режима ведущего передатчика

инициализации регистров I2ADR и I2CONSET интерфейс I²C ведомого ожидает, пока не произойдет обращение к нему по его собственному адресу ведомого или адресу общего вызова. Характер этого обращения (запись или чтение) детектируется ведомым по значению бита направ-

ления в посылке, поступившей от ведущего. Сброшенный бит направления (W) означает, что ведущий намерен передавать данные, а интерфейс I²C МК переходит в режим ведомого приёмника.

После получения адреса ведомого и бита направления у ведомого при-

ёмника устанавливается бит SI и соответствующий код состояния возвращается в регистре состояния (I2STAT). Действия, которые должны быть предприняты пользовательским программным обеспечением в соответствии со значением возвращённого кода состояния, показаны в

Таблица 43. Коды состояния для режима I²C ведущего передатчика

Код состояния (I2STAT)	Текущее состояние шины I ² C и аппаратной логики интерфейса	Ответ пользовательского программного обеспечения				Следующее действие аппаратной логики интерфейса	
		операции с I2DAT	операции с битами I2CONSET				
			STA	STO	SI		AA
08h	Передано условие START	Загрузить адрес ведомого + W	X	0	0	X	Адрес ведомого + W будет передан; бит ACK будет получен
10h	Передано условие повторный START	Загрузить адрес ведомого + W	X	0	0	X	Адрес ведомого + W будет передан
		Загрузить адрес ведомого + R	X	0	0	X	I ² C перейдёт в режим ведущего приёмника
18h (или 20h)	Адрес ведомого + W был передан; бит ACK (или NOT ACK) был получен	Загрузить байт данных	0	0	0	X	Байт данных будет передан; бит ACK будет получен
			1	0	0	X	Условие повторный START будет передано
		Нет операций с I2DAT	0	1	0	X	Условие STOP будет передано; флаг STO будет сброшен
			1	1	0	X	Условие STOP, сопровождаемое условием START, будет передано; флаг STO будет сброшен
28h (или 30h)	Байт данных в I2CDAT был передан; бит ACK (или NOT ACK) был получен	Загрузить байт данных или нет операций с I2DAT	0	0	0	X	Байт данных будет передан; бит ACK будет получен
			1	0	0	X	Условие повторный START будет передано
			0	1	0	X	Условие STOP будет передано; флаг STO будет сброшен
			1	1	0	X	Условие STOP, сопровождаемое условием START, будет передано; флаг STO будет сброшен
38h	Арбитраж потерян при передаче адреса ведомого + R/W или байта данных	Нет операций с I2DAT	0	0	0	X	Шина I ² C будет «отпущена» без обращения к адресуемому ведомому
			1	0	0	X	Условие START будет передано, когда шина освободится

Таблица 44. Коды состояния для режима I²C ведомого передатчика

Код состояния (I2STAT)	Текущее состояние шины I ² C и аппаратной логики интерфейса	Ответ пользовательского программного обеспечения				Следующее действие аппаратной логики интерфейса	
		операции с I2DAT	операции с битами I2CONSET				
			STA	STO	SI		AA
A8h	Собственный адрес ведомого + R был получен; бит ACK был возвращён	Загрузить байт данных	X	0	0	0	Последний байт данных будет передан и бит ACK будет получен
B0h	Арбитраж был потерян во время прохождения адреса ведомого + R/W от ведущего; собственный адрес ведомого + R был получен; бит ACK был возвращён		X	0	0	1	Байт данных будет передан и бит ACK будет получен
B8h	Байт данных в I2DAT был передан; бит ACK был получен						
C0h	Байт данных в I2DAT был передан; бит NOT ACK был получен	Нет операций с I2DAT	0	0	0	0	Переключение в режим без адресации адреса ведомого; отсутствие распознавания собственного адреса ведомого или адреса общего вызова
			0	0	0	1	Переключение в режим без адресации адреса ведомого; собственный адрес ведомого будет распознаваться; адрес общего вызова будет распознаваться, если I2ADR[0] = 1
C8h	Последний байт данных в I2DAT был передан (AA = 0); бит ACK был получен	Нет операций с I2DAT	1	0	0	0	Переключение в режим без адресации адреса ведомого; отсутствие распознавания собственного адреса ведомого или адреса общего вызова; условие START будет передано, когда шина освободится
			1	0	0	1	Переключение в режим без адресации адреса ведомого; собственный адрес ведомого будет распознаваться; адрес общего вызова будет распознаваться, если I2ADR[0] = 1; условие START будет передано, когда шина освободится



Рис. 21. Формат обмена данными по шине I²C для режима ведомого приёмника

табл. 47. Формат обмена по шине I²C для режима ведомого приёмника показан на рис. 21.

Режим ведомого передатчика

В режиме ведомого передатчика первый байт принимается от ведущего и обрабатывается, как и в режиме ведомого приёмника, за исключением того, что установленный бит направления (R) укажет ведомому, что ведущий намерен принимать данные от ведомого. Последовательные данные передаются ведомым для ведущего по линии SDA, в то время как последовательный синхросигнал принимается ведомым от ведущего по линии SCL. Условия START и STOP распознаются ведомым как начало и конец последовательной передачи. Как и в режиме ведомого приёмника, в режиме ведомого передатчика аппаратные средства интерфейса I²C производят сравнение принятого от ведущего адреса ведомого со своим собственным адресом ведомого и адресом общего вызова. При наличии хотя бы одного совпадения адресов генерируется прерывание.

Если управляющая программа МК «желает» перейти из режима ведомого

в режим ведущего, то аппаратные средства интерфейса I²C сначала будут ожидать освобождения шины, чтобы не прервать производящиеся на ней действия ведомого. Если в режиме ведущего теряется шинный арбитраж, то интерфейс I²C МК немедленно переключается в режим ведомого и может обнаружить свой собственный адрес ведомого в той же самой последовательной передаче. В табл. 48 приведены значения кодов состояния интерфейса I²C, которые возвращаются в регистре состояния (I2STAT) в случае шинных ошибок или других некорректных ситуаций, могущих возникнуть при обмене. Формат обмена по шине I²C для режима ведомого передатчика показан на рис. 22.

К интерфейсу I²C МК LPC2000 относятся выводы SDA (последовательные данные) и SCL (последовательный синхросигнал). В устройствах LPC2000, имеющих два интерфейса I²C (I2C0, I2C1, имеющие выводы SDA0, SCL0 и SDA1, SCL1), специальные регистры, относящиеся к интерфейсу I2C0, имеют адреса, совпадающие с адресами специальных регистров интерфейса I²C в устройствах LPC2000 с одним интерфейсом I²C. Интерфейс I²C



Рис. 22. Формат обмена данными по шине I²C для режима ведомого передатчика

устройств LPC2000 обслуживают следующие специальные регистры.

Регистр установок управления PC (для I2C0: I2CONSET или I2C0CONSET – 0xE001 C000, для I2C1: I2C1CONSET – 0xE005 C000). Регистр включает в себя следующие флаги:

- AA – флаг выдачи бита «подтверждение». Когда он установлен, бит «подтверждение» (низкий уровень на линии SDA) будет возвращаться логикой I²C МК во время тактового импульса, отведённого для «подтверждения», на линии SCL в следующих ситуациях:
 - по шине был принят адрес ведомого, совпадающий с адресом, хранящимся в регистре адреса ведомого I²C;
 - по шине был принят адрес общего вызова при установленном бите общего вызова (GC) в регистре I2ADR;
 - по шине был принят байт данных, когда интерфейс I²C находится в режиме ведущего приёмника;
 - по шине был принят байт данных, когда интерфейс I²C находится в режиме ведомого приёмника, к которому адресуется обращение.

Таблица 45. Коды состояния для режима I²C ведущего приёмника

Код состояния (I2STAT)	Текущее состояние шины I ² C и аппаратной логики интерфейса	Ответ пользовательского программного обеспечения				Следующее действие аппаратной логики интерфейса	
		операции с I2DAT	операции с битами I2CONSET				
			STA	STO	SI		AA
08h	Передано условие START	Загрузить адрес ведомого + R	X	0	0	X	Адрес ведомого + R будет передан; бит ACK будет получен
10h	Передано условие повторный START	Загрузить адрес ведомого + R	X	0	0	X	Адрес ведомого + R будет передан
		Загрузить адрес ведомого + W	X	0	0	X	I ² C перейдет в режим ведущего передатчика
38h	Арбитраж потерян во время прохождения бита NOT ACK	Нет операций с I2DAT	0	0	0	X	Шина I ² C будет «отпущена»; I ² C перейдет в режим ведомого
			1	0	0	X	Условие START будет передано, когда шина освободится
40h	Адрес ведомого + R был передан; бит ACK был получен	Нет операций с I2DAT	0	0	0	0	Байт данных будет получен; бит NOT ACK будет возвращён
			0	0	0	1	Байт данных будет получен; бит ACK будет возвращён
48h	Адрес ведомого + R был передан; бит NOT ACK был получен	Нет операций с I2DAT	1	0	0	X	Условие повторный START будет передано
			0	1	0	X	Условие STOP будет передано; флаг STO будет сброшен
50h	Байт данных был получен; бит ACK был передан	Нет операций с I2DAT	1	1	0	X	Условие STOP, сопровождаемое условием START, будет передано; флаг STO будет сброшен
			0	0	0	0	Байт данных будет получен; бит NOT ACK будет возвращён
58h	Байт данных был получен; бит NOT ACK был передан	Прочитать байт данных	0	0	0	1	Байт данных будет получен; бит ACK будет возвращён
			1	0	0	X	Условие повторный START будет передано
			0	1	0	X	Условие STOP будет передано; флаг STO будет сброшен
			1	1	0	X	Условие STOP, сопровождаемое условием START, будет передано; флаг STO будет сброшен

Бит AA может быть сброшен путем записи «1» в бит AAC регистре I2CONCLR. Когда бит AA сброшен, то бит «неподтверждение» (высокий уровень на линии SDA) будет возвращаться логикой I2C МК во время тактового импульса, отведённого для «подтверждения», на линии SCL в следующих ситуациях:

- по шине был принят байт данных, когда интерфейс I²C находится в режиме ведущего приёмника;
- по шине был принят байт данных, когда интерфейс I²C находится в режиме ведомого приёмника, к которому адресуется обращение;
- SI – флаг прерывания от I²C. Этот бит устанавливается, когда насту-

пает одно из 25 возможных активных состояний интерфейса I²C. Как правило, прерывание I²C должно использоваться только для того, чтобы уведомить неактивное ведомое устройство о наступлении на шине I²C условия START или условия STOP (если это неактивное ведомое устройство ожидает начала обмена по шине I²C). Флаг SI может быть сброшен путем записи «1» в бит SIC регистра I2CONCLR;

- STO – флаг условия STOP. Установка этого бита заставляет интерфейс I²C генерировать на шине условие STOP в режиме ведущего или выйти из состояния ошибки условия в режиме ведомого. Когда бит STO устанавливается в режиме ведущего,

Таблица 46. Инициализация регистра I2CONSET для режима ведомого

Номер бита	Имя бита	Значение бита
0	–	–
1	–	–
2	AA	1
3	SI	0
4	STO	0
5	STA	0
6	I2EN	1
7	–	–

условие STOP генерируется на шине I²C. Когда аппаратная логика шины обнаруживает собственное условие STOP, бит STO автоматически сбрасывается. Флаг STO сбрасывается аппаратными средствами автоматически;

Таблица 47. Коды состояния для режима I²C ведомого приёмника

Код состояния (I2STAT)	Текущее состояние шины I ² C и аппаратной логики интерфейса	Ответ пользовательского программного обеспечения				Следующее действие аппаратной логики интерфейса	
		Операции с I2DAT	Операции с битами I2CONSET				
			STA	STO	SI		AA
60h	Собственный адрес ведомого + W был получен; бит ACK был возвращён	Нет операций с I2DAT	X	0	0	0	Байт данных будет получен и бит NOT ACK будет возвращён
68h	Арбитраж был потерян во время прохождения адреса ведомого + R/W от ведущего; собственный адрес ведомого + W был получен; бит ACK был возвращён						Байт данных будет получен и бит ACK будет возвращён
70h	Адрес общего вызова (00h) был получен; бит ACK был возвращён						
78h	Арбитраж был потерян во время прохождения адреса ведомого +R/W от ведущего; адрес общего вызова был получен; бит ACK был возвращён						
80h	Предварительно адресованный собственный адрес ведомого был получен; байт данных был получен; бит ACK был возвращён	Прочитать байт данных	X	0	0	1	
88h, 98h	Предварительно адресованный собственный адрес ведомого (для 88h) или адрес общего вызова (для 98h) был получен; байт данных был получен; бит NOT ACK был возвращён	Прочитать байт данных	0	0	0	0	Переключение в режим без адресации адреса ведомого; отсутствие распознавания собственного адреса ведомого или адреса общего вызова
			0	0	0	1	Переключение в режим без адресации адреса ведомого; собственный адрес ведомого будет распознаваться; адрес общего вызова будет распознаваться, если I2ADR[0] = 1
			1	0	0	0	Переключение в режим без адресации адреса ведомого; отсутствие распознавания собственного адреса ведомого или адреса общего вызова; условие START будет передано, когда шина освободится
			1	0	0	1	Переключение в режим без адресации адреса ведомого; собственный адрес ведомого будет распознаваться; адрес общего вызова будет распознаваться, если I2ADR[0] = 1; условие START будет передано, когда шина освободится
90h	Предварительно адресованный адрес общего вызова был получен; байт данных был получен; бит ACK был возвращён	Прочитать байт данных	X	0	0	0	Байт данных будет получен, и бит NOT ACK будет возвращён
			X	0	0	1	Байт данных будет получен, и бит ACK будет возвращён
A0h	Условие STOP или условие повторный START было получено, в то время как I ² C находится в режиме ведомого приёмника или ведомого передатчика	Нет операций с I2DAT	0	0	0	0	Переключение в режим без адресации адреса ведомого; отсутствие распознавания собственного адреса ведомого или адреса общего вызова
			0	0	0	1	Переключение в режим без адресации адреса ведомого; собственный адрес ведомого будет распознаваться; адрес общего вызова будет распознаваться, если I2ADR[0] = 1
			1	0	0	0	Переключение в режим без адресации адреса ведомого; отсутствие распознавания собственного адреса ведомого или адреса общего вызова; условие START будет передано, когда шина освободится
			1	0	0	1	Переключение в режим без адресации адреса ведомого; собственный адрес ведомого будет распознаваться; адрес общего вызова будет распознаваться, если I2ADR[0] = 1; условие START будет передано, когда шина освободится

Таблица 48. Коды прочих состояний интерфейса I²C

Код состояния (I2STAT)	Текущее состояние шины I ² C и аппаратной логики интерфейса	Ответ пользовательского программного обеспечения				Следующее действие аппаратной логики интерфейса	
		операции с I2DAT	операции с битами I2CONSET				
			STA	STO	SI		AA
F8h	Неопределённое состояние, при котором никакая информация не доступна; SI = 0	Нет операций с I2DAT	Нет операций с I2CONSET				Ожидание или продолжение текущей передачи
00h	Ошибка на шине в режиме ведущего или выбор режима ведомого из-за некорректных условий START или STOP. Состояние 00h может также наступить в случае взаимного наложения попыток интерфейса I ² C перейти в неопределённое состояние		0	1	0	X	Только внутренние аппаратные средства I ² C затрагиваются в режимах ведущего или адресуемого ведомого. Во всех случаях шина I ² C будет «отпущена» и интерфейс I ² C переключится в режим ведомого без адресации адреса ведомого; бит STO будет сброшен

- STA – флаг условия START. Установка этого бита заставляет интерфейс I²C перейти в режим ведущего и сгенерировать на шине I²C условие START или повторное условие START, если интерфейс I²C уже находится в режиме ведущего. Флаг STA может быть сброшен путем записи «1» в бит STAC регистра I2CONCLR;
- I2EN – бит разрешения интерфейса I²C. Когда бит I2EN установлен, функция интерфейса I²C МК разрешена. Флаг I2EN может быть сброшен путем записи «1» в бит I2ENC регистра I2CONCLR. Битовая структура регистра I2CONSET показана в табл. 49.

Регистр управления сбросом I²C (для I2C0: I2CONCLR или I2C0CONCLR – 0xE001 C018, для I2C1: I2C1CONCLR – 0xE005 C018). Битовая структура регистра I2CONCLR показана в табл. 50.

Регистр состояния I²C (для I2C0: I2STAT или I2C0STAT – 0xE001 C004, для I2C1: I2C1STAT – 0xE005 C004). Этот регистр доступен только для чтения. Он содержит код состояния интерфейса I²C. Всего имеется 26 возможных кодов состояния, из них 25 активных. Если код состояния равен F8h, то это говорит о том, что состояние интерфейса I²C не менялось и бит SI регистра I2CONSET не установлен. Когда наступает любое из остальных

25 состояний, автоматически устанавливается бит SI регистра I2CONSET. Битовая структура регистра I2STAT показана в табл. 51.

Регистр данных I²C (для I2C0: I2DAT или I2C0DAT – 0xE001 C008, для I2C1: I2C1DAT – 0xE005 C008). Регистр содержит данные, которые будут переданы или которые были только что получены через I2C. К регистру можно обращаться только в том случае, если установлен флаг SI регистра I2CONSET.

Регистр адреса ведомого I²C (для I2C0: I2ADR или I2C0ADR – 0xE001 C00C, для I2C1: I2C1ADR – 0xE005 C00C). Этот регистр используется только тогда, когда интерфейс I²C работает в режиме ведомого. Битовая структура регистра I2ADR показана в табл. 52.

Регистры рабочего цикла SCL I²C (для I2C0: I2SCLH или I2C0SCLH – 0xE001 C010, для I2C1: I2C1SCLH – 0xE005 C010, для I2C0: I2SCLL или I2C0SCLL – 0xE001 C014, для I2C1: I2C1SCLL – 0xE005 C014). Программа может выбирать желаемую скорость передачи данных через интерфейс I²C путём установки значений I2SCLH и I2SCLL. Содержимое I2SCLH определяет одно слагаемое значения количества циклов pclk в периоде SCL интерфейса I²C, а содержимое I2SCLL – другое слагаемое. Частота импульсов SCL определяется в соответствии со следующей формулой: Частота следования битов = pclk/(I2SCLH + I2SCLL), где (I2SCLH + I2SCLL) – значение суммы содержимого регистров I2SCLH и I2SCLL. Значения I2SCLH и I2SCLL не должны быть одинаковыми. Программа может задавать различный период рабочего цикла SCL, однако скорость передачи данных через I²C всегда должна лежать в диапазоне от 0 до 400 кГц. Кроме того, каждое из значений содержимого регистров I2SCLH и I2SCLL должно быть больше или равно четырём. На рис. 23 показана обобщённая блок-схема интерфейса I²C устройств семейства LPC2000.

Таблица 49. Биты регистра установок управления I²C (для I2C0: I2CONSET или I2C0CONSET – 0xE001 C000, для I2C1: I2C1CONSET – 0xE005 C000)

Биты I2CONSET	Имя	Описание	Значение после сброса
0	Зарезервирован	Пользовательское ПО не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA
1	Зарезервирован		NA
2	AA	Флаг выдачи бита «подтверждение»	0
3	SI	Флаг прерывания от I ² C	0
4	STO	Флаг STOP	0
5	STA	Флаг START	0
6	I2EN	Бит разрешения I ² C	0
7	Зарезервирован	Пользовательское ПО не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA

Таблица 50. Биты регистра управления сбросом I²C (для I2C0: I2CONCLR или I2C0CONCLR – 0xE001 C018, для I2C1: I2C1CONCLR – 0xE005 C018)

Биты I2CONCLR	Имя	Описание	Значение после сброса
0	Зарезервирован	Пользовательское ПО не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA
1	Зарезервирован		NA
2	AAC	Бит сброса флага выдачи бита «подтверждение». Запись «1» в этот бит сбрасывает бит AA в регистре I2CONSET. Запись «0» не имеет никакого эффекта	NA
3	SIC	Бит сброса флага прерывания от I ² C. Запись «1» в этот бит сбрасывает бит SI в регистре I2CONSET. Запись «0» не имеет никакого эффекта	NA
4	Зарезервирован	Пользовательское ПО не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA
5	STAC	Бит сброса флага START. Запись «1» в этот бит сбрасывает бит STA в регистре I2CONSET. Запись «0» не имеет никакого эффекта	NA
6	I2ENC	Бит отключения интерфейса I ² C. Запись «1» в этот бит сбрасывает бит I2EN в регистре I2CONSET. Запись «0» не имеет никакого эффекта	NA
7	Зарезервирован	Пользовательское ПО не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA

Таблица 51. Биты регистра состояния I²C (для I2C0: I2STAT или I2C0STAT – 0xE001 C004, для I2C1: I2C1STAT – 0xE005 C004)

Биты I2STAT	Имя	Описание	Значение после сброса
2:0	Состояние	Эти биты всегда равны 0	0
7:3	Состояние	Биты (код) состояния	1

Таблица 52. Биты регистра адреса ведомого I²C (для I2C0: I2ADR или I2C0ADR – 0xE001 C00C, для I2C1: I2C1ADR – 0xE005 C00C)

Биты I2ADR	Имя	Описание	Значение после сброса
0	GC	Бит разрешения детектирования общего вызова	0
7:1	Адрес	Адрес ведомого в режиме ведомого	0

ИНТЕРФЕЙС SPI

Интерфейс SPI устройств LPC2000 имеет следующие особенности:

- два законченных и независимых контроллера SPI;
- синхронное последовательное полнодуплексное соединение;
- интерфейс SPI может быть ведущим и ведомым;

- максимальная задающая частота обмена составляет 1/8 от входной тактовой частоты.

Сдвоенный модуль SPI устройств LPC2000 обслуживается следующими выводами:

- SCK1, SCK0 – последовательный синхросигнал;
- SSEL1, SSEL0 – выбор ведомого;
- MISO1, MISO0 – вход ведущего, выход ведомого;
- MOSI1, MOSI0 – выход ведущего, вход ведомого.

В качестве линий ввода-вывода SPI используются стандартные линии ввода-вывода CMOS. Когда блок SPI сконфигурирован для режима ведомого, его линии ввода-вывода активны только в том случае, когда внешний сигнал SSEL имеет активный (низкий) уровень. На рис. 24 приведена временная диаграмма, иллюстрирующая четыре различных формата передачи данных, которые могут использоваться в стандарте SPI. На рисунке показана передача одного байта данных. В первой части диаграммы показаны сигналы SSEL и SCK, во второй части – сигналы MOSI и MISO, когда переменная (параметр интерфейса) CPHA = 0, а в третьей – сигналы MOSI и MISO, когда CPHA = 1. У ведущего и ведомого устройств, осуществляющих обмен через SPI, установленные комбинации переменных CPOL и CPHA должны соответственно совпадать.

Блок-схема модуля SPI LPC2000, в соответствии с которой построены интерфейсы SPI0 и SPI1, приведена на рис. 25.

ОПЕРАЦИИ SPI

Для осуществления передачи (приёма) данных через блок SPI, сконфигурированный в качестве ведущего, рекомендуется определённая последовательность операций:

1. Задать в регистре счётчика синхримпульсов SPI желаемую тактовую частоту;
2. Задать в регистре управления SPI желаемые параметры настройки;
3. Записать данные, подлежащие передаче, в регистр данных SPI. Эта запись инициализирует передачу данных через SPI;
4. Ожидать установки бита SPIF в регистре состояния SPI. Бит SPIF будет автоматически установлен после завершения последнего цикла передачи данных через SPI;
5. Прочитать регистр состояния SPI;

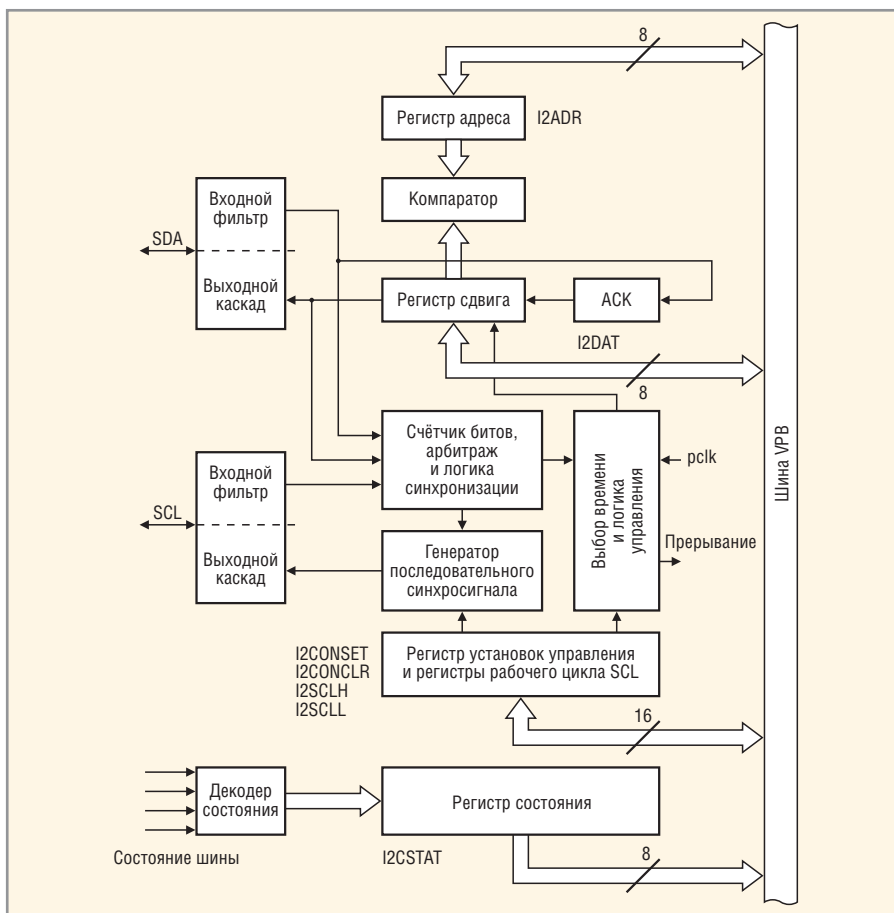


Рис. 23. Блок-схема интерфейса I²C

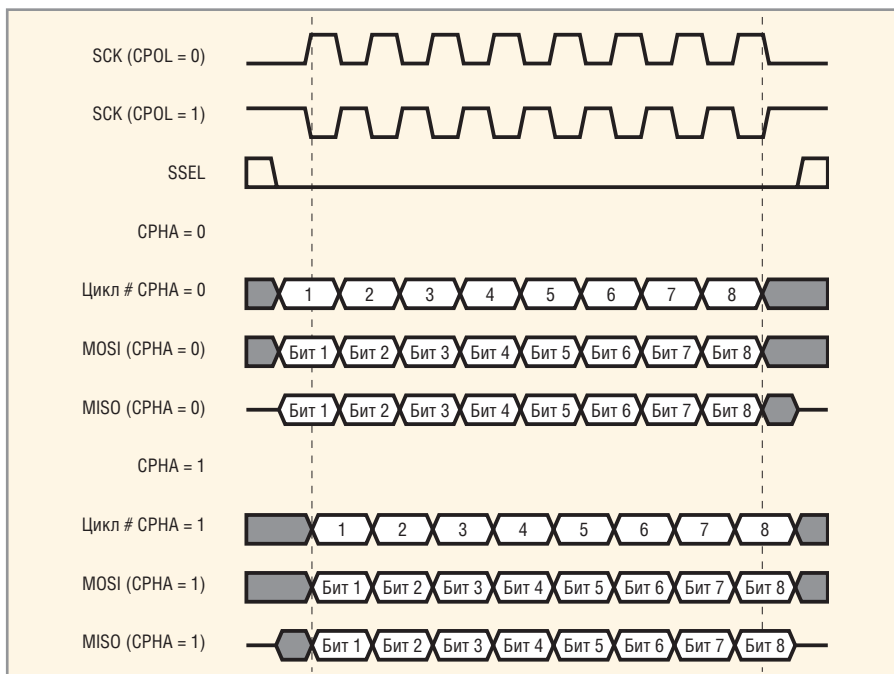


Рис. 24. Формат передачи данных, которые могут использоваться в стандарте SPI

6. Прочитать принятые через SPI данные путём чтения регистра данных, если это необходимо, т.е. если требуется произвести не только передачу, но и приём;
7. Вернуться к выполнению пункта 3, если имеются ещё данные, подлежащие передаче.

Если нет необходимости читать регистр данных SPI (приём не производится), то бит SPIF сбросится только при записи в регистр новых данных.

Для осуществления передачи (приёма) данных через блок SPI, сконфигурированный в качестве ведомого,

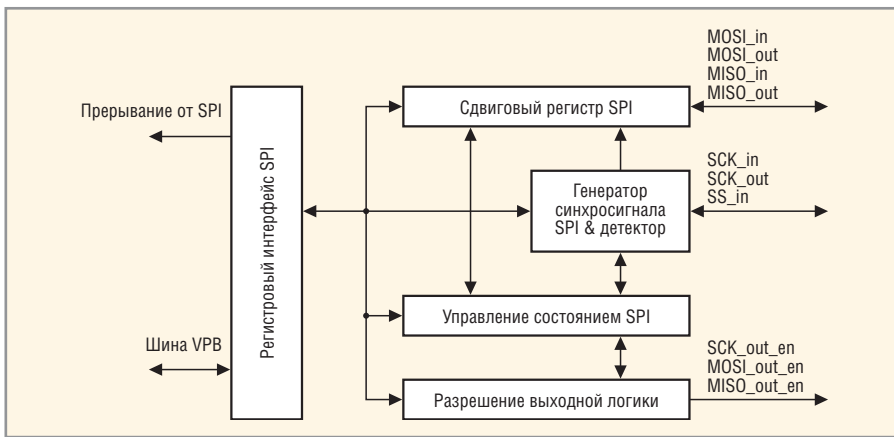


Рис. 25. Блок-схема модуля SPI

рекомендуется такая последовательность операций:

1. Задать в регистре управления SPI желаемые параметры настройки;
2. Записать данные, подлежащие передаче, в регистр данных SPI, если это необходимо, т.е. если требуется произвести не только приём, но и передачу. Эта запись не инициализирует передачу данных через SPI,

поэтому она должна быть сделана до того, как ведущее устройство начнёт передачу;

3. Ожидать установки бита SPIF в регистре состояния SPI. Бит SPIF будет автоматически установлен после последнего перепада синхросигнала, осуществившего выборку;
4. Прочитать регистр состояния SPI;

5. Прочитать принятые через SPI данные путём чтения регистра данных, если это необходимо, т.е. если требуется произвести не только передачу, но и приём;
6. Вернуться к выполнению п. 2, если имеются ещё данные, подлежащие передаче.

Чтение или запись регистра данных SPI требуются, чтобы сбросить бит SPIF в регистре состояния. Поэтому всегда необходимо или прочитать регистр данных, или произвести запись в него.

Блок SPI устройств семейства LPC2000 обслуживается следующими регистрами.

Регистр управления SPI (S0SPCR – 0xE0020000, S1SPCR – 0xE0030000). Битовая структура регистра SPCR приведена в табл. 53.

Регистр состояния SPI (S0SPSR – 0xE0020004, S1SPSR – 0xE0030004). Регистр доступен только для чтения. Битовая структура регистра SPSR приведена в табл. 54.

Таблица 53. Биты регистра управления SPI (S0SPCR – 0xE0020000, S1SPCR – 0xE0030000)

Биты регистра SPCR	Функция бита	Описание	Значение после сброса
2:0	Зарезервированы	Пользовательское ПО не должно производить запись в зарезервированные биты. Чтение такого бита возвращает неопределённое значение	NA
3	CPHA	Бит управления фазой синхриимпульсов. Этот бит определяет отношение между данными и синхросигналом при передаче через SPI, а также моменты начала и окончания передачи ведомого устройства. Когда этот бит установлен, выборка данных производится по второму (завершающему) перепаду синхриимпульса SCK. Передача начинается с первого перепада синхриимпульса и заканчивается с последним перепадом, осуществляющим выборку, когда сигнал SSEL активен. Когда этот бит сброшен, выборка данных производится по первому (начальному) перепаду синхриимпульса SCK. Передача начинается и заканчивается соответственно в моменты активации и деактивации сигнала SSEL	0
4	CPOL	Бит управления полярностью синхросигнала. Когда бит установлен, сигнал SCK имеет низкий активный уровень. Когда бит сброшен, сигнал SCK имеет высокий активный уровень	0
5	MSTR	Бит выбора режима ведущего. Когда этот бит установлен, блок SPI работает в режиме ведущего. Когда этот бит сброшен, блок SPI работает в режиме ведомого	0
6	LSBF	Бит управления очередностью передачи через SPI разрядов в байте. Когда этот бит установлен, при передаче данных через SPI сначала передаётся МЗР (бит 0). Когда этот бит сброшен, при передаче данных через SPI сначала передаётся СЗР (бит 7)	0
7	SPIE	Разрешение прерывания от SPI. Когда этот бит установлен, каждый раз при переходе в активный уровень бита SPIF или бита MODF генерируется аппаратное прерывание. Когда этот бит сброшен, прерывания от SPI запрещены	0

Таблица 54. Биты регистра состояния SPI (S0SPSR – 0xE0020004, S1SPSR – 0xE0030004)

Биты регистра SPSR	Функция бита	Описание	Значение после сброса
2:0	Зарезервированы	Пользовательское ПО не должно производить запись в зарезервированные биты. Чтение такого бита возвращает неопределённое значение	NA
3	ABRT	Бит аварийного прекращения работы ведомого. Когда бит установлен, это указывает, что произошло аварийное прекращение работы ведомого. Этот бит сбрасывается путём чтения регистра SPSR	0
4	MODF	Бит ошибки режима. Когда бит установлен, то это указывает, что произошла ошибка режима. Этот бит сбрасывается путём чтения регистра SPSR и последующей записи в регистр управления SPI	0
5	ROVR	Бит переполнения при чтении. Когда бит установлен, это указывает, что произошло переполнение при чтении. Этот бит сбрасывается путём чтения регистра SPSR	0
6	WCOL	Бит коллизии записи. Когда бит установлен, это указывает, что произошла коллизия записи. Этот бит сбрасывается путём чтения регистра SPSR и последующего обращения к регистру данных SPI	0
7	SPIF	Флаг окончания передачи через SPI. Когда флаг установлен, это указывает на окончание передачи данных через SPI. Когда устройство является ведущим, этот флаг устанавливается в конце последнего цикла передачи. Когда устройство является ведомым, этот флаг устанавливается по перепаду SCK, осуществляющего выборку последнего бита данных. Этот флаг сбрасывается путём первого чтения регистра SPSR и последующего обращения к регистру данных SPI*	0

*Этот флаг не является флагом прерывания от SPI, который находится в регистре SPINT.

Таблица 55. Биты регистра прерывания от SPI (S0SPINT – 0xE002001C, S1SPINT – 0xE003001C)

Биты регистра SPINT	Функция бита	Описание	Значение после сброса
0	Прерывание от SPI	Флаг прерывания от SPI. Этот флаг устанавливается аппаратно при генерации прерывания от SPI. Флаг сбрасывается путём записи в него 1*	0
7:1	Зарезервированы	Пользовательское ПО не должно производить запись в зарезервированные биты. Чтение такого бита возвращает неопределённое значение	NA

*Этот флаг будет установлен один раз, когда устанавливаются бит SPIE и хотя бы один из битов SPIF или WCOL. Однако только в том случае, когда бит прерывания от SPI установлен и прерывание от SPI разрешено в VIC, прерывание от SPI может быть обработано программным обработчиком.

Регистр данных SPI (SOSPDR – 0xE0020008, SISPDR – 0xE0030008). Этот доступный для чтения и записи 8-разрядный регистр обеспечивает передачу и приём данных SPI. Данные, подлежащие передаче через SPI, записываются в этот регистр. Данные, принятые через SPI, могут быть прочитаны из него. Когда устройство является ведущим, запись в этот регистр инициализирует передачу данных через SPI. Запись в этот регистр не приведёт к инициализации передачи в том случае, если бит SPIF в регистре состояния был установлен и регистр состояния не был прочитан.

Регистр счётчика синхронизации SPI (SOSPCCR – 0xE002000C, SISPCCR – 0xE003000C). Этот регистр управляет значением частоты SCK ведущего устройства. Регистр содержит

количество циклов pclk, которое составляет один цикл синхросигнала SPI. Значение этого регистра всегда должно быть чётным, а также всегда должно быть больше или равно 8. Абсолютное значение задающей частоты SPI может быть рассчитано по формуле $cclk/ab$, где a – значение SPCCR, b – значение VPBDIV.

Регистр прерывания от SPI (SOSPINT – 0xE002001C, SISPINT – 0xE003001C). Этот регистр содержит флаг прерывания от интерфейса SPI. Битовая структура регистра SPINT приведена в табл. 55.

ЛИТЕРАТУРА

1. Редькин П.П. Микроконтроллеры ARM7. Семейство LPC2000 компании Philips: полное руководство пользователя. М.: Додэка-XXI. 2006 (готовится к выпуску).

2. LPC2119/2129/2194/2292/2294 USER MANUAL. Feb. 2004. Philips Semiconductors (www.LPC2000.com).
3. ARM 7TDMI Data Sheet. Document Number: ARM DDI 0029E. Issued: August 1995. Copyright Advanced RISC Machines Ltd. (ARM) 1995 (www.arm.com).
4. ARM7TDMI-S Technical Reference Manual (Rev 4) Copyright © ARM Limited. ARM DDI 0234A (www.arm.com).
5. ARM Instruction Set. Quick Reference Card (www.arm.com).
6. Thumb Instruction Set. Quick Reference Card (www.arm.com).
7. 80C51 Family Derivatives 8XC552/562 Overview. Philips Semiconductors, 1996 Aug 06, (www.semiconductors.philips.com/acrobat/various/8XC552_562OVERVIEW_2.pdf).



Продолжение следует

Новости мира News of the World

Новости мира

Фирма Xilinx выпускает новое семейство ПЛИС

ПЛИС с архитектурой FPGA семейств Spartan-3, Spartan-3E, Spartan-3A фирмы Xilinx, изготовленные по 90-нм технологии, служат в качестве недорогой платформы для разработки цифровых устройств массового потребления. Новое семейство Spartan-3A оптимизировано для приложений, где количество вводов-выводов и производительность важнее логической ёмкости ПЛИС (системы передачи данных по дифференциальной паре, системы поддержки различных стандартов интерфейсов памяти или системы, использующие «бриджинг» как метод маршрутизации).

Семейство Spartan-3E оптимизировано для приложений, в которых логическая ёмкость важнее количества вводов-выводов применяемой ПЛИС. Например, сопроцессоры в системах цифровой обработки сигналов, встроенные системы управления.

Семейство Spartan-3 оптимизировано для приложений, в которых одинаково важны большая логическая ёмкость и большое количество вводов-выводов. Например, системы обработки данных высокой степени интеграции.

www.xilinx.com

Sharp анонсировала 8-Мп CCD-матрицы размером 10 мм

Компания Sharp объявила о начале отгрузки образцов CCD-матриц RJ23V3BA0BT формата 10 мм, – по заявлениям производителя, на сегодняшний

день единственных с таким размером, имеющих разрешение 8 мегапикселей. Достижение столь высокой плотности компоновки пикселей объясняется минимизацией их размера – 1,75 мкм, что, как утверждает, также является рекордным показателем. Размер чипа составляет 10 × 10 × 3,5 мм. Начало массового производства намечено на апрель 2007 г.

Рассказывая о своём новом продукте, Sharp отметила, что миниатюрные размеры и высокое разрешение соответствуют актуальным требованиям рынка ЦФК. Наряду с этим утверждает, что новая CCD-матрица позволит также снизить себестоимость цифровых фотоаппаратов с высоким разрешением. Кроме собственно сенсора, Sharp предлагает и комплекты, включающие необходимые для создания готовых устройств компоненты, такие как, например, сигнальные процессоры (DSP).

www.3dnews.ru

Microchip: однокристалльный радиочастотный трансивер MRF24J40

Компания Microchip анонсировала новый радиочастотный трансивер MRF24J40 для диапазона 2,4 ГГц с аппаратной поддержкой PHY- и MAC-уровней IEEE 802.15.4.

Основные особенности трансивера:

- полное соответствие спецификации IEEE 802.15.4;
- возможность реализации ZigBee™, MiWi™ и проприетарных протоколов;
- четырёхпроводной последовательный интерфейс SPI;



- ток потребления в спящем режиме 2 мкА;
- токи потребления в рабочих режимах: 22 мА при передаче, 19 мА при приёме;
- 40-выводной корпус QFN (6 × 6 мм).

www.microchip.com

Stratix II GX-FPGA от Altera

Фирма Altera поставляет Stratix II GX-FPGAs. Элементы содержат до 20 экономичных трансиверов со скоростью передачи данных от 600 до 6,375 Мбит/с для последовательных связей с общей скоростью передачи до 127 Гбит/с. EP2SGX30 и EP2SGX60 представляют собой всё семейство Stratix II GX. Altera поставляет для производства сертифицированные элементы, которые своими параметрами поддерживают все распространённые протоколы и скорости связи. Предоставляется среда разработки на базе Stratix II GX-чипов. Это системное решение включает программное обеспечение разработки Quartus II, инструментарий целостности сигналов и оценки питания, IP-Cores, модели систем Altera, Cadence Designs Systemes и Mentor Graphics, базовые разработки и документацию.

www.altera.com