

# Многоканальный UART с эффективным использованием ресурсов кристалла ПЛИС

Алексей Шабалин (Москва)

В статье рассмотрено построение нескольких однотипных UART, имеющих общую аппаратную часть. Предложен пример выполнения такой схемы на базе ПЛИС фирмы Xilinx серии VIRTEX II. Несмотря на то что приводится вариант построения конкретного устройства – многоканального UART, рассматриваемые методы могут быть применимы и в других случаях, когда требуется построение в одном кристалле нескольких одинаковых модулей.

Современные технологии изготовления ИМС позволяют достичь малых задержек на логических элементах (для FPGA – 2...4 нс [1]) и, соответственно, очень высоких рабочих частот. Естественно, общая задержка на комбинированной схеме зависит от сложности булевой функции, реализуемой ею, и возможностей базовой ячейки кристалла по покрытию этой функции. Но, как правило, она не превышает 20 нс, что позволяет схеме работать на частотах до сотен мегагерц. Для работы многих сравнительно медленных цифровых устройств, таких, например, как UART, столь высокая частота не требуется. Рассмотренный метод построения устройства позволяет в

некоторых случаях максимально использовать возможности быстрой логики, сокращая при этом драгоценную площадь кристалла, занимаемую группой одинаковых устройств.

Основная идея – использование одной «быстрой» аппаратной части для обслуживания нескольких однотипных «медленных» устройств. В данной схеме такой частью является автомат состояний UART, который может последовательно обслужить несколько каналов. Разработанный приёмопередатчик имеет возможность обслуживания 8 каналов. Это продиктовано заранее заданной внутренней частотой – 29,5 МГц и максимальной скоро-

стью передачи каждого канала – 115,2 Кбод.

Однако устройства памяти регистров и состояний строятся на элементах с глубиной 16, поэтому существует возможность увеличения количества каналов до 16 при повышении внутренней тактовой частоты. Общая структура устройства представлена на рисунке 1.

Для буфера FIFO используется блочная память, характерная для кристаллов VIRTEX, сконфигурированная как 2К × 8. Используется один блок такой памяти, который позволяет хранить 128 принятых и 128 ждущих отправления байт. К этой памяти могут обращаться:

- приёмник – для записи;
- передатчик – для чтения;
- модуль управления чтением и записью – для записи в очередь передаваемых байтов и для чтения из очереди принятых.

Таким образом, за один квант времени работы канала одновременно может происходить до четырёх обращений к памяти. Память – двухпортовая, что означает возможность записывать и читать по произвольному адресу в одном такте. Из вышесказанного следует, что для того, чтобы обеспечить работу канала в худшем случае (при одновременном обращении приёмника, передатчика и модуля управления чтением/записью), необходимо затратить минимум два такта. Из этих соображений под квант времени работы одного канала выделено два такта.

Все регистры и память состояний построены также на памяти, но другого типа.

В терминологии Xilinx она называется распределённой (Distributed RAM) [2]. Особенностью этой памяти является архитектура 16 × 1. Эта память также двухпортовая, что позволяет обращаться к регистрам приёмнику, передатчику и модулю управления чтением/записью за

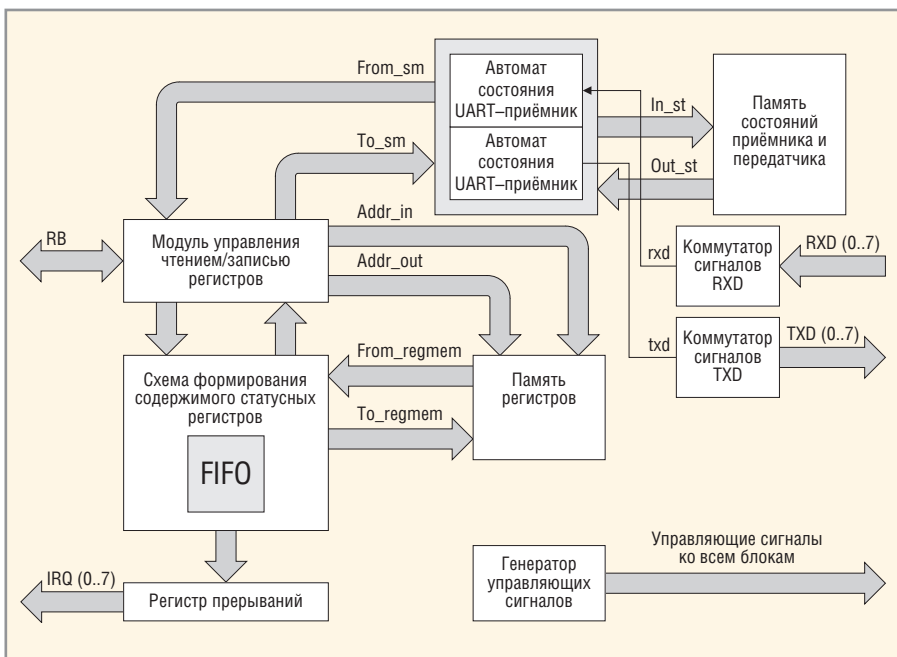


Рис. 1. Структура многоканального UART

один квант времени работы автомата.

Использование такой памяти для хранения значений регистров вместо триггеров позволяет, помимо прочего, значительно сократить занимаемый аппаратный ресурс кристалла.

На рисунке 2 представлена секция конфигурируемого логического блока кристаллов семейства VIRTEXII [2] (CLB slice); логический блок включает 4 таких части. Как видно из рисунка, в каждой секции содержатся два так называемых функциональных генератора (FG – function generator), которые могут конфигурироваться как LUT (функциональный преобразователь), SHRL16 (сдвиговый регистр) или RAM16 (память 16×1) и два триггера (register).

При использовании для хранения одного бита триггера, для реализации 8-разрядного регистра потребовалось бы задействовать ресурсы четырёх CLB slice, а для создания восьми регистров (для каждого канала) – 32 CLB slice, то есть 64 триггера. В то же время использование FG, сконфигурированных как распределённая двухпортовая память, позволяет задействовать ресурсы лишь восьми CLB slice (для двухпортового элемента памяти RAM16 требуется два функциональных генератора). В этом случае каждый блок RAM16 хранит некоторый разряд некоторого регистра всех каналов.

Перейдём теперь к рассмотрению функционирования устройства.

Приёмник состоит из следующих модулей:

- генератор управляющих сигналов – определяет номер такта и номер работающего в данный момент UART;
- память регистров – хранит значения регистров всех UART; построена на распределённых элементах памяти с двумя портами;
- память состояний – хранит состояния всех UART; также построена на распределённых элементах памяти с двумя портами;
- коммутатор сигналов – выбирает, какой из входящих сигналов обрабатывается в данный момент;
- модуль управления чтением/записью регистров – реализует интерфейс доступа к регистрам

UART (далее RB), осуществляет связь с ЦП и коммутирует регистры требуемого UART с автоматом состояния;

- схема формирования содержимого статусных регистров и управления FIFO – управляет памятью, организуя дисциплину выборки FIFO для каждого из каналов, и формирует значения регистров, связанные с использованием буфера FIFO.

- автомат состояний: приёмник обрабатывает входные данные (RXD) и в соответствии с полученным словом изменяет значения регистров.

Передатчик в нужный момент даёт коммутатору команду TXD, в соответствии с которой на том или ином TXD-канале устанавливается требуемое значение.

В процессе функционирования схемы происходит поочерёдная работа каждого UART. Квант работы – два такта, причём отработка состояний UART происходит всегда, независимо от того, включен он или нет. В последнем случае автомат работает «вхолостую».

Так как на чтение или запись регистров необходим только один такт, имеется возможность за квант работы автомата обратиться к ним два раза: один раз со стороны автомата, другой – со стороны ЦП.

Рассмотрим более подробно работу основных модулей.

Генератор управляющих сигналов вырабатывает сигнал, определяющий номер такта кванта – первый или второй (f – first, s – second), номер текущего UART, а также номер следующего и предыдущего. Эти сигналы необходимы для представления значений регистров к моменту обработки в автомате состояния и записи новых значений после отработки UART, поскольку во время работы с текущими значениями регистров UART читается значение регистров следующего и записывается результат работы предыдущего.

Модуль управления чтением/записью регистров, помимо вышеперечисленных функций, осуществляет также сброс регистра прерываний, т.к. прерывания должны сбрасываться при обращении к соответствующим регистрам со стороны ЦП, которое может осуществляться в момент работы любого UART, и нет возможно-

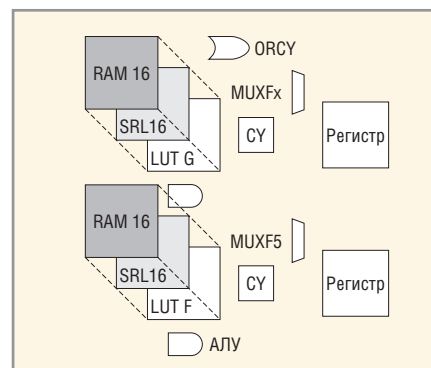


Рис. 2. Функциональный блок VIRTEX II

сти ждать, когда обработка дойдёт до нужного UART.

Автомат состояний описывается графом, длина всех путей – 2. По такту f автомат переходит в состояние, которое соответствует состоянию обрабатываемого UART (его значение приходит из памяти состояний). По второму такту s выполняется обработка: изменение значений регистров и вывод нового состояния, которое затем поступает обратно в память состояний; автомат при этом возвращается в исходное состояние.

Кроме того, если значение в счётчике ожиданий, пришедшее из памяти состояний, не равно 1, то по такту f никакой обработки не происходит, а по s значение уменьшается на 1, и автомат возвращается в исходное состояние. Если значение в счётчике равно 1, то в него записывается значение из DLL и DLM (регистры деления частоты) текущего UART, и выполняется обработка (см. выше). Таким образом осуществляется деление частоты.

Рассмотрим, как осуществляется приём данных, например, второго канала UART.

**Такт 1 (f):** первый такт работы предыдущего приёмника (первого). В этом такте одновременно осуществляется подготовка к работе приёмника 2 – адрес второго приёмника выставляется на чтение из памяти регистров (addr\_out).

**Такт 2 (s):** второй такт работы первого приёмника. В нём также осуществляется подготовка к работе следующего приёмника: в этом такте выставляются данные из памяти регистров, адрес которых указан в предыдущем такте (from\_regmem). Одновременно эти данные поступают на вход автомата состояний (to\_sm).

**Задействованные ресурсы кристалла**

Тип ресурса	Всего доступно	Задействовано		
		многоканальный UART	одиночный UART	8 одиночных UART
FG	10 240	975 (9,52%)	502 (4,90%)	4016 (39,2%)
CLB slice	5120	488 (9,53%)	251 (4,90%)	2008 (39,2%)
Триггеры	10 240	648 (6,32%)	272 (2,65%)	2176 (21,25%)
Блочная память	40	1 (2,5%)	0	0

**Такт 3 (f):** первый такт работы второго приёмника.

**Такт 4 (s):** второй такт работы приёмника. В нём на выход выставляются новые значения регистров (*from\_sm*) и состояния (*in\_st*).

**Такт 5 (f):** первый такт работы следующего (третьего) UART. Осуществляется запись нового состояния второго UART. Новые данные (UART 2) поступают на вход памяти регистров (*to\_regmem := from\_sm*); одновременно разрешается запись во все регистры.

**Такт 6 (s):** по этому такту происходит запись в память регистров второго UART.

Передачик обрабатывает канал совместно с приёмником. Они одновременно получают новые значения регистров и состояний, обрабатывают их и выдают новые значения для записи.

Запись новых значений регистров со стороны процессора осуществляется следующим образом. По такту s

выставляются данные на память регистров (*to\_regmem*), номер UART (*addr\_in*); устанавливается разрешенные записи соответствующего регистра.

По такту f происходит запись.

Если во время прихода запроса на запись регистра *i*-го UART автомат обрабатывает (*i - 1*)-й, *i*-й или (*i + 1*)-й UART, то запись откладывается до окончания их обработки.

Чтение регистров происходит так.

**Такт 1 (s):** выставляется адрес на память регистров (номер UART'a) – *addr\_in*.

**Такт 2 (f):** по этому адресу память выдает содержимое всех регистров UART (*from\_regmem*).

**Такт 3 (s):** по адресу регистра (*reg\_adr*) выбирается нужный и его значение поступает на шину процессора. Если сопоставить обращения к памяти RB и автомата приёмопередатчика, то можно увидеть, что она читается и записывается в каждом такте.

В заключение следует отметить, что модель написана на VHDL. Именно на основе VHDL-кода синтезируется схема и карта разводки кристалла. Однако часть VHDL-кода сгенерирована автоматически – а именно, код, описывающий соединения модулей, и код, описывающий графы автоматов приёмника и передатчика. Это позволило сосредоточить внимание на функциональности, не отвлекаясь на синтаксис языка. Для этих целей была использована среда разработки HDL DESIGNER [3].

В общем случае сокращение ресурсов кристалла описывается следующей зависимостью:

$$K = \frac{AN}{A + D},$$

где *K* – коэффициент, показывающий, во сколько раз сокращается аппаратный ресурс, *A* – аппаратный ресурс кристалла, занимаемый одним устройством, *D* – дополнительный ресурс, используемый при реализации многоканальности, расходуемый на блоки, которые обеспечивают подачу данных на общую аппаратную часть, *N* – количество каналов:

$$N = \frac{F}{F_{ном}},$$

где *F* – частота работы многоканального устройства, *F<sub>ном</sub>* – частота работы единичного устройства.

Так как в общем случае кристалл ПЛИС содержит разнородные блоки, то под ресурсом кристалла здесь понимается некоторое усреднение по задействованным блокам.

Отсюда видна возможность применения предложенной схемы для построения однотипных устройств: *K > 1*, т.е. *D < A(N - 1)*.

В таблице приведён список задействованных ресурсов кристалла 2V1000 под рассматриваемый проект для одиночного и многоканального UART в соответствии с архитектурой XR16C2850 [4].

**ЛИТЕРАТУРА**

1. Грушевицкий Р.И., Мурсаев А.Х., Узрюмов Е.П. Проектирование схем на микросхемах программируемой логики. СПб.: БХВ//Петербург, 2002.
2. www.xilinx.com.
3. www.mentor.com.
4. Datasheet XR16C2850 www.exar.com. ©

**www.platan.ru**  
**ПЛАТАН**

**ЭЛЕКТРОННЫЕ КОМПОНЕНТЫ**

**ПРИЕМКА «5»**  
 Сертификат № СВС.01.423.0341.05  
 выдан Центральным органом системы  
 «Военэлектронсерт»  
 ФГУП «22 ЦНИИ Минобороны России»

микросхемы | диоды | разъемы | конденсаторы | реле | вставки плавкие

**ООО «ПЛАТАН СПЕЦПРИЕМКА»**  
 121351, Россия, Москва, ул. Ивана Франко, д.40, стр.2  
 Тел./факс: (495) 417 43 18  
 E-mail: spetspriemka@platan.ru



## Разработана первая печатающая головка на основе OLED

Корпорация Seiko Epson разработала первую в мире печатающую головку, использующую светоизлучающий элемент OLED (organic light-emitting diode).

В настоящее время электрофотографические технологии (для копиров и принтеров) в качестве источников света используют либо лазерные, либо светодиодные устройства. Компания Epson в сотрудничестве с Sumitomo Chemical разработала сверхъяркий светоизлучающий элемент OLED, которым можно заменить эти источники света.

При формировании светодиода OLED материал наносится непосредственно на стеклянный носитель, что позволяет сразу создавать линейки источников света. Благодаря этому печатающая головка получается очень маленькой и ультратонкой, а световые элементы нужного размера получаются очень чёткими.

По заявлению представителей Epson, тестирование прототипа печатной головки с OLED-элементом показало качество, сравнимое, а в некоторых случаях и превосходящее показатели обычных лазерных принтеров.

В настоящее время специалисты компании работают над объединением OLED и созданной Epson технологии изготовления тонкоплёночных транзисторов из низкотемпературного поликристаллического кремния, что позволит увеличить разрешение печати, а также снизить стоимость печатающих устройств за счёт помещения управляющих интегральных схем непосредственно в печатающую головку.

По оценкам специалистов, новая технология изготовления печатающей головки актуальна для производства цветных принтеров. Она позволяет создавать малогабаритные решения, обеспечивающие высокое разрешение и большую скорость печати.

<http://itc.ua>

## Sharp выпустит самый крупноформатный профессиональный ЖК-дисплей

Корпорация Sharp сообщила, что с июня начинает поставки в США самого крупноформатного в мире ЖК-дисплея профессионального уровня. Модель PN-655 имеет размер диагонали 65 дюймов и поддерживает двухмегапиксельное разрешение (1920 × 1080).

Использование технологии DFE (Dual-Fine Engine) позволяет отображать с высоким качеством сигналы, поступающие как от компьютера, так и от видеотехники. Дисплей оборудован полным набором разъёмов для подключения всевозможного цифрового и аналогового оборудования.

Корректному воспроизведению всей цветовой гаммы способствует применение флюоресцентной подсветки с холодным катодом с излучением на четырёх волнах. Собственная разработка Sharp Advanced Super View (ASV) делает модель PN-655 оптимальным выбором для отображения динамичной графики с малым временем отклика (6 мс). Угол обзора дисплея составляет 170 градусов, а отсутствие охлаждающего вентилятора уменьшает энергопотребление и уровень шума по сравнению с моделями других конструкций.

## Подвержены ли вирусам системы RFID?

Группа исследователей из амстердамского университета (Vrije Universiteit) на мероприятии IEEE Pervasive Computing and Communications Conference, проходившем на днях в Италии, представила отчёт с названием: «Your Cat Infected With a Computer Virus?». В этой работе сообщается о том, что учёным удалось заразить вирусом RFID-чип Philips в системе, которая работала на Windows-платформе и использовала БД Oracle 10g. При этом вредоносная программа была меньше 1 Кб. В исследовании также рассмотрено несколько сценариев возможного развития событий с использованием заражённого чипа.

Детали исследования голландских учёных представлены на сайте ([www.rfid-virus.org/index.html](http://www.rfid-virus.org/index.html)). Впрочем, стоит отметить, что некоторые аналитики пока достаточно скептически относятся к массовым вирусным эпидемиям в RFID-системах.

<http://itc.ua>

## Оки впервые в мире осуществила передачу 160 Гб/с на расстояние 635 км

Оки Electric Industry сообщила о проведённом ею успешном эксперименте по передаче за одну секунду 160 Гб видеоданных на расстояние 635 км.

Этот результат был достигнут в рамках проекта Research and Development on

Ultra-high-speed Backbone Photonic Network Technologies Национального института информации и коммуникаций (NICT) с использованием экспериментальной оптоволоконной сети Japan Gigabit Network II (JGN II).

По мнению Харушиге Сугимото (Harushige Sugimoto), технического директора Oki Electric, успех испытаний, состоявшихся в декабре 2005 г., продемонстрировал возможность использования технологий JGN II для реализации оптических коммуникаций на больших расстояниях, например, между Токио и Осака (500 км), со скоростью, в 16 раз превосходящей возможности современных коммерческих систем (10 Гб/с).

<http://itc.ua>

## Углеродные нанотрубки получают применение в системах подсветки для ЖК-панелей

Учёные из университета Tatung в Тайбэе (Тайвань) изготовили плазменную световую панель, в которой в качестве электродов использованы углеродные нанотрубки. Такой источник, обеспечивающий равномерное освещение, особенно перспективен для применения в ЖК-дисплеях.

В настоящее время подсветка ЖК-панелей осуществляется с помощью флюоресцентных ламп или светодиодов. Первые расходуют много энергии, требуют высокого напряжения и имеют ряд конструктивных ограничений, тогда как вторые отличаются высокой себестоимостью.

В созданном на Тайване устройстве используется полупрозрачная плёнка толщиной 10 мкм, содержащая нанотрубки и люминесцентный порошок. Методом печати эта смесь нанесена на квадратный фрагмент проводящего стекла. Нанотрубки действуют как свечи зажигания, создавая аргоновую плазму, которая, в свою очередь, возбуждает ультрафиолетовым излучением люминесцентный материал.

Прототип размерами 5 × 5 см создан с применением простого производственного процесса и потребляет в 2...5 раз меньше энергии, чем флюоресцентные лампы с холодным катодом. Кроме того, отказ от ксенона и замена его более дешёвым аргоном способствует снижению себестоимости будущих систем подсветки.

<http://itc.ua>