

# Микроконтроллеры AT32UC3 с ядром AVR32

(часть 1)

Павел Редькин (г. Ульяновск)

**В настоящее время у разработчиков электронной аппаратуры весьма популярны встраиваемые микроконтроллеры с 8-разрядным процессорным ядром архитектуры AVR фирмы Atmel, которая предлагает обширный модельный ряд этих устройств, включающий несколько подсемейств. Однако постоянно растущие требования к производительности, функциональной насыщенности и возможностям периферии, быстродействию подсистем ввода-вывода заставляют разработчиков использовать МК с 16- и 32-разрядными процессорными ядрами.**

В начале 2006 г. компания Atmel анонсировала новое 32-разрядное процессорное ядро AVR32 и первый МК на его основе – AT32AP7000. В настоящее время на базе ядра AVR32 выпускается уже два семейства МК.

Предлагаемая статья посвящена одному из этих семейств – «классическим» микроконтроллерам AT32UC3 (аббревиатура UC означает microcontroller). В первой части статьи приводится перечень устройств AT32UC3, описание их архитектуры, программной модели и организации памяти.

Во второй части содержится информация о составе и характеристиках встроенной периферии AT32UC3.

В третьей части рассказывается о входящих в состав AT32UC3 модулях тестирования и отладки, а также о существующих инструментальных средствах разработки, отладки и программирования пользовательских приложений на базе этих МК.

## СЕМЕЙСТВА МК С ЯДРОМ AVR32

По оценкам экспертов, МК с ядром AVR32 выигрывает по производительности и энергопотреблению у большинства приборов, ориентированных на рынок мультимедийных приложений, в том числе, с архитектурой ARM. Последнее весьма существенно, поскольку в настоящее время архитектура ARM, поддерживаемая ведущими производителями, стала фактическим стандартом в сегменте 16- и 32-разрядных МК и ПЛИС.

Так, например, алгоритм iDCT (инверсное дискретное косинусное преобразование) платформа с ядром AVR32 может выполнять на 35% быстрее, чем ядро ARM11. При выполнении стандартных тестов на производительность EEMBC архитектура AVR32 также демонстрирует ошутимое превосходство, причём не только над архитектурой ARM7, но и над архитектурами ARM9 и ARM11 [1].

Необходимо отметить, что удельная производительность ядра AVR32 (относительно его тактовой частоты), выраженная в DMIPS/МГц, при выполнении программы из статического ОЗУ (SRAM) и флэш-памяти имеет значение, существенно большее единицы (типичное – 1,38), в то время как для ядер ARM7 и ARM9 эта величина равна или меньше единицы.

Разработчики AVR32 подчёркивают оригинальные особенности новой архитектуры:

- команды обращения к памяти (записи/чтения) могут оперировать со всеми типами данных: байтами, полусловами, словами и двойными словами;
- набор команд оптимизирован для работы с распространёнными алгоритмами блочного шифрования Blowfish и Triple-DES;
- ядро имеет семь стадий конвейера (три стадии в «облегчённой» архитектуре AVR32 – AT32UC3) и поддерживает одновременное выполнение не связанных друг с другом операций с изменением их последовательности, которая задаётся

программой. Для экономии тактовых циклов предусмотрена функция пересылки результата текущей операции на предыдущие ступени конвейера на случай, если следующая команда использует этот результат;

- поддерживаемые архитектурой операции множественного доступа к данным позволяют увеличить скорость выполнения программы в четыре раза;
  - аппаратная функция прогнозирования переходов (ветвлений) в AVR32 минимизирует потери тактовых циклов при переходах с помощью команд `gjmp`, `rcall` и `if` (из набора Java);
  - при разработке системы команд максимальное внимание уделено плотности результирующего кода при выполнении типичных операций в мультимедиа-приложениях;
  - в составе системы команд имеются дополнительные команды для операционных систем (ОС). Обеспечена максимальная совместимость платформы с ОС Linux, которая может полноценно использовать встроенный блок управления памятью (MMU), а также привилегированный/пользовательский режимы работы ядра AVR32;
  - гибкая система управления энергопотреблением МК на 80% реализована за счёт системы команд процессорного ядра AVR32 и на 20% – на этапе реализации МК в «железе». Последнее достигается за счёт размещения устройств хранения данных в непосредственной близости к ядру.
- На момент написания этой статьи все предлагаемые компанией Atmel устройства с архитектурой AVR32 можно было отнести к одному из двух семейств:
- базовое семейство AT32AP (процессорное ядро AVR32A) – высокопроизводительные приборы (тактовая частота ЦПУ до 150 МГц) с мощной и разнообразной периферией (интерфейсы видеокамеры, графичес-

Таблица 1. Сравнительные данные по току потребления МК различных производителей

| Устройство (производитель)                    | Напряжение питания: ток потребления в активном режиме   | Напряжение питания: ток потребления в статическом режиме  | Примечания   |
|---|---|---|--|
| ADuC7128/7129 (Analog Devices)                | 3,0 В: 42 мА (ЦПУ выполняет программу из флэш-памяти, тактовая частота 42 МГц, всё периферийное тактирование активно)   | 3,0 В: 300 мкА (ЦПУ находится в статическом режиме)   | МК с ядром ARM7 (информация с сайта: <a href="http://www.analog.com">www.analog.com</a> )  |
| AT32UC3A0512/1512/0256/1256/0128/1128 (Atmel) | 3,3 В: 37 мА (ЦПУ выполняет программу из флэш-памяти, тактовая частота 60 МГц вырабатывается ФАПЧ, всё периферийное тактирование активно, встроенный стабилизатор 1,8 В включен и нагружен) | 3,3 В: 25 мкА (ЦПУ находится в статическом режиме, всё периферийное тактирование неактивно, встроенный стабилизатор 1,8 В включен и нагружен) | МК с ядром AVR32 (информация с сайтов: <a href="http://www.atmel.com">www.atmel.com</a> , <a href="http://www.avr32.ru">www.avr32.ru</a> ) |
| AT91SAM7X512/256/128 (Atmel)                  | 3,3 В: 44 мА (ЦПУ выполняет программу из флэш-памяти, тактовая частота 50 МГц, всё периферийное тактирование активно, встроенный стабилизатор 1,8 В включен и нагружен)                     | 3,3 В: 26 мкА (ЦПУ находится в статическом режиме, всё периферийное тактирование неактивно, встроенный стабилизатор 1,8 В включен и нагружен) | МК с ядром ARM7. (информация с сайта: <a href="http://www.atmel.com">www.atmel.com</a> )   |
| LPC2141/2142/2144/2146/2148 (NXP)             | 3,3 В: 57 мА (ЦПУ выполняет программу из флэш-памяти, тактовая частота 60 МГц, всё периферийное тактирование неактивно, кроме USB)  | 3,3 В: 40 мкА (ЦПУ находится в статическом режиме, всё периферийное тактирование неактивно)   | МК с ядром ARM7 (информация с сайта: <a href="http://www.standardics.nxp.com">www.standardics.nxp.com</a> )                                |
| LPC2377/2378 (NXP)                            | 3,3 В: 92 мА (ЦПУ выполняет программу из флэш-памяти, тактовая частота 72 МГц, всё периферийное тактирование активно)   | 3,3 В: 150 мкА (ЦПУ находится в статическом режиме)   |  |
| TMS470R1B512 (Texas Instruments)              | 3,6 В: 55 мА, 2,05 В: 125 мА (ЦПУ выполняет программу из флэш-памяти, тактовая частота 60 МГц, всё периферийное тактирование активно)   | 3,6 В: 20 мкА, 2,05 В: 2 мА (ЦПУ находится в статическом режиме)  | МК с ядром ARM7 (информация с сайта: <a href="http://www.ti.com">www.ti.com</a> )  |

кого ЖКИ, звукового ЦАП, SD/MMC-карт памяти, графического сопроцессора, аппаратного ускорителя JAVA и т.д.). Недостатком этих устройств является отсутствие встроенной флэш-памяти программ, что несколько затрудняет или ограничивает их использование в ряде приложений;

- семейство AT32UC3 («облегченное» процессорное ядро AVR32UC). Особенность этих устройств – наличие встроенной флэш-памяти на кристалле. По этой причине МК AT32UC3 могут использоваться без какой-либо дополнительной «обвязки», т.е. являются самодостаточными микроконтроллерами. Однако их максимальная производительность существенно ниже, чем у приборов семейства AT32AP, поскольку тактовая частота ЦПУ не превышает 66 МГц. Кроме того, по сравнению с AT32AP, возможности процессорного ядра скромнее, а набор встроенной периферии – значительно беднее. Несмотря на это, МК семейства AT32UC3 представляются весьма перспективными устройствами, заслуживающими внимания разработчиков.

Старшие представители МК семейства AT32UC3 обеспечивают производительность на уровне 80 DMIPS, потребляя в активном режиме ток около 40 мА при питании от напряжения 3,3 В. Удельная потребляемая мощность этих устройств составляет 1,65 мВт/DMIPS (0,6 мА/МГц), что, по заявлению производителя, примерно в четыре раза ниже, чем у аналогов, построенных по другой архитектуре [2].

Для сравнения в таблице 1 показаны значения потребляемого тока для нескольких сходных по своим возможностям МК различных производителей при одинаковых или близких внешних условиях. Как видно из таблицы 1, разница в энергопотреблении МК с ядром AVR32 и конкурирующих МК в активном режиме хотя и не достигает четырёхкратной величины, но, тем не менее, весьма значительна.

По утверждению производителя, использование ядра AT32UC3 обеспечивает размер откомпилированного кода на 5...20% меньший, чем размер откомпилированного кода для ядра с архитектурой ARM, использующего систему команд Thumb. Для системы команд ARM выигрыш в размере откомпилированного кода достигает 30...50%.

Фирма Atmel также объявила, что ядро МК AT32UC3 является первым ядром в отрасли, в которое интегрирована статическая память с интерфейсом прямой связи с процессором и

однотактным чтением/записью, что позволяет ускорить исполнение кода при меньшем энергопотреблении.

В отношении встроенной периферии AT32UC3 заметим, что многие периферийные модули МК этого семейства по своей архитектуре и пользовательским интерфейсам практически идентичны периферийным модулям МК выпускаемого фирмой Atmel семейства AT91SAM7, которое широко известно разработчикам. Это обстоятельство, несомненно, упростит освоение AT32UC3.

Перечень устройств архитектуры AT32UC3 (подсемейств AT32UC3A и AT32UC3B) приводится соответственно в таблицах 2 и 3. Часть набора встроенной периферии, одинаковая для всех устройств AT32UC3A, в таблице 2 не указана, а перечислена ниже в тексте.

Как можно видеть из таблиц, МК подсемейства AT32UC3B предназначены для простых приложений, а МК

Таблица 2. Микроконтроллеры подсемейства AT32UC3A

| Устройство   | Флэш-память, Кб | SRAM, Кб | Интерфейс внешней шины | EthernetMAC | Корпус            |
|--------------|-----------------|----------|------------------------|-------------|-------------------|
| AT32UC3A0512 | 512             | 64       | +                      | +           | 144-выводной LQFP |
| AT32UC3A1512 | 512             | 64       | –                      | +           | 100-выводной TQFP |
| AT32UC3A0256 | 256             | 64       | +                      | +           | 144-выводной LQFP |
| AT32UC3A1256 | 256             | 64       | –                      | +           | 100-выводной TQFP |
| AT32UC3A0128 | 128             | 32       | +                      | +           | 144-выводной LQFP |
| AT32UC3A1128 | 128             | 32       | –                      | +           | 100-выводной TQFP |

Таблица 3. Микроконтроллеры подсемейства AT32UC3B

| Устройство   | Флэш-память, Кб | SRAM | USART | SSC | ADC | OSC | Конфигурация USB      | Корпус               |
|--------------|-----------------|------|-------|-----|-----|-----|-----------------------|----------------------|
| AT32UC3B0256 | 256             | 32к  | 3     | +   | 8   | 2   | Минихост + устройство | 64-выводной TQFP/QFN |
| AT32UC3B1256 | 256             | 32к  | 2     | –   | 6   | 1   | Устройство            | 48-выводной TQFP/QFN |
| AT32UC3B0128 | 128             | 32к  | 3     | +   | 8   | 2   | Минихост + устройство | 64-выводной TQFP/QFN |
| AT32UC3B1128 | 128             | 32к  | 2     | –   | 6   | 1   | Устройство            | 48-выводной TQFP/QFN |
| AT32UC3B064  | 64              | 16к  | 3     | +   | 8   | 2   | Минихост + устройство | 64-выводной TQFP/QFN |
| AT32UC3B164  | 64              | 16к  | 2     | –   | 6   | 1   | Устройство            | 48-выводной TQFP/QFN |

подсемейства AT32UC3A – для более сложных. Следует отметить, что Atmel планирует в перспективе выпуск подсемейств AT32UC3C, AT32UC3D и AT32UC3E [2].

Устройства подсемейства AT32UC3A имеют следующие типовые характеристики [3, 5]:

- Высокоэффективное 32-разрядное процессорное ядро с оригинальной архитектурой AVR32 и следующими особенностями:
    - компактная система команд RISC, выполняющихся за один цикл, включая команды DSP;
    - команды «чтение-модификация-запись» и команды манипуляций с битами;
    - тактовая частота до 66 МГц при удельной производительности 1,38 DMIPS/МГц;
    - производительность 83 DMIPS при выполнении программы из флэш-памяти с тактовой частотой 66 МГц (1 цикл ожидания);
    - производительность 45 DMIPS при выполнении программы из флэш-памяти с тактовой частотой 33 МГц (0 циклов ожидания);
    - модуль защиты памяти (MPU);
  - Мультииерархическая шинная система со следующими особенностями:
    - высокоэффективный обмен данными по отдельным шинам для повышения производительности;
    - 15 каналов DMA для автоматической передачи данных;
  - Встроенная высокоскоростная флэш-память со следующими особенностями:
    - объём от 512 до 128 Кб;
    - доступ за один тактовый цикл на тактовой частоте до 30 МГц;
    - буфер выборки с упреждением для оптимизации выполнения команд на максимальной тактовой частоте;
    - время программирования страницы 4 мс, время стирания всего кристалла 8 мс;
    - 100 000 циклов записи, 15-летний срок сохранности данных;
    - ключи защиты памяти и задаваемые пользователем области конфигурации;
  - Встроенная высокоскоростная статическая память с доступом за один тактовый цикл на максимальной тактовой частоте и объёмом от 64 до 32 Кб;
  - Интерфейс внешней памяти (для устройств AT32UC3A0) – SDRAM/SRAM-совместимая шина памяти (16-разрядные шины данных и 24-разрядная шина адресов);
  - Контроллер прерываний с автоматически векторизуемыми прерываниями, малым временем ожидания и программируемым приоритетом;
  - Системные функции со следующими особенностями:
    - менеджер питания и синхронизации, включающий внутренний RC-генератор и генератор с частотой 32 кГц;
    - два многоцелевых генератора и две системы ФАПЧ;
    - независимые тактовые частоты для ЦПУ и USB;
    - сторожевой таймер, таймер реального времени;
  - Универсальная последовательная шина (USB) со следующими особенностями:
    - полноскоростное USB-устройство версии 2.0 On-The-Go (OTG) с поддержкой полноскоростного и низкоскоростного режимов;
    - гибкая конфигурация конечной точки USB и управление выделенными каналами DMA;
    - приёмопередатчики на кристалле, включая подтянутые к «плюсу» питания резисторы;
  - Интерфейс Ethernet MAC 10/100 Мбит/с со следующими особенностями:
    - контроллер Ethernet MAC 802.3;
    - поддержка MII и RMII;
  - Один 16-разрядный таймер/счётчик (TC) с тремя каналами со следующими особенностями:
    - три внешних входа синхронизации, ШИМ, захват и различные возможности счёта событий;
    - один 16-разрядный контроллер ШИМ с 7 каналами;
  - Четыре универсальных синхронных/асинхронных приёмопередатчика (USART) со следующими особенностями:
    - встроенный генератор скорости обмена, поддержка IrDA и интерфейса ISO7816;
    - поддержка аппаратной процедуры установления связи, модемного интерфейса и интерфейса RS-485;
  - Два ведущих/ведомых последовательных периферийных интерфейсов (SPI) с сигналами выбора устройства;
  - Один контроллер синхронного последовательного протокола с поддержкой I2S и универсального фреймового протокола;
  - Один ведущий/ведомый двухпроводный интерфейс (TWI) с максимальной скоростью обмена 400 Кбит/с, совместимый с I<sup>2</sup>C;
  - Один 10-разрядный модуль 8-канального АЦП;
  - Поточковый выход для 16-разрядного 2-канального звукового ЦАП с частотой выборки до 50 кГц;
  - Встроенная система отладки (JTAG-интерфейс) на кристалле (OCD) с возможностью трассировки в реальном масштабе времени, доступа к памяти для чтения-записи на полной скорости в дополнение к основной отладке во время выполнения кода;
  - Исполнение в 100-выводном корпусе TQFP (69 линий GPIO), 144-выводном корпусе LQFP (109 линий GPIO);
  - Толерантные к внешнему напряжению 5 В линии ввода-вывода;
  - Единственное напряжение питания 3,3 В или два напряжения питания 1,8 и 3,3 В;
- Устройства подсемейства AT32UC3B имеют следующие типовые характеристики [4, 5]:
- Высокоэффективное 32-разрядное процессорное ядро с оригинальной архитектурой AVR32 и следующими особенностями:
    - компактная система команд RISC, выполняющихся за один тактовый цикл, включая команды DSP;
    - команды «чтение-модификация-запись» и команды манипуляций с битами;
    - тактовая частота до 60 МГц при удельной производительности 1,38 DMIPS/МГц;
    - производительность 75 DMIPS при выполнении программы из флэш-памяти с тактовой частотой 60 МГц;
    - производительность 45 DMIPS при выполнении программы из флэш-памяти с тактовой частотой 33 МГц;
    - модуль защиты памяти (MPU);
  - Мультииерархическая шинная система со следующими особенностями:
    - высокоэффективный обмен данными по отдельным шинам для повышения производительности;
    - семь каналов DMA для автоматической передачи данных;
  - Встроенная высокоскоростная флэш-память со следующими особенностями:
    - объём от 256 до 64 Кб;

- доступ за один тактовый цикл на тактовой частоте до 30 МГц;
- буфер выборки с упреждением для оптимизации выполнения команд на максимальной тактовой частоте;
- время программирования страницы 4 мс, время стирания всего кристалла 8 мс;
- 100 000 циклов записи, 15-летний срок сохранности данных;
- ключи защиты памяти и задаваемые пользователем области конфигурации;
- Встроенная высокоскоростная статическая память с доступом за один тактовый цикл на максимальной тактовой частоте и объёмом от 32 до 16 Кб;
- Контроллер прерываний с автоматически векторизуемыми прерываниями, малым временем ожидания и программируемым приоритетом;
- Системные функции со следующими особенностями:
  - менеджер питания и синхронизации, включающий внутренний RC-генератор и генератор с частотой 32 кГц;
  - два многоцелевых генератора и две системы ФАПЧ;
  - независимые тактовые частоты для ЦПУ и USB;
  - сторожевой таймер, таймер реального времени;
- Универсальная последовательная шина (USB) со следующими особенностями:
  - полноскоростное USB-устройство версии 2.0 On-The-Go (OTG) с поддержкой полноскоростного и низкоскоростного режимов;
  - гибкая конфигурация конечной точки USB и управление выделенными каналами DMA;
  - приёмопередатчики на кристалле, включая подтянутые к «плюсовому» питанию резисторы;
- Один 16-разрядный таймер/счётчик (TC) с тремя каналами со следующими особенностями:
  - три внешних входа синхронизации, ШИМ, захват и различные возможности счёта событий;
  - один 16-разрядный контроллер ШИМ с 7 каналами;
- Три универсальных синхронных/асинхронных приёмопередатчика (USART) со следующими особенностями:
  - встроенный генератор скорости обмена, поддержка IrDA и интерфейса ISO7816;

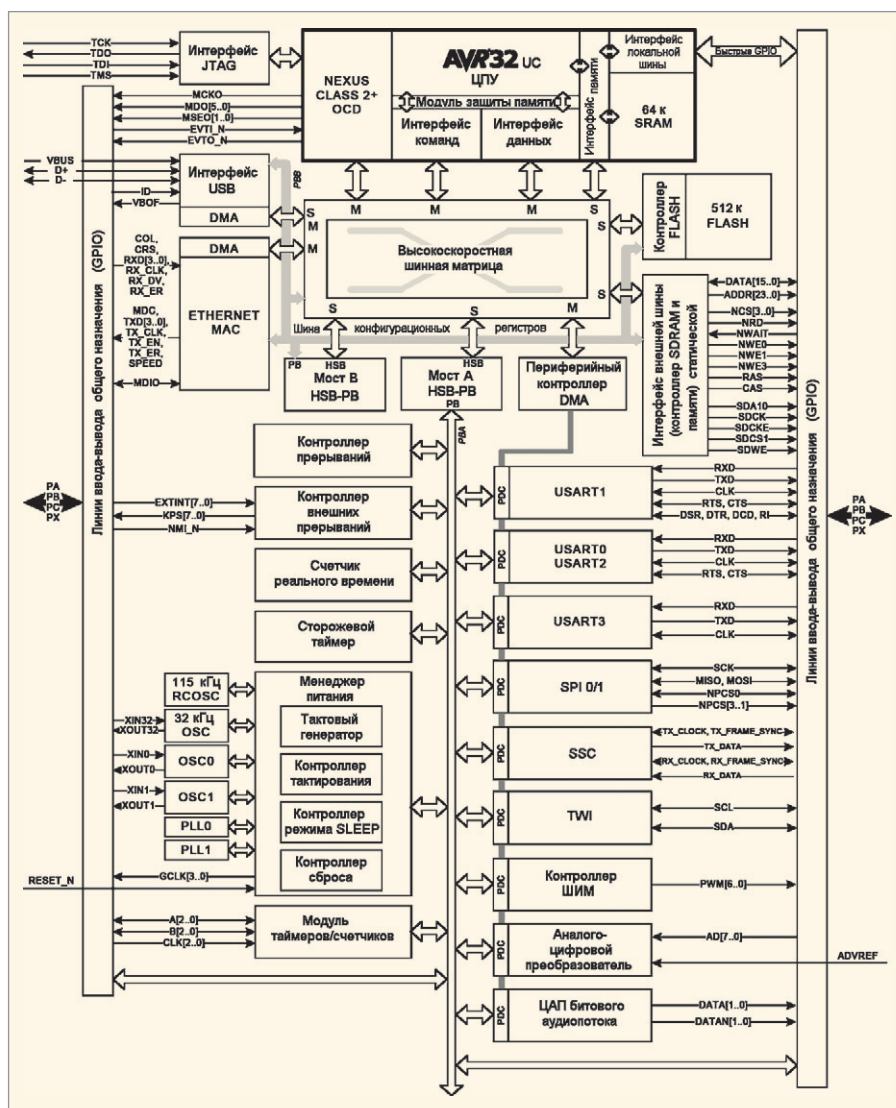


Рис. 1. Блок-схема МК подсемейства AT32UC3A

- поддержка аппаратной процедуры установления связи, модемного интерфейса и интерфейса RS-485;
- Один ведущий/ведомый последовательный периферийный интерфейс (SPI) с сигналами выбора устройства;
- Один контроллер синхронного последовательного протокола с поддержкой I2S и универсального фреймового протокола;
- Один ведущий/ведомый двухпроводный интерфейс (TWI) с максимальной скоростью обмена 400 кбит/с, совместимый с I<sup>2</sup>C;
- Один 10-разрядный модуль 8-канального АЦП;
- Встроенная система отладки (JTAG-интерфейс) на кристалле (OCD) с возможностью трассировки в реальном масштабе времени, доступа к памяти для чтения-записи на полной скорости в дополнение к основной отладке во время выполнения кода;

- Исполнение в 64-выводном корпусе TQFP/QFN (44 линии GPIO), 48-выводном корпусе TQFP/QFN (28 линий GPIO);
  - Толерантные к внешнему напряжению 5 В линии ввода-вывода, включая четыре вывода с драйверами повышенной нагрузочной способности;
  - Единственное напряжение питания 3,3 В или два напряжения питания 1,8 и 3,3 В.
- Блок-схема МК подсемейства AT32UC3A показана на рисунке 1, а МК подсемейства AT32UC3B – на рисунке 2.

### АРХИТЕКТУРА И ПРОГРАММНАЯ МОДЕЛЬ AVR32

AVR32 представляет собой высокоэффективную 32-разрядную RISC-архитектуру, предназначенную для встраиваемых приложений, с упором на потребление малой мощности и высокую плотность кода. По утверж-

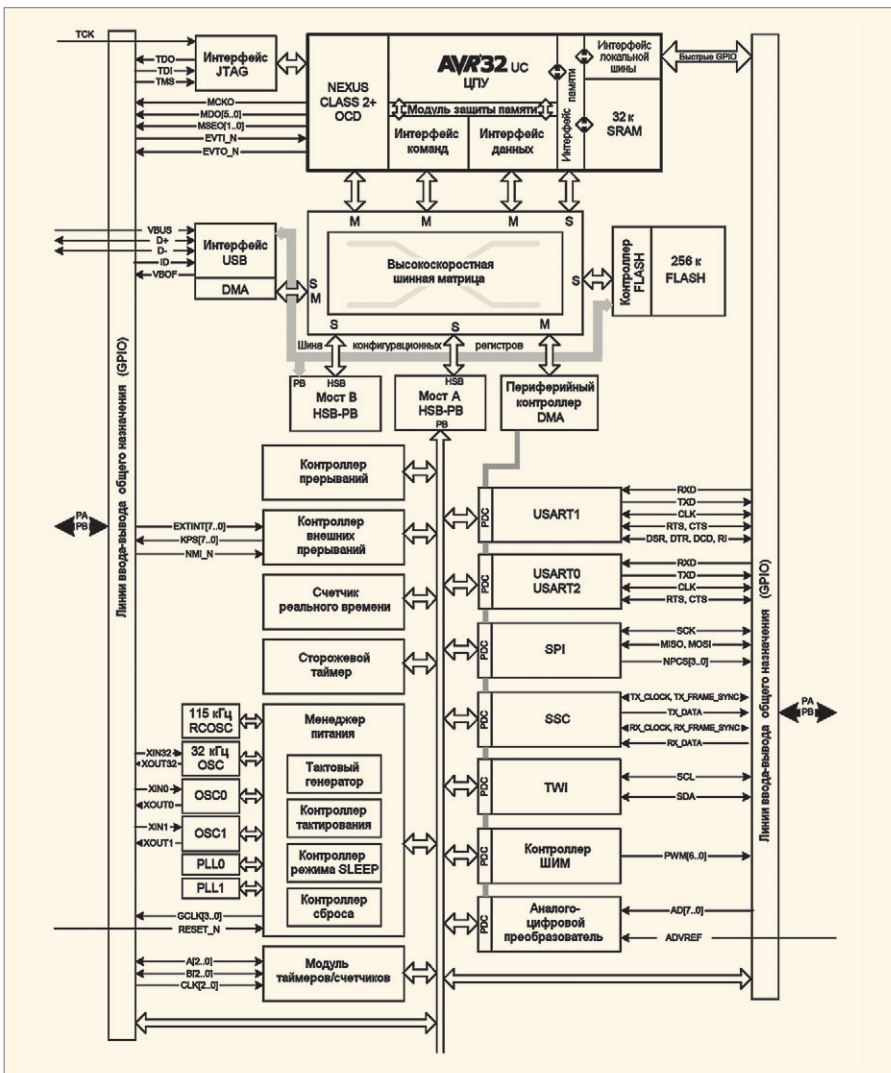


Рис. 2. Блок-схема МК подсемейства AT32UC3B

дению производителя, архитектура AVR32 обеспечивает наилучшую плотность кода в своём классе устройств [6, 7].

Как уже было сказано, процессорное ядро AVR32UC заявлено первым промышленно выпускаемым ядром, которое объединяет чтение-запись SRAM за один тактовый цикл с прямым интерфейсом к ЦПУ. Этот интерфейс обходит системную шину, что позволяет достигнуть в AVR32 максимальной скорости выполнения программы, детерминизма цикла и минимальной потребляемой мощности. Наличие в ядре интерфейса ведомого к высокоскоростной шине (HSB) позволяет контроллерам DMA или другим ведущим устройствам HSB обмениваться данными непосредственно с встроенным в процессор статическим ОЗУ. Если ЦПУ и ведомое устройство HSB запрашивают доступ одновременно, предусмотрен арбитраж. Для нужд приложений в системе реализована программируемая схема приоритетов.

Процессор поддерживает операции с байтами и полусловами данных без необходимости выполнения дополнительного объёма программного кода. Запись в память и чтение памяти обеспечиваются для байта, полуслова, слова и двойного слова данных с автоматическим признаком или дополнением нулями свободных полей полуслова или байта. Архитектура AVR32 разрабатывалась с учётом специфики работы компилятора Си, что даёт возможность в полной мере использовать его возможности по оптимизации кода.

Чтобы уменьшить размер кода до минимума, некоторые команды AVR32 имеют множественные способы адресации. Например, команды с непосредственной адресацией часто имеют компактный формат с меньшим непосредственным значением и расширенный формат с большим непосредственным значением. Используя эту особенность, компилятор подбирает формат, дающий наименьший размер кода.

Другая особенность системы команд состоит в том, что часто используемые команды, например, команды сложения, загрузки и сохранения имеют компактный формат с двумя операндами и расширенный формат с тремя операндами. Расширенный формат увеличивает производительность, позволяя осуществлять добавление и перемещение данных единственной командой за один цикл.

Регистровый файл процессора организован как шестнадцать 32-разрядных регистров и включает в себя программный счётчик, регистр связи и регистр-указатель вершины стека. Кроме того, регистр R12 предназначен для хранения возвращаемых значений при вызове функций и неявно используется некоторыми командами.

В микроконтроллерах семейства AT32UC3 процессорное ядро с архитектурой AVR32UC интегрирует расширенную систему отладки (OCD), содержит модуль защиты памяти (MPU), но в отличие от архитектуры семейства AVR32A не содержит встроенной кэш-памяти. Аппаратный ускоритель команд языка Java в МК семейства AT32UC3 также не реализован.

Микроконтроллеры семейства AT32UC3 поддерживают три интерфейса памяти: один ведущий интерфейс к высокоскоростной шине (HSB) для выборки команд, один ведомый интерфейс к высокоскоростной шине для доступа к данным и один ведомый интерфейс к высокоскоростной шине для доступа к статической памяти, встроенной в центральный процессор. Хранение данных в этой памяти позволяет осуществить быстрый доступ к ним, уменьшает время ожидания и гарантирует правильную синхронизацию. Кроме того, указанная особенность архитектуры уменьшает потребляемую мощность, поскольку для доступа к SRAM не требуется полностью задействовать высокоскоростную системную шину. Специализированный интерфейс внешнего ОЗУ данных реализован в архитектуре для того, чтобы осуществлять обмен данными со встроенной SRAM.

Блок-схема центрального процессора устройств семейства AT32UC3 показана на рисунке 3. Процессор МК типа AT32UC3 имеет трёхступенчатый конвейер обработки команд. Конвейер состоит из следующих стадий: выборка команды (IF), декоди-

рование команды (ID) и выполнение команды (EX). Большинство команд выбирается, декодируется и выполняется за один тактовый цикл. Выполнение некоторых команд требует нескольких тактовых циклов, и в этом случае команда постоянно находится в стадиях ID и EX конвейера в течение требуемого числа тактовых циклов.

Стадия выборки команды была специально разработана, чтобы оптимизировать вызов команды из флэш-памяти. При выборке в каждом тактовом цикле происходит запись одной 32-разрядной или двух 16-разрядных команд во внутренний буфер команд. Наличие этого буфера гарантирует отсутствие остановов конвейерной обработки в ходе последовательного выполнения программы.

На следующей стадии происходит декодирование команды и генерация необходимых сигналов для её выполнения.

Третья стадия разбита на три параллельных секции (модуля): арифметическую секцию – арифметико-логическое устройство (ALU), секцию умножения (MUL) и секцию загрузки/сохранения (LS). Арифметико-логическое устройство выполняет арифметические и логические операции, включая аппаратное деление. Модуль умножения выполняет операции умножения и умножения с накоплением (MAC), поддерживаемые системой команд. Модуль загрузки/сохранения выполняет операции доступа к SRAM или операции доступа к высокоскоростной шине (HSB) за один тактовый цикл. Регистры регистрового файла могут быть модифицированы в течение того же самого тактового цикла, в котором происходит выполнение команды. Эта особенность упрощает программную трансляцию по сравнению с более длинными конвейерами, поскольку отсутствует необходимость в планировании кода.

Блок-схема обработки команд в конвейере показана на рисунке 4. Архитектуры AVR32UC и AVR32A используют одну и ту же 16/32-разрядную систему команд (ISA) с более чем 220 командами, доступными как 16-разрядные компактные и 32-разрядные расширенные команды. Система команд этого ядра обеспечивает управление единичными разрядами для контроля встроенной перифе-

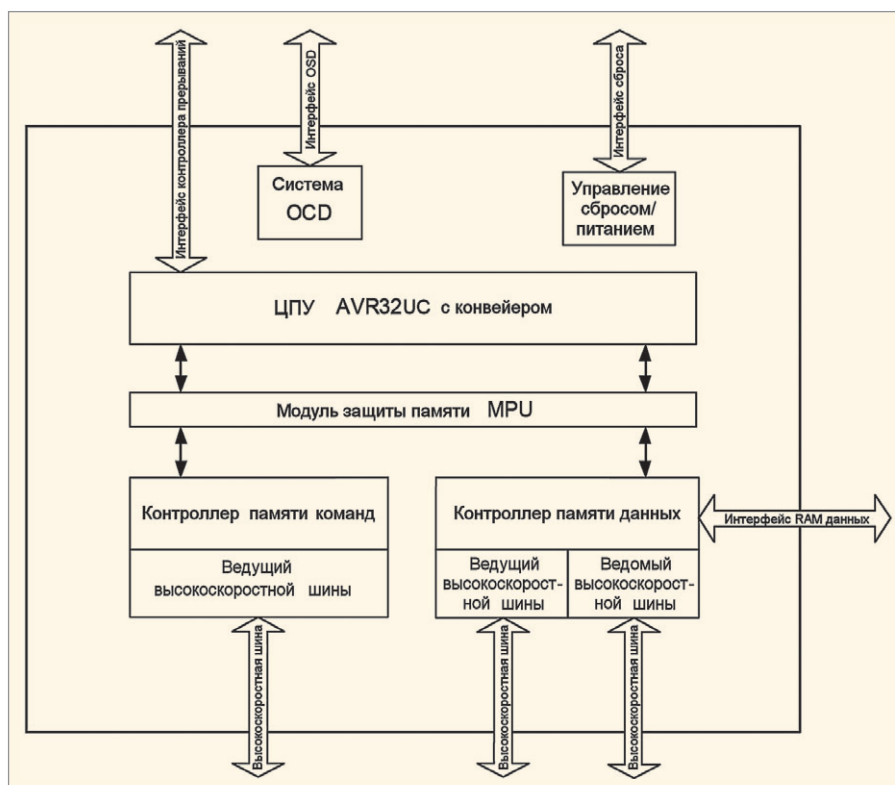


Рис. 3. Блок-схема центрального процессора устройств семейства AT32UC3

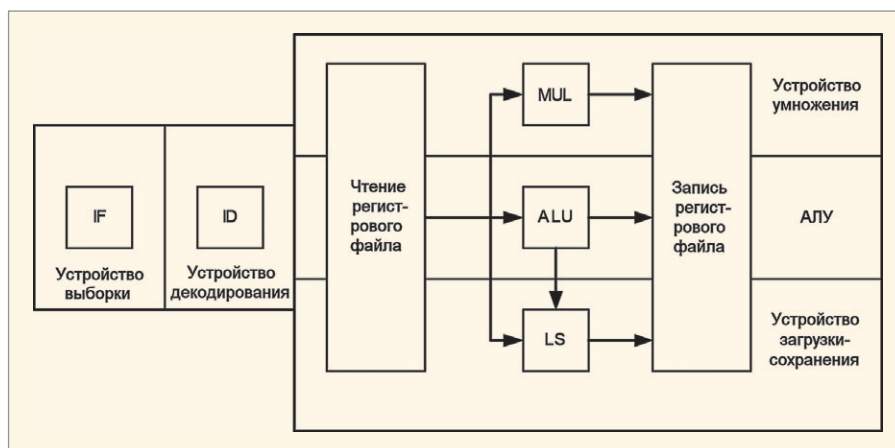


Рис. 4. Блок-схема обработки команд в конвейере

рии, интерфейсов ввода/вывода общего назначения и целочисленных арифметических модулей DSP, в том числе однократных умножителей с накоплением.

Команды DSP ISA в архитектуре AVR32UC выполняются в модуле умножения за один тактовый цикл. Сюда входят команды умножения и команды умножения с накоплением для стандартных и дробных чисел, с/без переполнения и округления. Результат умножения или умножения с накоплением может иметь размер 32, 48 или 64 разряда, при этом 48- и 64-разрядный результат помещается в два регистра. К командам DSP также относятся команды сложения и вычитания, а также команды форматирова-

ния данных типа сдвига данных с переполнением и округлением.

Процессор архитектуры AVR32UC может работать в привилегированном или непривилегированном режимах. Привилегированный режим часто используется для ОС реального времени, позволяя осуществлять доступ ко всем системным ресурсам и использовать отдельный системный стек. Непривилегированный режим применяется для выполнения приложений и ограничивает доступ к некоторым из системных ресурсов.

Блок-схема регистрового файла архитектуры AVR32UC показана на рисунке 5. В верхней строке над каждым столбцом указано название режима процессора, в котором доступен на-

| Прикладной пользовательский (Application) |        | Супервизор (Supervisor) |        | INT0   |        | INT1   |        | INT2   |        | INT3   |        | Исключение (Exception) |        | NMI    |        |
|---|--------|-------------------------|--------|--------|--------|--------|--------|--------|--------|--------|--------|------------------------|--------|--------|--------|
| Bit 31                                    | Bit 0  | Bit 31                  | Bit 0  | Bit 31 | Bit 0  | Bit 31 | Bit 0  | Bit 31 | Bit 0  | Bit 31 | Bit 0  | Bit 31                 | Bit 0  | Bit 31 | Bit 0  |
| PC  | PC     | PC                      | PC     | PC     | PC     | PC     | PC     | PC     | PC     | PC     | PC     | PC                     | PC     | PC     | PC     |
| LR  | LR     | LR                      | LR     | LR     | LR     | LR     | LR     | LR     | LR     | LR     | LR     | LR                     | LR     | LR     | LR     |
| SP_APP                                    | SP_SYS | SP_SYS                  | SP_SYS | SP_SYS | SP_SYS | SP_SYS | SP_SYS | SP_SYS | SP_SYS | SP_SYS | SP_SYS | SP_SYS                 | SP_SYS | SP_SYS | SP_SYS |
| R12                                       | R12    | R12                     | R12    | R12    | R12    | R12    | R12    | R12    | R12    | R12    | R12    | R12                    | R12    | R12    | R12    |
| R11                                       | R11    | R11                     | R11    | R11    | R11    | R11    | R11    | R11    | R11    | R11    | R11    | R11                    | R11    | R11    | R11    |
| R10                                       | R10    | R10                     | R10    | R10    | R10    | R10    | R10    | R10    | R10    | R10    | R10    | R10                    | R10    | R10    | R10    |
| R9  | R9     | R9                      | R9     | R9     | R9     | R9     | R9     | R9     | R9     | R9     | R9     | R9                     | R9     | R9     | R9     |
| R8  | R8     | R8                      | R8     | R8     | R8     | R8     | R8     | R8     | R8     | R8     | R8     | R8                     | R8     | R8     | R8     |
| R7  | R7     | R7                      | R7     | R7     | R7     | R7     | R7     | R7     | R7     | R7     | R7     | R7                     | R7     | R7     | R7     |
| R6  | R6     | R6                      | R6     | R6     | R6     | R6     | R6     | R6     | R6     | R6     | R6     | R6                     | R6     | R6     | R6     |
| R5  | R5     | R5                      | R5     | R5     | R5     | R5     | R5     | R5     | R5     | R5     | R5     | R5                     | R5     | R5     | R5     |
| R4  | R4     | R4                      | R4     | R4     | R4     | R4     | R4     | R4     | R4     | R4     | R4     | R4                     | R4     | R4     | R4     |
| R3  | R3     | R3                      | R3     | R3     | R3     | R3     | R3     | R3     | R3     | R3     | R3     | R3                     | R3     | R3     | R3     |
| R2  | R2     | R2                      | R2     | R2     | R2     | R2     | R2     | R2     | R2     | R2     | R2     | R2                     | R2     | R2     | R2     |
| R1  | R1     | R1                      | R1     | R1     | R1     | R1     | R1     | R1     | R1     | R1     | R1     | R1                     | R1     | R1     | R1     |
| R0  | R0     | R0                      | R0     | R0     | R0     | R0     | R0     | R0     | R0     | R0     | R0     | R0                     | R0     | R0     | R0     |
| SR  | SR     | SR                      | SR     | SR     | SR     | SR     | SR     | SR     | SR     | SR     | SR     | SR                     | SR     | SR     | SR     |

Рис. 5. Блок-схема регистрового файла архитектуры AVR32UC

бор регистров, перечисленных в соответствующем столбце; 32-разрядный регистр состояния (SR) разбит на два полуслова (старшее и младшее). Младшее полуслово состояния содержит флаги-признаки операций, а также код состояния, образуемый несколькими флагами состояния. Старшее полуслово содержит информацию о режиме процессора и состоянии выполнения программы в нём.

Процессор AVR32UC содержит мощную схему обработки исключений. Различные источники исключений, например, некорректный код операции или внешние запросы прерываний, имеют различные уровни приоритета, тем самым гарантируя предсказуемое поведение системы, когда одновременно генерируется множество исключений. Кроме того, ждущие обработки

исключения с более высоким приоритетом могут прервать текущую обработку исключений с более низким приоритетом. Когда это происходит, выполнение потока команд программы приостанавливается, а управление выполнением передаётся обработчику события с собственным адресом.

Все внешние источники прерывания имеют автоматически векторизуемый адрес программы обработки прерывания (ISR).

При обработке событий в процессоре AVR32UC, как и во всех прочих устройствах архитектуры AVR32A, использует системный стек. На вершину этого стека указывает регистр – указатель вершины стека SP\_SYS. Стек используется для сохранения и выгрузки регистров R8-R12, LR, регистр состояния и адреса возврата.

быть переотображены никогда, даже при начальной загрузке.

Карта 32-разрядного адресного пространства памяти AVR32UC показана на рисунке 6. Как можно видеть, пространство памяти содержит три раздела: IRAM, BOOT и HSB. Раздел IRAM содержит внутреннюю память стадии EX-конвейера, которая отображена с адреса 0 в сторону возрастания адресов. Раздел BOOT начинается с адреса 0x8000\_0000, который является адресом сброса для процессора AVR32UC. Этот раздел содержит встроенную флэш-память программ, отображённую с адреса 0x8000\_0000 в сторону возрастания адресов. Раздел HSB содержит адреса специальных регистров пользовательских интерфейсов всех модулей МК, отображённых на шину HSB. Сюда относятся периферийные устройства типа USART и внешних интерфейсов памяти.

Пространство памяти однородно, поэтому код программы может выполняться в любом из этих трёх разделов. Доступ к данным также может быть выполнен в любом из них. Однако в МК типа AVR32UC можно запретить определённые виды доступа к некоторым разделам памяти, например, запись во флэш-память раздела BOOT.

Центральный процессор архитектуры AVR32UC включает в себя три интерфейса памяти:

- стадия IF конвейера имеет интерфейс ведущего к шине HSB для выборки команд;
- стадия EX конвейера имеет интерфейс ведущего к шине HSB для до-



Рис. 6. Карта 32-разрядного адресного пространства памяти AVR32UC

### ОРГАНИЗАЦИЯ ПАМЯТИ

Устройства архитектуры AVR32UC имеют встроенную высокоскоростную флэш-память объёмом от 512 Кб (AT32UC3A0512, AT32UC3A1512) до 64 Кб (AT32UC3B064, AT32UC3B164).

Помимо флэш-памяти, устройства AVR32UC также имеют встроенную высокоскоростную статическую память с доступом за один тактовый цикл при максимальной тактовой частоте и с объёмом от 64 Кб (AT32UC3A0512, AT32UC3A1512, AT32UC3A0256, AT32UC3A1256) до 16 Кб (AT32UC3B064, AT32UC3B164).

Системная шина устройств AVR32UC физически реализована как шинная матрица. Все системные адреса шины являются фиксированными и не могут

ступа к данным из раздела памяти BOOT или из раздела памяти HSB;

- стадия EX конвейера имеет интерфейс ведомого к шине HSB, позволяющий осуществлять доступ других модулей системы к адресам из раздела памяти IRAM.

## ОРГАНИЗАЦИЯ ЭЛЕКТРОПИТАНИЯ

Для питания МК семейства AT32UC3 в общем случае требуется два напряжения:

- 3,6 В для питания устройств ввода-вывода и аналоговой части;
- 1,8 В для питания процессорного ядра, памяти, ФАПЧ и периферии.

Использование входящего в состав AT32UC3 встроенного стабилизатора с выходным напряжением 1,8 В позволяет отказаться от одного из внешних источников.

Для всех МК фирмы Atmel характерно наличие расширенных возможностей управления энергопотреблением, реализованных, как правило, посредством управления тактированием устройства. Семейство AT32UC3 не является исключением. Управление энергопотреблением в AT32UC3 обеспечивается встроенным модулем менеджера питания (PM), который вклю-

чает в себя два высокочастотных кварцевых генератора, две системы ФАПЧ, ультранизкопотребляющий генератор частоты 32 кГц, а также RC-генератор. Менеджер питания поддерживает избирательное тактирование на уровне модулей МК, обеспечивает возможность «пробуждения» ЦПУ от внутренних или внешних прерываний, а также поддерживает несколько вспомогательных режимов «спящего» режима (Sleep), позволяющих производить избирательное отключение логики синхронизации, систем ФАПЧ и генераторов в различных сочетаниях.

Все генерируемые в модуле PM импульсные сигналы делятся на сигналы синхронизации и универсальные сигналы. Сигналы синхронизации используются для синхронизации основной цифровой логики МК (ЦПУ и периферийные модули, связанные с шинами HSB, PBA и PBB). Универсальные сигналы являются асинхронными и могут быть заданы в пределах широкого диапазона частот, что делает их подходящими для тактирования периферийных устройств, например, коммуникационных модулей и таймеров.

Встроенный в МК семейства AT32UC3 модуль сторожевого таймера (WDT)

синхронизируется от встроенного RC-генератора.

*Продолжение следует*

## ЛИТЕРАТУРА

1. Курилин А. AVR32: новый микроконтроллер для мультимедийных приложений. Электронные компоненты. 2006. № 9 (<http://www.atmel.ru/Articles/Atmel35.htm>).
2. Королев Н., Шабунин А. Архитектура AVR: развитие вширь и вглубь. Часть 2. Компоненты и технологии. 2007. № 4 (<http://www.argussoft.ru>).
3. AVR®32 32-Bit Microcontroller AT32UC3A0512, AT32UC3A0256, AT32UC3A0128, AT32UC3A1512, AT32UC3A1256, AT32UC3A1128 Preliminary. 32058C-AVR32-10/07, <http://www.atmel.com>.
4. AVR®32 32-Bit Microcontroller AT32UC3B0256, AT32UC3B0128, AT32UC3B064, AT32UC3B1256, AT32UC3B1128, AT32UC3B164 Preliminary. 32059E-AVR32-12/07, <http://www.atmel.com>.
5. <http://www.avr32.ru>.
6. AVR32 Architecture Document 32000B-AVR32-11/07, <http://www.atmel.com>.
7. AVR32UC Technical Reference Manual. 32002C-AVR32-11/07, <http://www.atmel.com>. ©

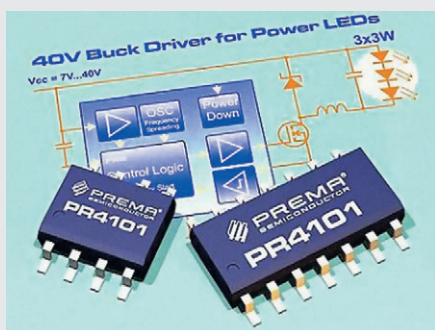
## Новости мира News of the World Новости мира

### Понижающий 40-В преобразователь для мощных светодиодов

Фирма Prema Semiconductor представляет индуктивную схему управления светодиодами PR4101. Преобразователь управляет одним или несколькими светодиодами токами от 100 мА до нескольких ампер в зависимости от выбора внешней схемы. Напряжение источника напряжения 9...40 В. Схема управления пригодна как для приложений с батареями 12 или 24 В, так и для осветителей, которые раньше комплектовались галогенными лампами с трансформаторами. Нормальный диапазон рабочих напряжений PR4101 со-

ставляет 9...40 В постоянного напряжения. Но при использовании дополнительных внешних элементов возможна также работа непосредственно от источника переменного напряжения 12 или 24 В (50 или 60 Гц). PR4101 пригоден как для самых различных осветителей на светодиодах, так и для задней подсветки ЖК-дисплеев. В зависимости от приложения он может применяться в двух исполнениях: или со всеми функциями в корпусе SO14, или в сокращённом варианте (без входа Power-Down и PWM) в корпусе SO8.

[www.prema.com](http://www.prema.com)



### Светодиоды янтарного и жёлтого цвета с яркостью 2,859 кд

Фирма Vishay предлагает серию светодиодов поверхностного монтажа. Элементы серии VLMx32 выпускаются в корпусе PLCC4 с оптимизированной рамкой, имеющей теплопроводность до 290 К/Вт и мощность рассеяния до 200 мВт, что обеспечивает возможность эксплуатации этих светодиодов с токами до 70 мА. Светодиоды по своим параметрам соответствуют



АЕС-Q101 и поэтому пригодны для автомобильных приложений. Янтарные и жёлтые светодиоды предназначены для таких приложений, как внутреннее и внешнее освещение светофоров и дорожных знаков, системы освещения автомобилей; индикаторы и задняя подсветка для аудио-, видео- и телекоммуникационных устройств и офисного оборудования, ЖК-дисплеи, подсветка переключателей и индикация символов. Устройства на светодиодах обеспечивают силу света от 1,400 до 2,850 кд при длине волны 610...621 нм (янтарные) или 585...594 нм (жёлтые).

[www.vishay.com](http://www.vishay.com)